

MINISTERUL EDUCAȚIEI ȘI ÎNVĂȚĂMÎNTULUI  
INSTITUTUL POLITEHNIC „TRAIAN VUIA” TIMIȘOARA  
FACULTATEA DE ELECTROTEHNICĂ

**Ing. MARIUS OTEȘTEANU**

**POSSIBILITĂȚI DE IMPLEMENTARE A  
MICROPROCESOARELOR ÎN TESTAREA  
INDUSTRIALĂ A CONTOARELOR DE ENERGIE**

— Teză de doctorat —

**Conducător științific,  
prof. dr. ing. EUGEN POP**

BIBLIOTECA CENTRALĂ  
UNIVERSITATEA "POLITEHNICA"  
TIMIȘOARA

TIMIȘOARA 1983

464139  
340 D

CUPRINS

Prefață . . . . .	5
IMPLEMENTAREA MICROPROCESOARELOR IN METODELE SI INSTALATIILE CUNOS- CUTE DE TESTARE A CONTOARELOR	
Cap. 1. ANALIZA POSIBILITATII DE AUTOMATIZARE, FOLOSIND MICROPROCE- SOARE, A METODELOR CUNOSCUTE DE DETERMINARE A ERORILOR	
1.1. Introducere . . . . .	8
1.2. Schema bloc a unei instalații de testare . . . . .	10
1.3. Criterii de clasificare a metodelor . . . . .	11
1.4. Metode neautomatizabile . . . . .	13
1.5. Metode automatizate . . . . .	19
Cap. 2. IMPLEMENTAREA MICROPROCESOARELOR IN INSTALATII DE DETERMINA- RE A ERORILOR, REALIZATE CONFORM METODELOR CUNOSCUTE	
2.1. Metoda numărării automate a impulsurilor . . . . .	27
2.2. Metoda conversiei de frecvență . . . . .	27
2.3. Metoda calculului cu minicalculator . . . . .	32
2.4. Eficiența implementării microprocesoarelor în metodele cunoscute de testare a contoarelor . . . . .	34
ELABORAREA UNOR NOI METODE SI INSTALATII DE TESTARE A CONTOARELOR, BAZATE PE UTILIZAREA MICROPROCESOARELOR	
Cap. 3. Metoda ORIGINALA A ACHIZITIEI CENTRALIZATE, CU MICROPROCESOR	
3.1. Datele inițiale ale metodei de testare . . . . .	36
3.2. Microprocesorul în aplicații industriale . . . . .	38
3.3. Metoda sondării secvențiale, comandată de întreruperi asincrone cu evenimentele . . . . .	48
3.4. Metoda originală a achiziției centralizate . . . . .	50
3.5. Schema bloc a sistemului de achiziție centralizată . . . . .	55
3.6. Concluzii privind implementarea metodei originale . . . . .	59
Cap. 4. CONFIGURATII INDUSTRIALE DE IMPLEMENTARE A METODEI	
4.1. Criterii de alegere a configurației . . . . .	61
4.2. Configurație cu 2 sisteme cu microprocesor . . . . .	61
4.3. Configurație cu 1 sistem cu microprocesor . . . . .	65
4.4. Configurație cu n+1 sisteme cu microprocesor . . . . .	66
4.5. Concluzii privind caracteristicile blocurilor de achi- ziție și de calcul . . . . .	69

<b>Cap. 5. MODALITATI DE REALIZARE A BLOCULUI DE ACHIZITIE CENTRALIZATA, CONFORM METODEI ORIGINALE</b>	
5.1. Bloc de achiziție cu prelucrare software . . . . .	71
5.2. Bloc de achiziție cu prelucrare hardware paralel . . . . .	88
5.3. Bloc de achiziție cu prelucrare hardware serie . . . . .	99
5.4. Performanțele blocurilor de achiziție . . . . .	111
<b>Cap. 6. MODALITATI DE REALIZARE A BLOCULUI DE CALCUL, ASOCIAT BLOCULUI DE ACHIZITIE CENTRALIZATA</b>	
6.1. Introducere . . . . .	115
6.2. Schema bloc . . . . .	118
6.3. Algoritm și program de calcul al erorilor . . . . .	122
6.4. Calculul și memorarea tabelară a erorilor posibile . . . . .	128
6.5. Performanțele blocurilor de calcul . . . . .	139
<b>Cap. 7. MODALITATI DE REALIZARE A BLOCULUI DE AFISARE A ERORILOR</b>	
7.1. Criterii de alegere a blocului de afișare . . . . .	141
7.2. Bloc de afișare distribuit . . . . .	142
7.3. Bloc de afișare centralizat . . . . .	148
7.4. Bloc de transfer al pachetelor de rezultate . . . . .	151
7.5. Performanțele blocurilor de afișare . . . . .	152
<b>Cap. 8. ASUPRA ERORILOR DE DETERMINARE A ERORILOR DE MASURARE</b>	
8.1. Surse de erori în testarea contoarelor . . . . .	153
8.2. Erori introduse de blocul de achiziție . . . . .	154
8.3. Erori introduse de blocul de calcul . . . . .	157
8.4. Clasa de precizie a aparatului de testare a contoarelor . . . . .	158
<b>Cap. 9. REALIZARI SI REZULTATE PRACTICE</b>	
9.1. Aparatul Minex-32 . . . . .	161
9.2. Aparatul Minex-128 . . . . .	168
<b>Cap. 10. CONCLUZII. CONTRIBUTII</b>	
10.1. Concluzii . . . . .	171
10.2. Tendințe și perspective . . . . .	174
10.3. Principalele contribuții originale . . . . .	177
<b>Anexele 1, 2, 3, 4 . . . . .</b>	<b>183</b>
<b>Bibliografie . . . . .</b>	<b>196</b>

## PREFATA

In epoca actuală, caracterizată printr-o dezvoltare fără precedent a industriei, problemele generării, transportului și utilizării energiei electrice, cu un randament cât mai bun, se pun deosebit de acut. Este, deci, necesară măsurarea energiei electrice într-un număr extrem de mare de puncte (generare, distribuție, consum). Fabricarea contoarelor de energie într-o producție de masă reclamă utilizarea unor metode de calibrare și verificare metrologică a acestor aparate, cu caracteristici deosebite de precizie și productivitate.

In cadrul tezei de doctorat, problema testării industriale a contoarelor de energie este rezolvată în spiritul actualei politici tehnologice din țara noastră, de automatizare și cibernetizare a producției, de utilizare largă a microelectronicii și microprocesoarelor, adică a utilajelor și sistemelor specifice celei de a doua revoluții industriale /11/. Dezvoltarea producției mondiale de microprocesoare a condus la scăderea accentuată a prețului /10/, ceea ce a condus la implementarea acestora într-o multitudine de aplicații industriale sau comerciale /65/. In domeniul măsurărilor numerice, microprocesoarele au început să fie utilizate începând cu anul 1974, cu funcții de înlocuire a logicii cablate, de comandă și test, de calcul /64/. In concordanță cu aceste tendințe, teza abordează problema implementării microprocesoarelor în testarea industrială a contoarelor de energie.

Teza de doctorat sintetizează principalele contribuții originale ale autorului în domeniul determinării erorilor de măsurare ale contoarelor de energie, în procesele industriale de etalonare și verificare metrologică. Ea reprezintă rodul activității continue în acest domeniu, în cadrul Intreprinderii de Aparate Electrice de Măsurat din Timișoara, din perioada 1978-1982.

Rezultatele activității științifice și de proiectare, care stau la baza acestei teze, sînt reunite în 5 brevete de invenție, 9 lucrări științifice, dintre care una prezentată la al 9-lea Congres Mondial IMEKO, 1982, din Berlinul Occidental, și două teste industriale pentru contoare: Minex-32, primul testor cu afișare directă a erorii, realizat în țară, utilizat în producție din anul 1980, atestat de Institutul Național de Metrologie, prezentat la Tîrgul

Internațional TIB-1980, și Minex-128, aflat în experimentare în cadrul Intreprinderii de Aparate Electrice de Măsurat din Timișoara.

În prima parte a tezei ( capitolele 1 și 2 ) este tratată posibilitatea îmbunătățirii performanțelor metodelor și instalațiilor de testare cunoscute, prin utilizarea microprocesoarelor. Sînt analizate doar soluțiile cunoscute, cu precizie și productivitate ridicate, selectate dintr-un bogat material bibliografic. Nu sînt prezentate în detaliu toate metodele și instalațiile cunoscute, deoarece acestea au făcut obiectul celui de al doilea referat în cadrul pregătirii pentru doctorat /61/.

În partea a doua a tezei ( capitolele 3 - 8 ) sînt prezentate contribuțiile originale ale autorului: o metodă originală de determinare a erorilor contoarelor, 3 configurații originale de implementare a blocului de achiziție, conform metodei propuse, 2 modalități de realizare a blocului de calcul asociat, modalități de extragere și utilizare a rezultatelor testării. În capitolul 8 se determină precizia unui testor realizat conform metodei și implementărilor originale, precum și factorii care influențează precizia testării.

Capitolul 9 prezintă rezultatele practice obținute prin realizarea aparatelor Minex-32 și Minex-128, ca și eficiența lor economică, prin utilizarea lor în cadrul Intreprinderii de Aparate Electrice de Măsurat din Timișoara.

În încheiere ( capitolul 10 ) sînt prezentate perspectivele testării industriale a contoarelor de energie și sînt rezumate principalele contribuții originale ale autorului.

Teza a fost elaborată sub directă și continuă îndrumare a prof. dr. ing. Eugen Pop, conducătorul științific, cărui autorul îi este îndatorat pentru recomandările competente și pentru sprijinul profesional și științific. O profundă recunoștință îi poartă autorul pentru atenția cu care l-a înconjurat, de-a lungul anilor, în finalizarea proiectului de diplomă, în inițierea sa în cercetarea științifică în perioada stagiului în producție și în cadrul stagiului de pregătire a doctoratului, în redactarea finală a tezei de doctorat, în formarea sa ca și cadru didactic.

Autorul îi este, de asemenea, deosebit de recunoscător prof. dr. ing. Gheorghe Tirpe, directorul Intreprinderii de Aparate

Electrice de Măsurat din Timișoara, care i-a acordat încrederea și sprijinul permanent pentru aplicarea în producție a metodelor și implementărilor originale, ca și pentru valorificarea științifică a rezultatelor cercetării.

Pe această cale, autorul aduce mulțumirile sale prof. dr. doc. ing. Edmond Nicolsu, de la Institutul Politehnic București, pentru atenția și competența cu care a analizat materialul tezei de doctorat, ca și pentru observațiile, recomandările și aprecierile făcute.

Autorul mulțumește, de asemenea, dr. ing. Aurel Millea, de la Institutul Național de Metrologie București, pentru încurajările, recomandările și sprijinul acordat în realizarea aparatului Minex-32 și în atestarea metrologică a aparatului, ca și pentru recomandările utile în redactarea finală a tezei.

Cu acest prilej, autorul își exprimă recunoștința pentru fructuoasa colaborare cu as. ing. Ioan Jiveț, de la Institutul Politehnic "Traian Vuia" Timișoara, colaborare care a reprezentat începutul cercetării în domeniul determinării erorilor contoarelor de energie.

Autorul mulțumește, pentru contribuțiile lor eficiente, celor cu care a colaborat la realizarea celor două teste industriale: Minex-32, as. ing. Ioan Jiveț și ing. Marcela Popa, de la Intreprinderea de Aparate Electrice de Măsurat Timișoara, și Minex-128, ing. Adrian Neculan și ing. Ioan Mureșan, absolvenți ai Institutului Politehnic "Traian Vuia" Timișoara.

Autorul este îndatorat și colectivului de proiectare-autoutilare al Intreprinderii de Aparate Electrice de Măsurat Timișoara, de sprijinul cărui s-a bucurat la realizarea, pentru prima dată în țară, a unei instalații de testare a contoarelor cu afișarea directă a erorilor, și în mod special celor care au realizat blocuri ale instalației, necesare implementării testorului Minex-32: ing. Alexandru Puhala (traductor optoelectronic de rotație și contor static etalon), ing. Adrian Stoian (bloc de alimentare și bloc de <sup>afisare</sup> ~~control~~), ing. Alfred Tuth (simulator de sarcină și consolă de comandă).

## Capitolul 1

### ANALIZA POSIBILITĂȚII DE AUTOMATIZARE, FOLOSIND MICROPROCE- SOARE, A METODELOR CUNOSCUTE DE DETERMINARE A ERORILOR

#### 1.1. Introducere

Contorul de energie este un aparat de măsurat utilizat în mod continuu, de un număr enorm de consumatori de energie electrică. Din acest motiv, fabricarea contoarelor de energie are caracterul unei producții de masă. Aceasta reclamează metode și instalații pentru etalonarea și verificarea contoarelor cu următoarele caracteristici: 1. precizie ridicată, 2. productivitate foarte mare și 3. un grad înalt de automatizare. Datorită operațiilor complexe pe care le implică etalonarea și verificarea, atât metodele, cât și instalațiile, s-au apropiat relativ lent de aceste necesități ale producției /61/.

Principala caracteristică a determinării erorii de măsurare a unui contor este faptul că indicația acestuia nu este o valoare determinată instantaneu, ci o înregistrare în timp, ceea ce conduce la un timp de testare mult mai lung decât în cazul celorlalte aparate de măsurat. Din acest motiv, productivitatea ridicată necesară se realizează prin testarea simultană a unui număr cât mai mare de contoare.

Clasa de precizie a contoarelor de energie se stabilește în funcție de erorile relative de măsurare, determinate pentru diverse regimuri de funcționare. Eroarea relativă de măsurare este definită conform relației (1):

$$e_r = \frac{W_{\text{măsurat}} - W_{\text{etalon}}}{W_{\text{etalon}}} \cdot 100 \% \quad (1)$$

unde  $W_{\text{măsurat}}$  este energia înregistrată de contorul testat, iar  $W_{\text{etalon}}$  este energia măsurată de un contor considerat etalon /75/.

Probele metrologice la care este supus un contor /62/ includ variația curentului de sarcină în intervalul 5% - 400 % din curentul de bază și variația defazajului în intervalul 0,8 capacitiv - 0,5 inductiv. Contoarele trifazate sînt testate atât în regim de sarcin echilibrată, cât și cu încărcare pe o singură fază. Pentru fiecare

probă, contorul trebuie să aibă o eroare de măsurare mai mică decât limitele stabilite tabelar în standarde /75, 62/.

Astfel, procedura de determinare a clasei de precizie a contoarelor de energie este laborioasă, necesitând mai multe probe, fiecare reclamând un timp de măsurare ce poate fi de ordinul minutelor.

Tot în cadrul verificării performanțelor metrologice sînt incluse teste care, însă, nu necesită determinarea erorii de măsurare. Pragul de sensibilitate este dat de curentul minim la care începe să se rotească discul contorului și nu trebuie să depășească 0,5 % din curentul de bază, în condiții nominale de tensiune și defazăj. Verificarea merului în gol constă în absența rotației discului, în condițiile alimentării contorului doar în tensiune, în intervalul 80 % - 110 % din tensiunea nominală. Verificarea mecanismului totalizator se realizează prin contorizarea unei cantități de energie de valoare mare, într-un timp de 15 - 20 de minute.

În afara probelor metrologice prezentate, contoarele mai sînt verificate din punctul de vedere al performanțelor mecanice și al stabilității în funcționare /62/.

Etalonarea este etapa tehnologică în care, asupra contorului asamblat și în regim de funcționare, se efectuează reglajele pentru asigurarea preciziei necesare în fiecare probă. Reglajele se efectuează manual, pe baza erorii de măsurare medii, într-un interval de timp. Contoarele sînt prevăzute cu 3 reglaje pe fiecare fază, cele trifazate fiind etalonate atît în regim trifazat echilibrat, cît și pe fiecare fază în parte. Din acest motiv, operația de etalonare este cea mai lungă în procesul de producție a contoarelor și necesită personalului cel mai calificat. Pentru o reglare cît mai eficientă, în timp real, operatorul trebuie să determine cît mai rapid și cît mai exact eroarea medie, într-un interval de timp, a contorului ce se etalonează.

Verificarea metrologică este o etapă legală ce se efectuează asupra contorului fabricat și sigilat. Ea reprezintă totalitatea operațiilor metrologice care se execută cu scopul constatării faptului dacă performanțele și caracteristicile aparatului se înadrează sau nu în limitele impuse de STAS. Operația necesită determinarea erorii de măsurare a contorului în fiecare probă în parte și acordarea califi-



cativului admis sau respins. Si în acest caz, eficiența este dată de viteza de determinare a erorilor de măsurare. Totuși, verificarea făcându-se printr-o măsurare unică, în fiecare probă, nu se impun condiții de lucru în timp real.

Complexitatea acestor operații conduce la necesitatea realizării unor instalații de testare industrială a contoarelor deosebit de eficiente.

### 1.2. Schema bloc a unei instalații de testare

Instalațiile de determinare a erorilor sînt destinate, de obicei, atât etalonării, cît și verificării metrologice, metodele folosite în cele două operații fiind aceleași.

Din motive de productivitate a muncii, aceste instalații sînt prevăzute cu 10 - 100 de posturi de testare simultană. Schema bloc tipică a părții de putere, ce intră în componența oricărei instalații, realizată conform oricărei metode de testare, este prezentată în figura 1.

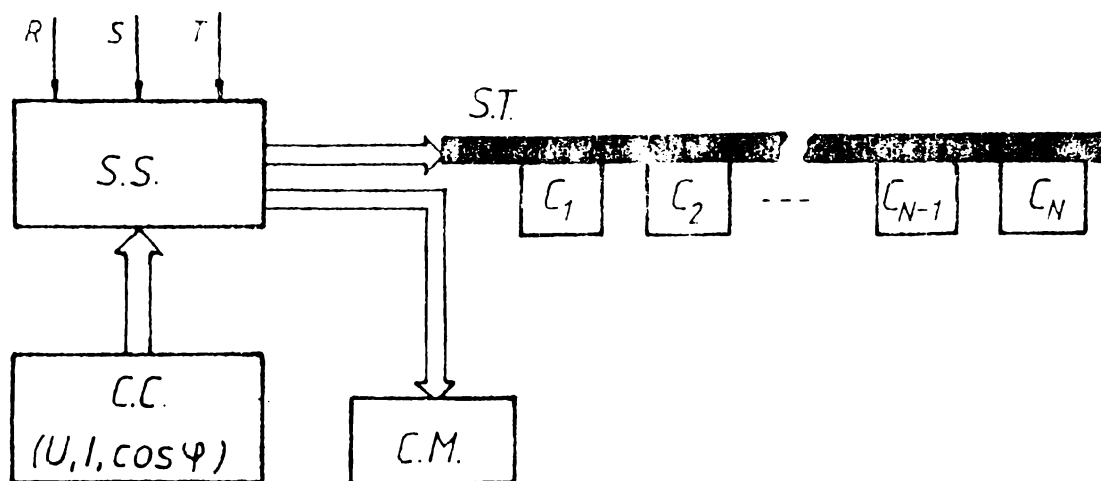


Figura 1

Standul de contoare ST asigură conectarea rapidă a contoarelor  $C_1, C_2, \dots, C_N$  în circuit, acestea fiind parcurse de același curent și conectate la aceeași tensiune, defazată față de curent cu un unghi identic. Simulatorul trifazat de sarcină SS furnizează aceste mărimi reglabile (curent, tensiune și  $\cos$ ), permițînd funcționa-

rea contoarelor în toate regimurile specificate. Simulatorul de sarcină cuprinde, în acest scop, pe lângă elementele de acționare și comutare, transformatoare de curent, de tensiune și decalor de fază. Proba dorită se specifică la consola de comandă CC.

Aceste elemente sînt incluse în toate instalațiile industriale de testare a contoarelor, deosebiriile dintre ele fiind doar în domeniul puterii (care limitează numărul de posturi), al valorilor mărimilor electrice sau al gradului de automatizare a comenzii /13, 14, 25, 34, 67, /.

Un alt element necesar în toate instalațiile este circuitul de măsură CA, care, însă, poate avea destinații diferite, funcție de metoda folosită. În principal, acesta conține transformatoare de măsură, care permit utilizarea aparatului etalon (contor sau wattmetru) pe același domeniu, independent de proba la care funcționează contoarele testate.

În funcție de metoda folosită, instalațiile sînt mai mult sau mai puțin complexe, incluzînd circuite de comandă, transductoare optoelectronice de rotație, unități individuale de calcul, de achiziție sau afișare, echipamente periferice.

### 1.3. Criterii de clasificare a metodelor

Etalonul de energie folosit poate fi determinat în mai multe moduri, ceea ce conduce la următoarea clasificare a metodelor de determinare a erorilor /58/:

1. cu contor etalon,
2. cu wattmetru etalon împreună cu contor etalon,
3. cu impulsuri etalon (numărul lor fiind proporțional cu energia măsurată, sau pentru putere constantă, cu timpul).

Prima metodă asigură determinarea directă a erorii, pe baza indicațiilor contoarelor (etalon și, respectiv, testat), conform relației de definiție (1). Necesită utilizarea unui contor etalon, dificil de realizat, din punct de vedere tehnic, pentru precizii ridicate. Clasa 0,5 este o limită a contoarelor etalon cu inducție /79/. Practic, se preferă utilizarea unui contor pilot, de aceeași structură și precizie cu cele testate, dar etalonat pentru eroare nulă într-un punct de funcționare (metoda sincronismului).

Cea de a doua metodă, timp-putere, se bazează pe măsurarea integralei puterii din circuit și a timpului de contorizare. Practic, se folosește pentru putere constantă în circuit, condiție greu de îndeplinit cu precizie pe toată durata măsurării. Deoarece, în această situație, energia contorizată este invers proporțională cu perioada de rotație a discului contorului testat,  $T_{\text{măsurat}}$ , relația de definiție a erorii devine:

$$e_r = \frac{T_{\text{etalon}} - T_{\text{măsurat}}}{T_{\text{măsurat}}} \cdot 100 \%, \quad (2)$$

unde  $T_{\text{etalon}}$  este perioada de rotație a discului unui contor cu eroare nulă.

A treia metodă folosește fie o cronometrare electronică, cu tact etalon, la putere constantă, fie un contor ce furnizează impulsuri proportionale, numeric, cu energia măsurată, /26, 27, 28, 30, 36, 37, 77, 78, 83/. În ambele variante, energia măsurată de contorul testat fiind invers proporțională cu numărul impulsurilor etalon /54/, relația de definiție a erorii devine:

$$e_r = \frac{N_{\text{etalon}} - N_{\text{măsurat}}}{N_{\text{măsurat}}} \cdot 100 \%, \quad (3)$$

unde  $N_{\text{etalon}}$  este numărul de impulsuri nominal, pe durata unei rotații a discului unui contor ideal, iar  $N_{\text{măsurat}}$  este numărul de impulsuri etalon pe durata unei rotații a discului contorului testat. Metoda asigură cea mai bună precizie folosind un contor etalon static și este singura care se pretează automatizării.

Modul de determinare a erorilor și forma în care acestea sînt prezentate personalului ce efectuează etalonarea sau verificarea constituie un alt criteriu de clasificare a erorilor. Metodele trebuie să țină seama, pe lângă caracterul producției de masă, cu sute sau mii de contoare pe zi, și de numărul mare de probe de testare, de 20 - 30 la contoarele trifazate, de următoarele 2 necesități:

1. determinarea erorii după un timp cât mai scurt de la ultima reglare și
2. determinarea erorii cât mai simplu și mai direct. Rezultă deci, utilizarea unor metode neindividuale de testare, ce permit realizarea unor instalații industriale cu zeci de posturi.

Timpul minim de determinare a erorii, conform necesității 1., este de o rotație completă a discului, după ultima reglare. Viteza de rotație a discului nu este constantă, din motive funcționale, pe durata unei rotații /79, 80/, motiv pentru care se determină eroarea

medie pe o rotație a discului contorului.

Necesitatea 2. a determinat studiul aprofundat al metodelor posibile de determinare a erorilor și a condus la elaborarea mai multor soluții, utilizate în producție /61/. Totuși, metode și instalații industriale eficiente nu au fost create decât după apariția circuitelor integrate logice, care au permis automatizarea unor operații.

În funcție de aceste 2 cerințe (timpul și, respectiv, modul de determinare a erorilor), metodele folosite pot fi grupate în următoarele 2 categorii:

1. metode de estimare a erorii, care nu furnizează eroarea de măsurare, dar care permit aprecierea erorii prin mărimi intermediare sau prin calcul,
2. metode de determinare automată a erorii, care permit afișarea sau tipărirea erorii de măsurare, în formă numerică, fără intervenția operatorului.

Prima categorie de metode reclamă, în general, operații manuale, memorări de date, calcule, necesită un timp de măsurare de mai multe perioade de rotație a discului și utilizează ca etalon de energie toate variantele prezentate.

Cea de a doua categorie include metodele care furnizează direct eroarea, după o singură rotație a discului și utilizează doar metode cu impulsuri etalon.

Prezentarea detaliată a metodelor și instalațiilor, conform acestor criterii, este realizată de /61/. Acest capitol analizează posibilitățile de perfecționare și automatizare a metodelor cunoscute prin implementarea microprocesoarelor.

#### 1.4. Metode neautomatizabile

Metodele neautomatizabile grupează acele metode de estimare a erorilor care nu pot elimina subiectivismul măsurării, operațiile manuale sau calculele necesare și care, deci, nu pot furniza direct eroarea de măsurare în formă numerică, prin utilizarea microprocesoarelor.

Metoda contorului etalon, propriu-zisă, este o metodă manuală ce folosește în circuitul de măsură (CM în figura 7) un contor de precizie superioară celor testate, eroarea rezultând prin calcul,

conform relației (1), aplicată indicațiilor celor două contoare. Metoda, deși precisă, nu se utilizează industrial în această formă decât pentru probele de duranță. Utilizarea microprocesoarelor poate înlocui inițializarea manuală a contoarelor, permite citirea automată a indicației contorului testat, prin numărarea perioadelor de rotație ale discului, utilizând traductoare optoelectronice de rotație, și poate realiza calculul numeric al erorii, pe baza unor date introduse manual. Nu poate, însă, elimina necesitatea citirii de persoană uman a indicației ei contorului etalon. Rezultă, deci, imposibilitatea determinării directe a erorii, cu această metodă, folosind microprocesare.

Metoda timp-putere este o metodă manuală prin definiție, datorită măsurării manuale a timpului de contorizare a energiei, pentru putere constantă în circuit. Echipamentul necesar aplicării industriale a acestei metode, conform figurii 2, constă dintr-un simulator de sarcină SS, capabil să furnizeze putere calibrată pentru toate probele, și cronometre manuale pentru fiecare post de testare simultană,  $CR_1, CR_2, \dots, CR_N$ .

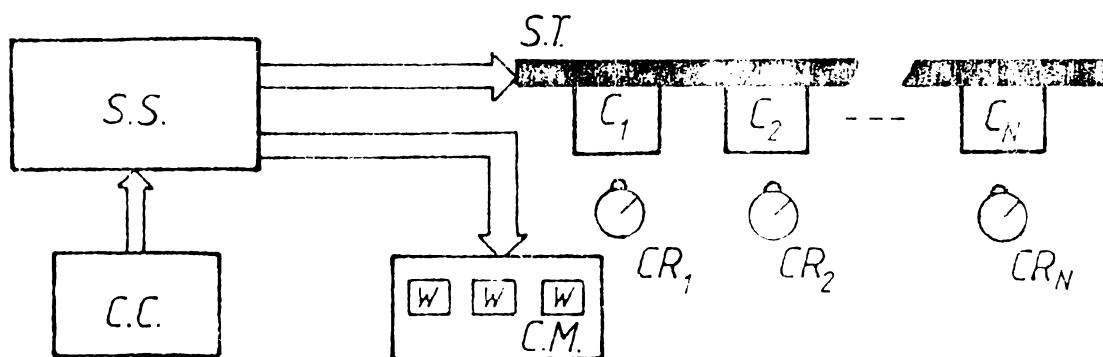


Figura 2

În absența unui calibrator de putere, se utilizează un simulator de sarcină obișnuit, cu reglaje fine la consola de comandă CC, pentru ajustarea puterii din circuit la valoarea nominală, valoare măsurată cu cele 3 wattmetre conectate în circuitul de măsură CM.

Eroarea măsurării energiei se determină prin intermediul erorii perioadei de rotație a discului, conform relației (2).

Implementarea microprocesoarelor în vederea îmbunătățirii metodei reclamă eliminarea subiectivismului cronometrării manuale, ceea ce conduce la cronometrarea electrică sau electronică, pe intervale de

timp egale cu perioada de rotație a discului, determinată obiectiv, cu traductoare optoelectronice de rotație /29, 70/. Aceasta modifică, însă, principal metoda, care devine identică cu cea a numărării automate a impulsurilor. Rezultă, deci, imposibilitatea automatizării metodei timp-putere, fără modificarea esenței metodei.

Metoda sincronizării constă în pornirea simultană a tuturor contoarelor  $C_1, C_2, \dots, C_N$  cu semnul marcat dintr-o poziție cunoscută, stabilită manual, și oprirea lor simultană, după un număr întreg de rotații ale discului contorului pilot CP.

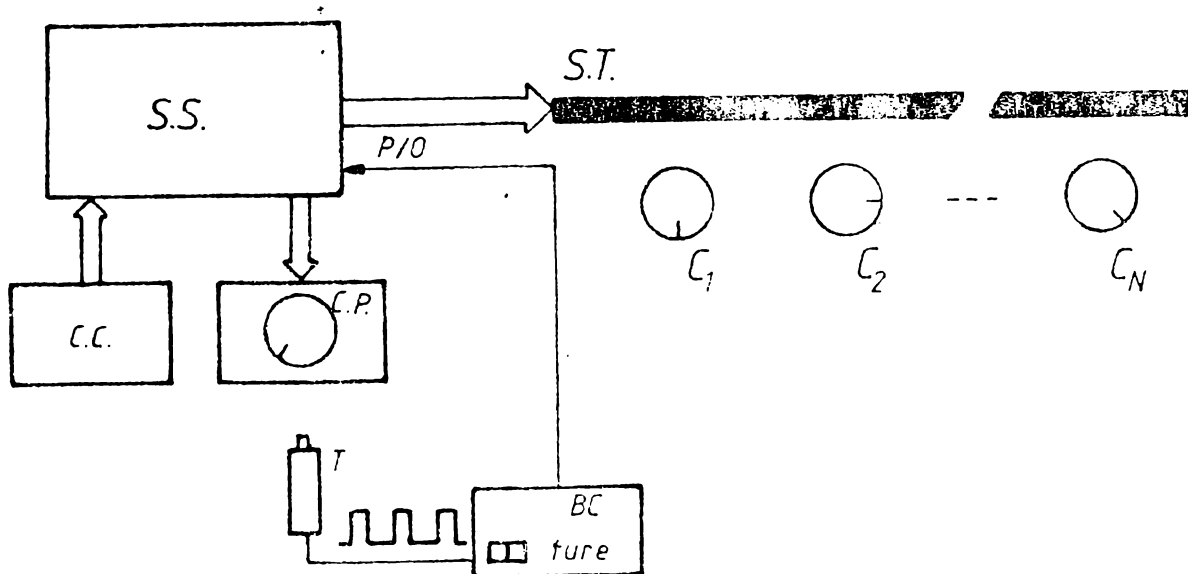


Figura 3

Echipamentul industrial necesar acestei metode, reprezentat în figura 3, include un simulator de sarcină SS cu elemente de comandă pornit/oprit P/O, un contor pilot CP, ca etalon, conectat în circuitul de măsură, un traductor optoelectronic de rotație T, ce furnizează un impuls la fiecare încheiere a unei rotații complete, și un bloc de comandă BC, incluzând un numărător preselectabil pentru contorizarea rotațiilor necesare ale discului contorului pilot. La încheierea măsurării, faza de rotație a fiecărui disc (semnul marcat) este o măsură a erorii de măsurare a contorului respectiv, apreciată vizual de operator. Metoda folosește ca etalon un contor, de aceeași tip cu cele testate, dar reglat pentru eroare nulă într-un punct de funcționare /25/.

Automatizarea metodei presupune, în primul rând, eliminarea operațiilor manuale și a aprecierilor vizuale. Poziționarea inițială a discurilor se poate realiza automat, utilizând traductoare de rotație

pentru fiecare post și întrerupătoare individuale de circuit, comanda-  
te de semnalul acestor traductoare.

Determinarea obiectivă, însă, a fazei rotației nu este realiza-  
bilă în mod automat, datorită mărcii unice pe disc. Marea începu-  
tului și sfârșitului unei rotații complete are loc în momente, în gene-  
ral, diferite de la un contor (pilot) la altul (testat). Dacă se com-  
pară energiile înregistrate între aceste repere individuale, contoarele  
nu măsoară aceeași energie, ceea ce conduce la erori de etalonare.  
In cazul particular al puterii constante, metoda poate fi automatiza-  
tă în acest fel, dar s-ar transforma într-o cronometrare electronică  
a perioadelor, caracteristică metodei numărării automate a impulsuri-  
lor, pierzînd avantajul principal al metodei: contorul pilot.

O soluție ar fi creșterea numărului de repere pe discul contoa-  
relor testate (cîteva sute, pentru o rezoluție de etalonare suficien-  
tă). Aceasta ar conduce la un sistem complex de măsurare a frecvențe-  
lor individuale  $f_1, f_2, \dots, f_N$ , ale reperelor de pe discuri, pe in-  
tervale de timp determinate de perioada de rotație a discului pilot,  
 $T_E$ , conform figurii 4. Blocurile  $N_1, N_2, \dots, N_N$  permit determinarea  
frecvențelor individuale prin metode caracteristice numărătorului uni-  
versal /42/.

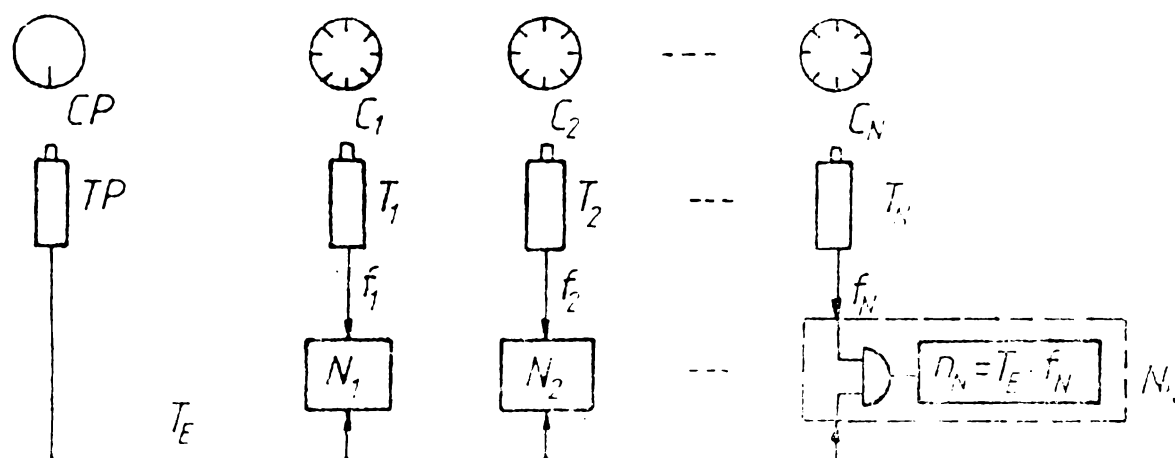


Figura 4

O soluție asemănătoare, dar fără creșterea complexității tehnolo-  
giei de realizare a discurilor, există: metoda numărării automate a  
impulsurilor, care realizează măsurarea perioadelor individuale (nu a  
frecvențelor) cu o frecvență etalon (eventual repere pe discul pilot),  
nu pe o perioadă etalon, conform figurii 9.

O soluție care păstrează caracterul metodei , de sincronism, este prezentată în figura 5.

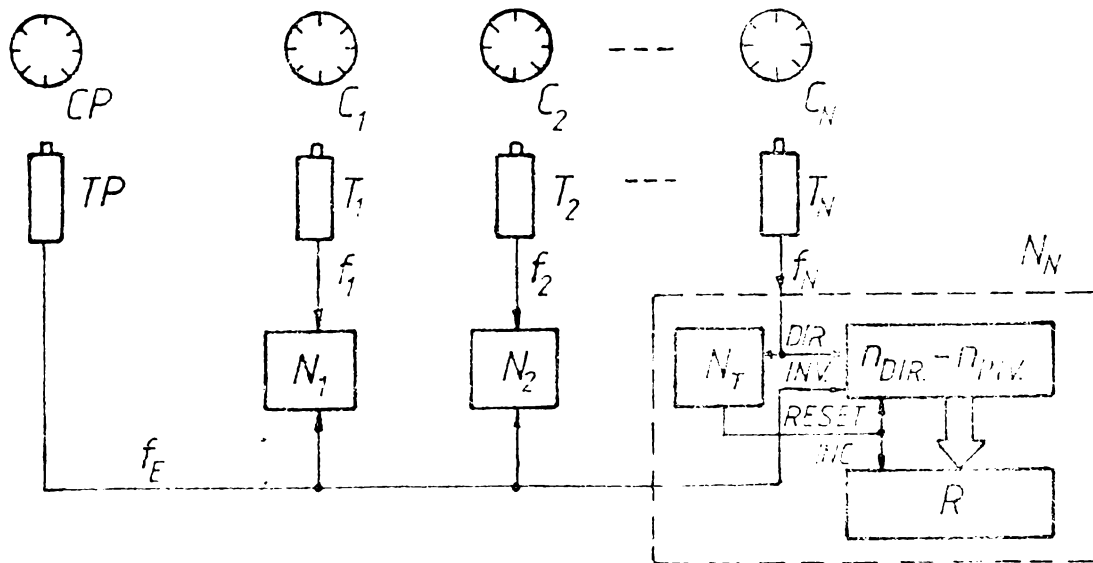


Figura 5

Folosește un numărător reversibil pentru fiecare post,  $N_1, N_2, \dots, N_N$ , comandat în sens direct (DIR) de impulsurile corespunzătoare contorului testat, iar în sens invers de cele corespunzătoare contorului pilot (INV). Numărătorul conține permanent abaterea absolută a numărului de impulsuri:  $n_{DIR} - n_{INV}$ , deci furnizează eroarea continuu. Acest avantaj nu este utilizabil datorită vitezei neuniforme de rotație a discului, ceea ce reclamă medierea rezultatului pe o perioadă, mediere realizată prin transferul rezultatului spre afișare (INC) o dată la o rotație. Aceasta reduce metoda la cea a numărării automate a impulsurilor pe o perioadă etalon, care, cum s-a arătat mai sus, este inferioară numărării automate a impulsurilor etalon pe perioade ce se măsoară.

În concluzie, automatizarea metodei conduce fie la transformarea ei în altă metodă ( numărarea automată a impulsurilor), fie necesită modificarea constructivă a discurilor contoarelor (cu sute de repere optice), soluție inacceptabilă pentru o producție de masă, în condițiile existenței altor metode mai eficiente. Metoda sincronismului nu este, deci, o metodă eficient automatizabilă prin utilizarea microprocesoarelor.

Metoda cuantei de energie , identică din punct de vedere al utilizatorului cu cea a sincronismului, se caracterizează prin utilizarea unui contor cu impulsuri pentru măsurarea cuantei de energie (spre deosebire de contorul pilot), ceea ce permite utilizarea aceluiași contor etalon pentru orice tip de contor testat. Schema

1164137  
34cD



bloc din figura 6 prezintă implementarea industrială a acestei metode.

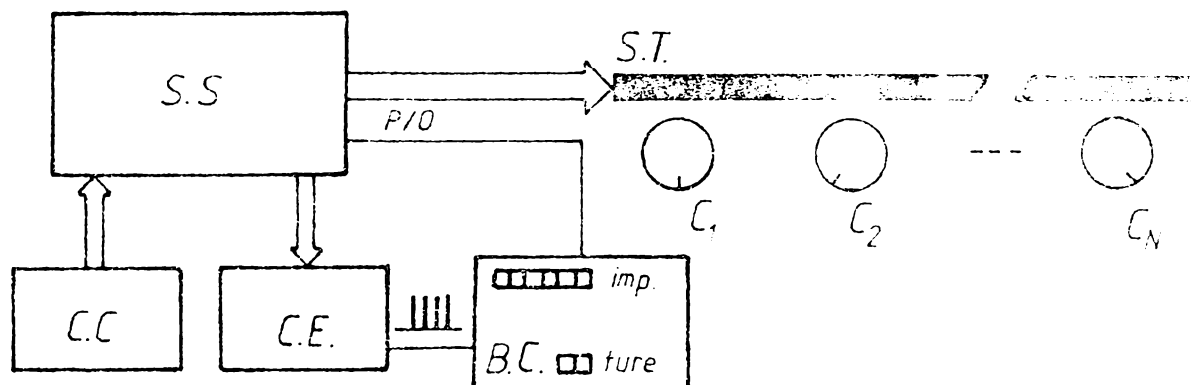


Figura 6

Simulatorul de sarcină SS este comandat (pornit/oprit) în acest caz de un bloc de comandă BC, programabil cu numărul impulsurilor furnizate de contorul etalon CE, pe o perioadă de rotație a discului și cu numărul de rotații pe care se dorește efectuată măsurarea. Înainte de pornire, discurile sînt poziționate manual, într-o poziție cunoscută. După oprirea discurilor, se analizează vizual faza rotației, în vederea estimării erorii de măsurare. Metoda, fiind bazată pe numărarea unor impulsuri, poate fi aplicată și cu etalon timp-putere, cu cronometrare electronică.

Automatizarea prepoziționării discurilor este realizabilă, ca și în cazul metodei sincronismului. Automatizarea determinării fazei discurilor oprite este imposibilă, datorită existenței unui singur reper pe disc, iar marcarea începutului și sfîrșitului rotației diferă, în timp, de la un contor la altul, ceea ce conduce la măsurarea unor energii neidentice, pe durata unei rotații marcată individual.

Soluția marcării începutului și sfîrșitului măsurării cu impulsuri furnizate de traductoare optoelectronice de rotație transformă metoda în cea a numărării automate a impulsurilor.

Creșterea numărului de repere pe disc conduce la aceleași dezavantaje ca și în cazul metodei sincronismului. În plus, numărul impulsurilor etalon nu este egal, în general, cu cel al reperelor optice de pe disc, ceea ce ar necesita un bloc logic de conversie a frecvenței, în funcție de constanta contoarelor testate și de

proba la care sînt supuse (realizabil cu microprocesor, dar neeconomic). Rezultă, deci, ca posibilități de automatizare doar modificarea de principiu a metodei sau modificarea constructivă a discurilor, ca în cazul metodei sincronismului. În concluzie, metoda cuantei de energie este practic neautomatizabilă, prin utilizarea microprocesoarelor.

Metodele neautomatizabile sînt acele metode de estimare a erorii, ale căror caracteristici (principiu de măsurare, operații manuale, determinări subiective) limitează implementarea microprocesoarelor la efectuarea doar a unei părți din operații, care conduc fie la soluții neeconomice, fie la modificarea principiului inițial de determinare a erorilor. În primul caz, soluțiile nu prezintă interes, fiind inferioare altor metode cunoscute, iar în al doilea caz, metodele sînt analizate în paragraful 1.5.

Echipsamentul industrial necesar implementării acestor metode se limitează la blocuri de comandă a simulatorului de sarcină, programabile cu numărul de impulsuri nominal și numărul de rotații dorite. Astfel de aparate produc principalele firme producătoare de contoare, Landis-Gyr, Siemens, Metra Blansko /67, 25, 69, 34/, prezentate în detaliu în /61/.

### 1.5. Metode automatizate

Metodele automatizate sînt caracterizate prin determinarea nesubiectivă a informațiilor privind eroarea de măsurare a contoarelor, eliminarea operațiilor manuale și furnizarea erorii sau a informației asupra erorii în mod direct. Schema bloc a unei instalații automatizate este prezentată în figura 7.

Circuitele de putere și de măsură sînt identice cu cele utilizate în metodele neautomatizabile. Caracteristice tuturor metodelor automatizate sînt următoarele elemente:

1. metoda folosită este o metodă de impulsuri etalon,  $f_E$ , indiferent de etalonul utilizat în circuitul de măsură CM (contor cu inducție, contor static sau timp-putere), eroarea rezultînd conform relației (3);
2. utilizează traductoare optoelectronice de marcă,  $T_1, T_2, \dots, T_N$ , care furnizează un impuls electric corespunzător trecerii semnului marcat pe disc;

3. utilizează dispozitive individuale de afișare  $AF_1, AF_2, \dots, AF_N$  în etalonare, și, eventual, afișaj centralizat AC sau imprimantă, în verificarea metrologică;

4. elementul principal este un bloc de determinare a erorilor BDE, compact sau distribuit, care furnizează eroarea fiecărui contor, după una sau mai multe rotații ale discului, determinate pe baza semnalelor de intrare: constante de probă  $P$ , constanta contoarelor testate  $k_C$ , impulsurile etalon  $f_E$ , impulsurile furnizate de traductoarele de rotație.

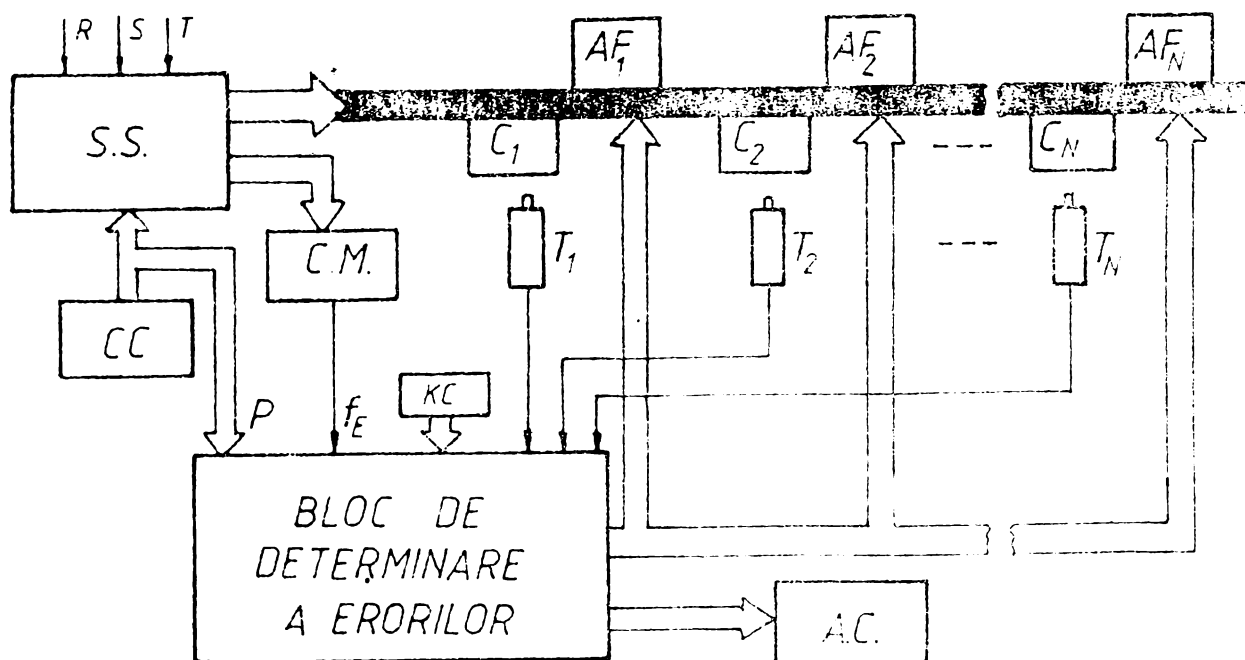


Figura 7

Metodele automatizate cunoscute diferă prin modul de realizare a blocului BDE, motiv pentru care doar acesta va fi tratat în continuare. Toate metodele automatizate furnizează direct eroarea de măsurare, fiind, deci, utilizate asemănător și avînd avantaje similare. Vom diferenția, însă, prin alte caracteristici aceste metode: complexitate, mod de programare, număr de posturi de testare simultană, posibilități de comandă a simulatorului de sarcină, posibilități de utilizare superioară a rezultatelor testării.

Implementarea microprocesoarelor în aceste metode automatizate permite reducerea complexității hardware prin transferarea unor operații realizării prin software, îmbunătățirea performanțelor în domeniul automatizării comensii simulatorului de sarcină, al calculurilor, al sistematizării și prelucrării rezultatelor, al utilizării unor echipamente periferice.

Metoda numărării automate a impulsurilor este prima metodă automatizată utilizată și face parte din grupul metodelor de estimare a erorilor, deoarece furnizează doar informații privind eroarea de măsurare. Schema bloc a unității de determinare a informațiilor de eroare este prezentată în figura 8.

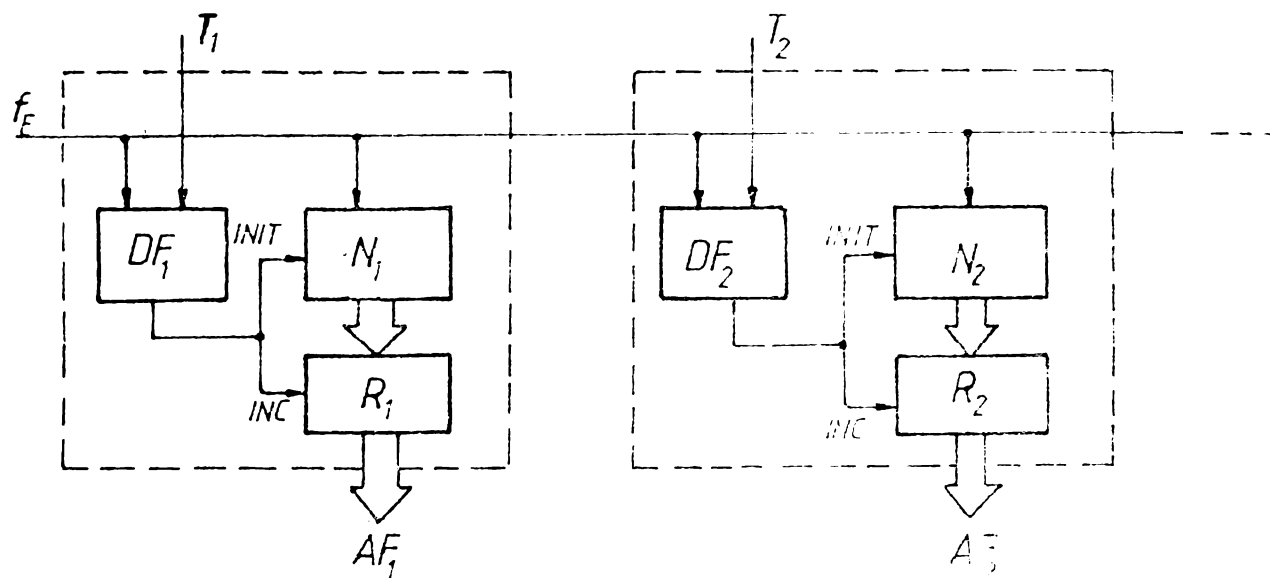


Figura 8

Blocul de determinare a informațiilor asupra erorilor de măsurare este format din blocuri individuale, egale ca număr cu numărul posturilor de testare simultană. Un bloc individual conține, în principal, un numărător, cu circuite de comandă asociate. Numărătorul  $N$  contorizează impulsurile etalon  $f_E$  recepționate pe durata unei rotații a discului contorului testat  $T$ , marcată de frontul anterior al impulsului de marcă, furnizat de traductorul optoelectronic de rotație. Detecția frontului este necesară, conform figurii 9, atât pentru marcarea intervalului de numărare, cât și pentru obținerea semnalelor de transfer a informației spre registrul  $R$ , în vederea afișării, urmată de inițializarea numărătorului (INC și INIT).

Metoda a fost implementată în mai multe configurații, cu diverse facilități: numărare directă cu afișarea numărului de impulsuri etalon recepționate, numărare inversă începând cu numărul nominal, preselecat manual, cu afișarea erorii absolute a numărului de impulsuri, numărare pe una sau mai multe perioade. Toate aceste variante se caracterizează prin imposibilitatea afișării directe a erorii relative de măsurare a energiei, necesitatea efectuării unor calcule sau estimări mintale sau consultarea unor tabele de toleranțe, în vederea determinării erorii. Unele variante necesită efectuarea de calcule pentru determinarea, în vederea preselecției, a numărului

nominal de impulsuri.

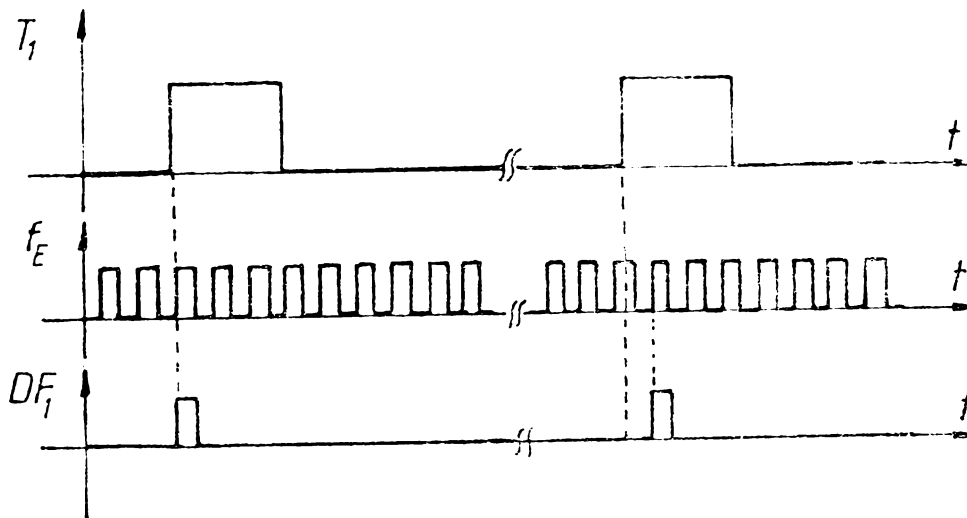


Figura 9

Echipamente industriale necesare utilizării acestei metode produc firmele Landis-Gyr, Siemens, Metra Blansko /25, 34, 67, 69/. Ele se bazează pe metode de numărare a impulsurilor / 6, 43/ și se caracterizează prin complexitate mare, direct proporțională cu numărul posturilor de testare simultană.

Bazându-se pe datele furnizate de metodă în mod automat și fără subiectivismul operatorului, un sistem cu microprocesor, asociat acestei configurații, permite înlăturarea dezavantajelor prezentate. O astfel de instalație permite furnizarea directă a erorii relative, elimină necesitatea oricăror calcule și, în plus, asigură interfațarea automată cu simulatorul de sarcină, permite centralizarea rezultatelor și prelucrarea lor într-o unitate unică de calcul, care poate utiliza echipamente periferice pentru afișare, tipărire sau memorare. Soluția a fost, însă, utilizată încă înaintea apariției microprocesoarelor, calculul fiind efectuat de un minicalculator.

Metoda converșiei de frecvență etalon este o metodă de determinare directă a erorii de măsurare și este implementată industrial în configurația reprezentată în figura 10.

Frecvența impulsurilor etalon  $f$  este convertită în blocul central  $f/f$ , astfel ca, pentru orice contor, supus oricărei probe, numărul de impulsuri etalon furnizat de acest bloc, pe durata unei rotații a discului unui contor ideal, să fie același. Eroarea fiecărui contor se determină pe baza acestui semnal etalon  $f_e$  și pe baza semnalului furnizat de traductoarele optoelectronice de marcă  $T_1, T_2, \dots, T_N$ , asociate, în unitățile individuale de calcul, identice,  $UC_1, UC_2, \dots, UC_N$ . Numărul  $N$  al unităților individuale de calcul

este teoretic nelimitat.

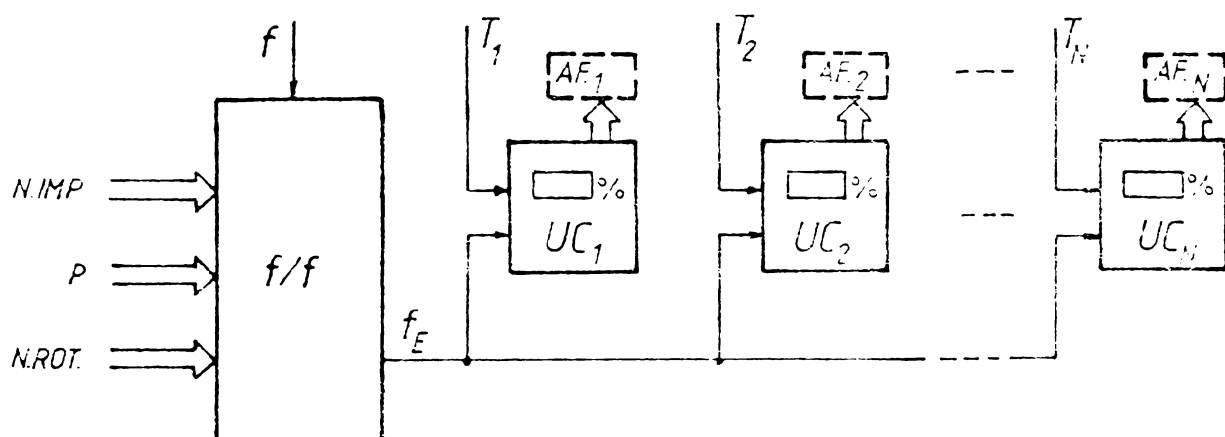


Figura 10

Unitatea de calcul UC este realizată dintr-un numărător invers, care numără pe durata unei rotații a discului impulsurile etalon  $f_E$ , conținând în final abaterea absolută a numărului de impulsuri. Numărarea, transferul și inițializarea numărătorului se realizează cu semnale identice celor prezentate în figura 9. Dacă frecvența impulsurilor etalon este astfel convertită încît numărul nominal să fie 1000, conținutul numărătorului din finalul măsurării poate fi afișat procentual, în formatul XX,X %, fără prelucrări ulterioare. Soluția nu folosește relația (3) pentru determinarea erorii relative, ci o aproximare a ei /58, 61, 71, 72/. Pentru erori mai mici decît  $\pm 3$  %, eroarea de determinare a erorii este sub 0,1 %, deci nesemnificabilă pe formatul de afișare menționat. O soluție mai complexă, folosind circuite de calcul în fiecare unitate individuală de calcul permite corecția rezultatului și afișarea erorii de măsurare reale, în întreg domeniul de erori.

Echipele industriale pentru utilizarea acestei metode sînt realizate în ambele variante, de firme străine, Landis -Gyr, Siemens, precum și în țară, la I. A. E. M. Timișoara /67, 71, 72, 74/.

Metoda este eficientă, dar prezintă următoarele dezavantaje:

1. necesită preselecția datelor de probă P ( tensiunea și curentul nominale, proba selectată), a numărului de impulsuri N.IMP, determinat prin calcul, funcție de constanta contoarelor, necesar conversiei de frecvență, și a numărului de rotații N.ROT pe care se face măsurarea pentru o rezoluție suficientă;
2. dispersarea informației în unitățile distincte de calcul, ceea ce

conduce la imposibilitatea prelucrării centralizate a rezultatelor; 3. complexitatea instalației este foarte mare, datorită unităților individuale de calcul, care conduc la creșterea complexității odată cu numărul de posturi de testare simultană.

Implementarea microprocesoarelor în astfel de instalații, fără a afecta principiul de determinare a erorii, este limitată la unitatea centrală de conversie a frecvenței, permițând automatizarea totală a programării aparatului, ca și a interfeței cu simulatorul de sarcină. Conversia de frecvență poate fi comandată prin software, în funcție de constanta contoarelor și a probei citită sau comandată simulatorului de sarcină. În cazul unei configurații nedistribuite a unităților de calcul, acestea pot fi conectate și la magistralele microprocesorului, în scopul centralizării rezultatelor în vederea prelucrării, afișării sau tipăririi centralizate.

Metoda calculului cu minicalculator este metoda cea mai automatizată în etalonarea contoarelor și permite desfășurarea complet automată a verificării metrologice. Schema bloc a unei instalații realizate conform acestei metode este prezentată în figura 11.

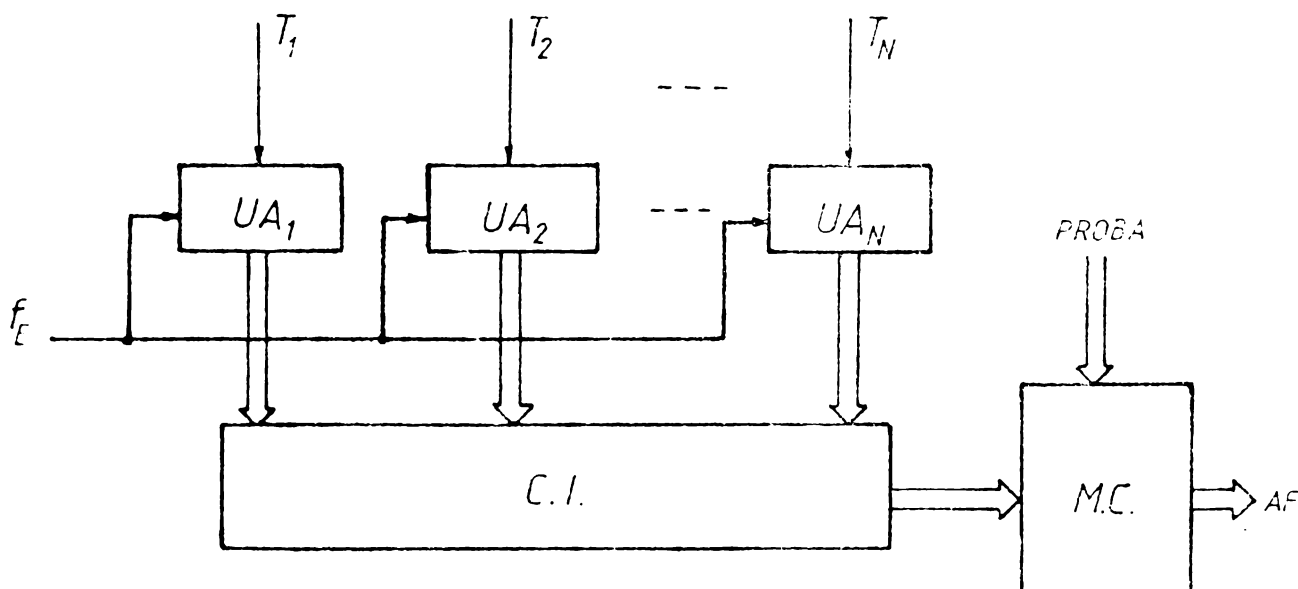


Figura 11

Metoda se bazează pe utilizarea unor unități individuale, identice, de achiziție  $UA_1, UA_2, \dots, UA_N$  și a unei unități centrale de calcul MC. Unitățile individuale de achiziție controlează numărul de impulsuri etalon recepționat pe durata unei rotații a discului, conform diagramelor de timp prezentate în figura 9. Unitatea centrală de calcul, care poate fi un minicalculator sau un microcalculator, citește succesiv datele achiziționate în unitățile individuale, prin

intermediul circuitelor de interfață CI. Pe baza datelor citite și a constantelor caracteristice tuturor contoarelor testate (PROBA), minicalculatorul determină eroarea fiecărui contor prin calcul numeric, eroare ce este transferată unui bloc de afișare AF. Minicalculatorul asigură în plus sistematizarea și prelucrarea statistică a rezultatelor, memorarea pe suport magnetic a erorilor, ca și posibilitatea modificării programului de testare.

La începutul unei noi serii de contoare, minicalculatorul se programează cu o bandă program, specificându-se: constanta contoarelor, curentul și tensiunea nominale, succesiunea probelor, limitele admise ale erorilor, formatul de tipărire a rezultatelor. În cazul etalonării, probele sînt comandate de operator și preluate automat de minicalculator. Erorile de măsurare se afișează în mod individual și ghidează operatorul în operațiile de reglare manuală a contoarelor. În cazul verificării metrologice, probele sînt comandate în mod automat de minicalculator, conform programului, care efectuează calculele și comandă apoi afișarea sau tipărirea rezultatelor. Astfel, operația de verificare metrologică, după introducerea benzii program, se desfășoară automat.

Instalații industriale de acest tip sînt realizate de mai multe firme, fiind bazate pe utilizarea unui minicalculator complex, cu destinație generală, și a unui bloc de achiziție complex, care include unitățile individuale de achiziție și sistemul de multiplexare a datelor. Majoritatea instalațiilor sînt destinate verificării metrologice automate, ca cele realizate de firmele Landis-Gyr, Siemens, iar în țară I. A. E. M. Timișoara împreună cu I. P. A. Cluj-Lapoca /32, 69, 70/. O realizare singulară a firmei Landis-Gyr permite etalonarea în timp real a 54 de contoare simultan /25/, ceea ce reprezintă cea mai bună performanță a instalațiilor realizate conform acestei metode, care în general nu pot furniza eroarea în timp real, datorită timpului de calcul prea lung.

Metoda, deși prezintă unele mari avantaje în domeniul automatizării, comparativ cu metodele prezentate, este relativ limitat aplicată, din următoarele motive:

1. complexitatea achiziției individuale și prețul unui minicalculator fac instalația greu rentabilă;
2. timpul de calcul, utilizînd sistemul de operare, este inacceptabil de lung pentru etalonarea în timp real, ceea ce limitează practic aplicarea doar la verificarea metrologică automată;



3. utilizează un minicalculator cu destinație generală, care trebuie mereu programat și care necesită personal cu înaltă calificare pentru utilizare și întreținere.

Implementarea microprocesoarelor în astfel de instalații se poate realiza direct, înlocuind funcțiile minicalculatorului, reducându-se astfel, parțial, primul dezavantaj (complexitatea blocului de achiziție se păstrează). Utilizând programarea în limbajul de asamblare al microprocesorului și apelând la subrutine specializate în calculul rapid, se pot realiza viteze superioare de calcul, ceea ce permite etalonarea în timp real. O astfel de programare poate fi realizată și cu minicalculatorul, care, în general, are viteză de calcul mai mare decât microprocesoarele uzuale. Se pierde, în acest caz, avantajul sistemului de operare al minicalculatorului. Prețul scăzut al sistemelor cu microprocesoare permite implementarea acestora în aparate cu destinație fixă (determinarea erorilor contoarelor), ceea ce eliberează utilizatorul de o mare parte a programării aparatului, acesta putând fi exploatat de personal puțin calificat.

În concluzie, implementarea microprocesoarelor în această metodă păstrează toate avantajele prezentate și reduce considerabil unele dezavantaje. Principalul dezavantaj, complexitatea sistemului de achiziție, care reprezintă esența metodei, se păstrează.

Metoda achiziției bazată pe întreruperi este caracteristică sistemelor cu microprocesoare, utilizate de mai multe canale de intrare. Sistemele de acest tip sînt concepute în jurul unor sisteme cu microprocesoare, ca atare nu se mai pune problema implementării acestora într-o metodă cunoscută. Prezența acestui paragraf subliniază ideea de utilizare a microprocesoarelor în metodele și instalațiile de testare a contoarelor.

Metoda se bazează pe utilizarea unui numărator de impulsuri în sistemul cu microprocesor, inițializat și respectiv transferat la fiecare încheiere a rotației unui disc, moment marcat printr-o cerere de întrerupere. O realizare de acest tip, utilizând un microprocesor Motorola 6800, permite determinarea erorilor pentru 5 posturi simultan /22/.

Metoda este economică, asigură un grad înalt de automatizare. Capacitatea de testare, însă, este redusă, prin utilizarea neeficientă a microprocesorului în condiții specifice aplicațiilor industriale (paragraful 3.2.);

## Capitolul 2

### IMPLEMENTAREA MICROPROCESOARELOR ÎN INSTALAȚII DE DETERMINARE A ERORILOR, REALIZATE CONFORM METODELOR CUNOSCUTE

Capitolul 1 a evidențiat posibilitatea îmbunătățirii performanțelor unor metode de determinare a erorilor prin utilizarea microprocesoarelor. Scopul urmărit este acela de a realiza instalații de testare cu o capacitate cât mai mare, de o complexitate redusă și cu posibilități de automatizare. În ce măsură aceste deziderate pot fi realizate și în ce măsură se păstrează esența metodelor cunoscute, prin utilizarea microprocesoarelor, se analizează în paragrafele 2.2. și 2.3., care prezintă implementări originale ale autorului.

#### 2.1. Metoda numărării automate a impulsurilor etalon

Metoda inițială asigură achiziția automată a informației în blocuri individuale, identice. Un sistem cu microprocesor poate fi implementat, în cadrul acestei metode, ca un bloc de calcul (capitolul 6).

Preselectarea numărului teoretic de impulsuri, în vederea numărării inverse a impulsurilor etalon recepționate, nu mai este utilă, deoarece microprocesorul permite efectuarea ulterioară a acestor calcule aritmetice. Soluția ar putea fi utilizată, preselectarea fiind făcută dintr-un registru comandat de microprocesor, dar ar crește, în mod inutil, complexitatea hardware, mai ales prin numărul mare de conexiuni necesare.

În configurația rezultată, metoda nu mai este distinctă, motiv pentru care este tratată ca metoda calculului cu minicalculator, cu care se identifică, în paragraful 2.3.

#### 2.2. Metoda conversiei de frecvență

Metoda cunoscută are dezavantajele programării manuale, cu date ce rezultă din calcule, și a împrăștierei informației în unități individuale. Configurația originală, propusă de autor, elimină ace-

te neajunsuri, prin implementarea unui sistem cu microprocesor, păstrînd, însă, caracteristicile metodei: achiziție și determinare individuală a erorilor, folosind un semnal etalon cu un număr fix de impulsuri pe perioada nominală de rotație a discului, pentru contoare cu orice constantă, supuse oricărei probe.

Configurația acestui aparat este prezentată în figura 12.

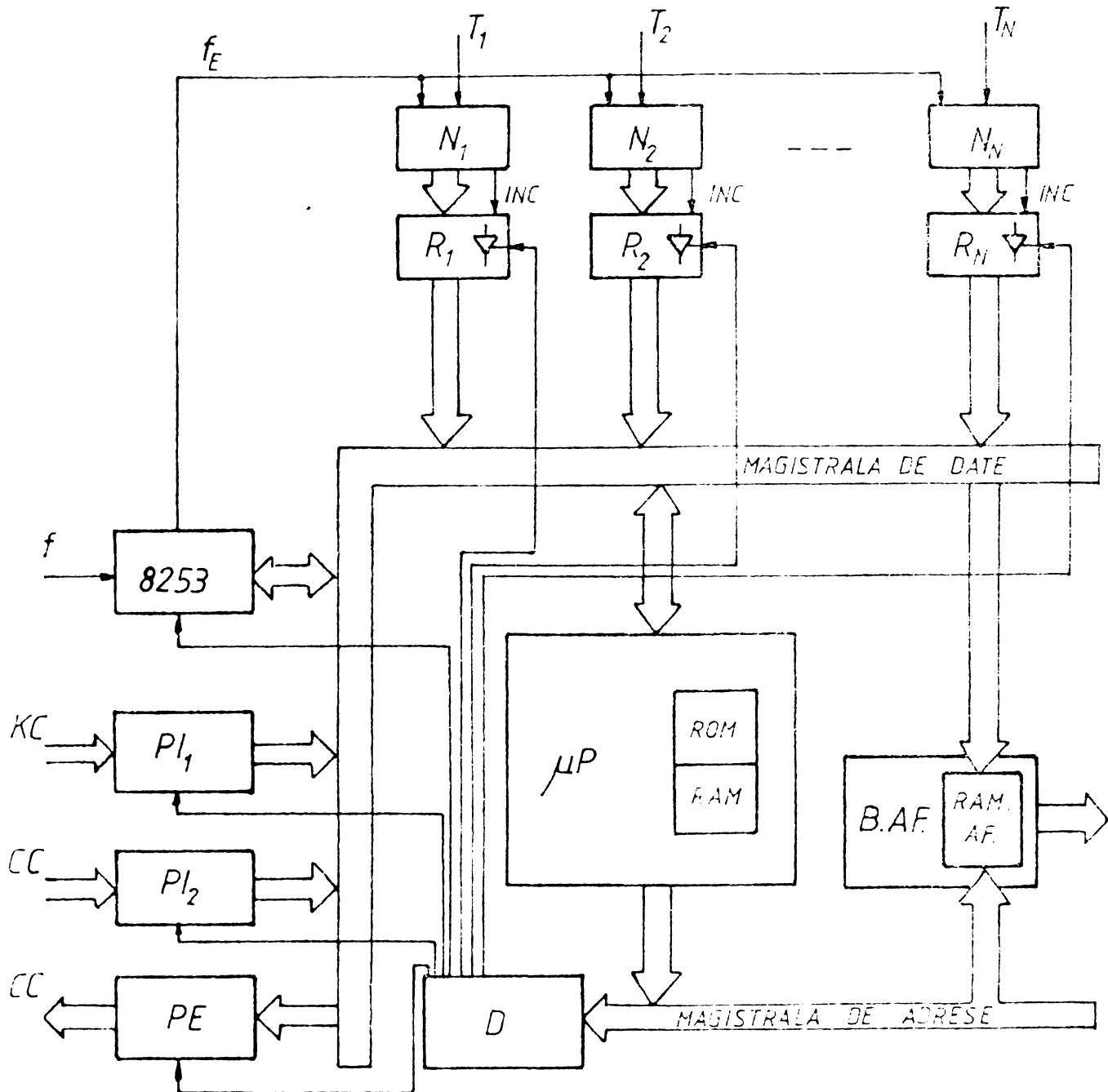


Figura 12

Funcționarea aparatului este controlată de sistemul cu microprocesor  $\mu P$ , care cuprinde circuitele specifice funcționării în configurație standard împreună cu memoria program ROM și memoria operativă RAM necesare.

Microprocesorul citește, prin intermediul porturilor de intrare  $PI_1$  și  $PI_2$ , proba selectată la consola de comandă CC și constanta contoarelor  $k_C$ , selectată pe panoul aparatului, la începutul unei noi serii de contoare. Pe baza acestor date, transferate în RAM, microprocesorul determină prin calcul, conform programului din ROM, factorul de divizare necesar funcționării aparatului conform metodei converșiei de frecvență. În acest fel se elimină necesitatea programării manuale, redondante, a aparatului cu proba stabilită la consola de comandă, și a efectuării calculelor în vederea programării factorului de divizare. În cazul desfășurării în mod automat a verificării metrologice, simulatorul de sarcină poate fi comandat, într-o succesiune a probelor, conform programului, prin intermediul portului de ieșire PE.

Ca divizor, în vederea obținerii unui număr constant de impulsuri pe perioada nominală, se folosește un circuit specializat: divizor programabil de microprocesor, prin intermediul magistralei de date, de tipul Intel 8253. Acesta se programează ca divizor cu un număr determinat prin calcul, funcționând în acest regim în mod continuu, pînă la o nouă programare (la schimbarea probei sau a constantei contoarelor) / 7%. Circuitul divizează semnalul etalon (contor cu impulsuri sau cronometru electronic), furnizînd semnalul prelucrat  $f_E$ .

Determinarea factorului de divizare se face cunoscînd frecvența etalon nominală  $f$ , care este o constantă a etalonului (de ordinul kHz, zeci sau sute de kHz), și știind că dorim 1000 de impulsuri pe o rotație nominală. Numărul de impulsuri rezultat pe o perioadă de rotație nominală este dat de relația (4):

$$N_{imp} = f \cdot T_C \quad (4)$$

unde  $f$  este frecvența impulsurilor etalon, iar  $T_C$  este perioada de rotație nominală a discului contorului. Din definiția constantei contorului:

$$k_C = \frac{n \text{ rot}}{W \text{ kWh}} = \frac{3,6 \cdot 10^6 \cdot n \text{ rot}}{U \cdot I \cdot T_C \text{ Wh}} \quad (5)$$

unde  $n$  este numărul de rotații,  $U$  tensiunea,  $I$  curentul aplicate contorului, se determină perioada nominală:

$$T_C = \frac{3,6 \cdot 10^6}{k_C \cdot U \cdot I} \quad (6)$$

Din relațiile (4) și (6) se obține numărul de impulsuri pe o rotație nominală:

$$N_{\text{imp}} = \frac{3,6 \cdot 10^6 \cdot f}{k_C \cdot U \cdot I} \quad (7)$$

Având în vedere că numărul de impulsuri final, pe o rotație nominală, trebuie să fie 1000, factorul de divizare rezultă:

$$F = \frac{3,6 \cdot 10^3 \cdot f}{k_C \cdot U \cdot I} \quad (8)$$

Factorul de divizare  $F$  se determină, deci, funcție de frecvența impulsurilor etalon  $f$ , care este o constantă pentru un anumit etalon și poate fi memorată permanent în ROM, de constanta contoarelor  $k_C$ , care se prescrie pe panou la fiecare nouă probă serie de contoare și de  $U \cdot I$ , care se comandă la consola de comandă a simulatorului de sarcină la fiecare nouă probă. Acest calcul se efectuează o singură dată la fiecare probă, deci nu se impun condiții de viteză, determinate de lucrul în timp real.

Tinând seama de faptul că frecvența  $f$  este proporțională cu puterea din circuitul de măsură ( $U_E \cdot I_E$ ):

$$f = k_E \cdot U_E \cdot I_E \quad (9)$$

$k_E$  fiind constanta contorului etalon, factorul de divizare poate fi pus în evidență în funcție de rapoartele de transformare în curent și în tensiune dintre circuitul de măsură și cel al contoarelor testate:

$$F = \frac{3,6 \cdot 10^3 \cdot k_E}{k_C} \cdot \frac{U_E}{U} \cdot \frac{I_E}{I} \quad (10)$$

Implementarea hardware a acestei divizări conduce la o complexitate ridicată a unității centrale ( $F$  fiind invers proporțional cu  $k_C$ ), dezavantaj evitat prin implementarea software a calculului factorului  $F$  și utilizarea divizorului programabil.

Blocurile individuale de achiziție și determinare a erorii, identice, păstrează structura inițială: numărătorul BCD de 3 ranguri numără invers impulsurile etalon  $f_E$  pe o perioadă de rotație, marcată de frontul anterior al semnalului de marcă  $T$ . Blocul  $N$  include acest numărător invers, care poziționează bistabilul de semn al erorii la trecerea prin zero, și un circuit detector de front al mărcii, care comandă transferul datelor în registrul  $R$  și inițializarea numărătorului, conform diagramelor din figura 9. Registrul  $R$  memo-

rează eroarea măsurării pe ultima perioadă (mărime și semn), fiind conectat la magistrala de date a sistemului prin ieșiri tri-state.

În mod ciclic, microprocesorul citește conținutul registrelor R, citire comandată de semnalele furnizate de decodificatorul de adrese D (în 2 adresări dacă registrul are mai mulți biți decât magistrala de date). Această centralizare, deși nu implică operații aritmetice asupra erorilor deja determinate, permite efectuarea diferitelor operații asupra datelor recepționate și utilizarea unor sisteme unice de extragere a rezultatelor. Astfel, microprocesorul poate indica pe un bit suplimentar calificativul admis/respins, utilizat pentru comanda unei perechi de LED-uri verde/roșu, în cazul verificării manuale, sau ca semnal de oprire a baleierii rezultatelor, în cazul căutării automate a contoarelor respinse (paragraful 7.3.).

Alte prelucrări necesare, pe care le poate realiza microprocesorul, se referă la valoarea afișată. Metoda determină eroarea în intervalul  $-99,9 + 99,9 \%$  care, în general, nu interesează într-un domeniu atât de larg și, în plus, reclamă utilizarea a 3 dispozitive de afișare numerică și 1 de semn. Prin program se determină mărimea erorii, care, când depășește intervalul util în etalonare,  $-19,9 + 19,9 \%$ , nu mai interesează ca modul, ci doar ca semn și indicație de depășire. Se înscrie, apoi, în memoria RAM.AF a blocului de afișare B.AF codul corespunzător acestui mod de afișare. Afișajul individual conține, în acest caz, doar 2 dispozitive numerice și unul pentru unitate și semn.

De asemenea, microprocesorul poate efectua corecția erorii (determinată, conform metodei, aproximativ) prin calcul sau prin consultarea unui tabel memorat în ROM /39/.

Rezultatele astfel prelucrate sînt transferate în memoria RAM.AF, la adrese bine precizate pentru fiecare post de testare, în vederea extragerii lor centralizat: afișare individuală comandată de unitatea centrală, afișare centralizată pentru verificarea metrologică, tipărire la imprimantă a buletinelor de calitate, transferul datelor pe suport magnetic (capitolul 7).

În concluzie, utilizarea sistemului cu microprocesor în acest aparat conduce la următoarele îmbunătățiri ale metodei:

1. elimină necesitatea calculelor în vederea programării aparatului;
2. elimină necesitatea comenzii redondante a aparatului cu probele fixate la consola de comandă a simulatorului de sarcină;
3. reduce complexitatea hardware a blocului de conversie a frecvenței;

4. permite utilizarea blocurilor de afișare distribuite sau centralizate, utilizarea echipamentelor periferice;
5. permite automatizări, programe de autotest, flexibilitate în utilizare.

Metoda conversiei de frecvență, implementată cu un sistem cu microprocesor, câștigă avantajele specifice utilizării unui sistem de calcul. În studiul acestor avantaje, implementarea microprocesorului nu poate elimina principalul dezavantaj al metodei: utilizarea unor blocuri individuale de achiziție și calcul, care în cazul unei instalații industriale cu zeci de posturi conduce la o complexitate deosebit de ridicată.

### 2.3. Metode calculului cu minicalculator

Principalele avantaje ale acestei metode, cu înalt grad de automatizare, sînt utilizarea unui minicalculator (microcalculator) cu destinație generală, scump și complex, care necesită programare la fiecare utilizare și care nu permite calculul în timp real al erorii, în vederea etalonării.

Implementarea sistemului cu microprocesor se face în locul și cu funcțiile minicalculatorului. Schema de principiu a unui astfel de aparat este identică cu cea prezentată în figura 12. Deosebirile constau în modul de numărare al blocurilor de achiziție individuală și în modul de lucru al microprocesorului, deci în software.

Numărătoarele  $N$  numără în sens direct impulsurile etalon recepționate pe durata unei rotații, mearșă de frontul anterior al impulsului de marcă, după care conținutul este transferat în registrul  $R$ , iar numărătorul  $N$  inițializat, conform diagramelor din figura 9.

Este oportună, în acest caz, analiza lungimii maxime posibile a numărului de impulsuri etalon contorizat în numărătorul  $N$ . Un contor poate fi testat în probe între 5 % - 600 % din curentul de bază, /62, 75/. Majoritatea simulatoarelor de sarcină au circuitul de măsură realizat pentru conectarea fie a wattmetrelor etalon, fie a unui contor etalon. Pentru ca wattmetrele să măsoare cu erori relative (cele care interesează în cazul contoarelor) mici, ele sînt întotdeauna conectate pe domeniul nominal, indiferent de proba de testare a contoarelor /6, 63, 42/. Deși contoarele statice își păstrează eroarea relativă în domeniul 1 % - 120 %, din acest motiv sînt și ele co-

nectate întotdeauna la curentul și tensiunea nominale. Astfel, frecvența impulsurilor etalon este de același ordin de mărime indiferent de probă (de durata perioadei nominale de rotație a discului contorului testat). Ea trebuie să asigure, din motive de rezoluție a etalonării, minimum 1000 de impulsuri pe durata unei rotații, în proba cea mai rapidă (600 %). Rezultă minimum 120.000 de impulsuri în proba cea mai lentă (5 %); luând în considerare un domeniu al erorilor posibile de -50 % + 50 %, se obțin, în cazul cel mai defavorabil, 180.000 de impulsuri în această probă.

Având în vedere că perioada de rotație nominală poate varia de la un tip de contor la altul, trebuie contat pe un număr de impulsuri variind între 500 și 250.000. Este, deci, necesar un numărător cu minimum 18 biți, rezultând utilizarea, pentru fiecare post, a 5 capsule de numărător binar, 5 capsule de registru paralel și 5 capsule de buffere tri-state. Complexitatea aparatului crește foarte mult, în cazul unei instalații industriale nu zeci de posturi de testare /32, 58/.

Soluția originală a autorului, în scopul reducerii complexității instalației, este de a adapta frecvența impulsurilor etalon la proba concretă în care funcționează contoarele. Se impune, astfel, divizarea frecvenței impulsurilor etalon, în funcție de probă, în așa fel ca numărul nominal de impulsuri pe o rotație să fie de același ordin de mărime (de observat că nu trebuie să fie o constantă).

În acest scop, funcționarea microprocesorului, după conectare, trebuie să asigure următoarele: citește constanta contoarelor și proba stabilită la consola de comandă, după care determină numărul teoretic de impulsuri etalon, cu relația (7) /54/. În funcție de lungimea acestui număr se determină un factor de divizare putere a lui 2 (prin deplasări succesive). Divizorul, programabil de microprocesor, poate fi un circuit specializat sau o succesiune de bistabile comandate. Admițând un număr nominal de impulsuri în intervalul 1024 - 2047, deci de 11 biți, și ținând cont de intervalul erorilor și al dispersiei tipurilor de contoare, se pot folosi 3 capsule de numărător binar, 3 capsule de registru paralel și 3 capsule de buffere tri-state.

Utilizarea programului de determinare a numărului nominal de impulsuri și programarea corespunzătoare a divizorului de frecvență, conduce la o reducere cu aproximativ 30 % a complexității unităților individuale de achiziție, ceea ce reprezintă câteva sute de circuite



integrate, într-o instalație industrială.

Achiziția constantelor, ca și a numerelor de impulsuri măsurate și reținute în registre individuale, se realizează identic cu metoda conversiei de frecvență. Deosebirea esențială constă în faptul că, în acest caz, datele transferate în memoria operativă RAM nu reprezintă erori, ci măsurile ale erorilor ce urmează a fi determinate prin calcul numeric. Erorile pot fi determinate utilizând oricare din modalitățile originale prezentate în capitolul 6.

În concluzie, implementarea unui sistem cu microprocesor într-o instalație de determinare a erorilor contoarelor, realizată conform metodei calculului cu minicalculator, conduce la reducerea sau eliminarea unor dezavantaje cunoscute:

1. reduce complexitatea sistemului de achiziție, prin utilizarea unui divizor programabil, și a unității de calcul, prin utilizarea unui sistem eficient cu microprocesor, cu destinație fixă;
2. aparatul nu mai trebuie programat, ca un calculator cu destinație generală, utilizatorul nesățind existența unui sistem de calcul cablat în instalație;
3. prin utilizarea unor algoritmi și subrutine specializate de calcul rapid, programate în limbajul de asamblare al sistemului, (capitolul 6) aparatul poate determina erorile de măsurare, simultan pentru un număr mare de posturi, în timp real, în vederea etalonării.

Utilizarea microprocesoarelor în această metodă nu poate, însă, elimina dezavantajul de metodă: achiziția în unități individuale, urmată de calculul erorilor într-o unitate centrală. Acest dezavantaj, constând în creșterea accentuată a complexității în instalații industriale cu număr mare de posturi, se păstrează.

#### 2.4. Eficiența implementării microprocesoarelor în metodele cunoscute de testare a contoarelor

Soluțiile prezentate în acest capitol reprezintă adaptări ale metodelor cunoscute la utilizarea microprocesoarelor, în configurații originale propuse de autor. În fiecare caz, ele conduc la îmbunătățirea caracteristicilor și performanțelor metodelor, comparativ cu instalațiile de testare industrială cunoscute. Îmbunătățirile datorate implementării microprocesoarelor sînt în domeniul centra-

lizării și prelucrării rezultatelor, al automatizării și al confortului în utilizare (în cazul metodei conversiei de frecvență) și al reducerii complexității, creșterii vitezei de calcul și al confortului în utilizare (în cazul calculului într-o unitate centrală).

Totuși, nefiind concepute în mod special pentru a fi implementate cu sisteme cu microprocesor, metodele prezentate păstrează unele limite: principiul determinării individuale a erorilor și respectiv principiul achiziției individuale a datelor, sabelle conducând la complexitate neeconomică a unei instalații industriale de testare. Soluții pentru depășirea acestor limite sînt propuse de autor în capitolele 3, 4, 5, 6 și 7.

Ca referințe, în compararea metodei și implementărilor originale ale autorului, vor fi cele mai bune realizări mondiale, conform metodelor cunoscute (eventual cu îmbunătățirile propuse prin utilizarea microprocesoarelor) și alte soluții cunoscute, realizate cu sisteme cu microprocesare. Acestea sînt următoarele:

1. firma Siemens cu sistemul bazat pe conversia frecvenței, cu 1, 6, 10 posturi de testare, cu avantajele și dezavantajele prezentate în capitolul 1 și /61/;
2. firmele Lendia-Gyr și Siemens cu instalații automate de verificare a contoarelor, cu calculatoare de proces, cu 20, 40, 50 de posturi și respectiv firma Lendia-Gyr cu sistemul cu minicalculator, cu 54 de posturi destinat etalonării în timp real /61/;
3. firma Iskra cu aparatul realizat cu microprocesorul M6800, bazat pe o unitate unică de achiziție și calcul, funcționând printr-un sistem de întreruperi, cu 5 posturi de testare, /22/.

### Capitolul 3

#### METODA ORIGINALA A ACHIZITIEI CENTRALIZATE, UTILIZIND UN SISTEM CU MICROPROCESOR

Pornind de la necesitățile și datele inițiale ale unei instalații pentru testarea industrială a contoarelor de energie, capitolul 3 analizează posibilitatea implementării microprocesoarelor conform structurilor cunoscute din utilizarea calculatoarelor cu destinație generală. Deoarece acestea nu sînt eficiente în aplicațiile industriale, care ne interesează în această lucrare, autorul propune o metodă originală de lucru a unui sistem cu microprocesor ce prelucrează semnale furnizate de un număr mare de canale de intrare. Metoda, avînd un caracter general, este aplicabilă, cu eficiență deosebită, în testarea industrială a contoarelor.

#### 3.1. Datele inițiale ale metodei de testare

Metoda de determinare a erorilor contoarelor de energie trebuie să asigure furnizarea erorilor, pentru toate posturile de testare simultană, după fiecare rotație a discului. Numărul posturilor de testare este de ordinul zecilor (pînă la 150), dat de puterea simulatorului de sarcină utilizat, deci blocul de achiziție al testatorului trebuie să monitorizeze zeci de canale de intrare. Aceste canale sînt comandate de traductoarele optoelectronice de rotație a discurilor, care furnizează semnale logice (semnal marcat pe disc). Perioada acestor semnale monitorizate este dată de viteza de rotație a discului, în funcție de probă; valorile uzuale se plasează în intervalul 1 - 100 secunde.

Rezultă că un testor industrial de contoare trebuie să furnizeze, cazul cel mai defavorabil, într-o secundă eroarea pentru zeci de posturi. Aceasta presupune 2 tipuri de operații: achiziția informației de la canalele de intrare și măsurarea perioadei de rotație a discului (cu impulsurile etalon) pe de o parte, și calculul erorii pentru toate contoarele, pe baza datelor de probă și de sensibilitate, pe de altă parte.

Pentru marcarea unei rotații complete a discului, se ia ca reper primul front al impulsului corespunzător semnalului marcat, front

care devine evenimentul urmărit. Momentul apariției evenimentului este aleator, depinzând de faza inițială a discului (oarecare) și de viteza de rotație, care depinde de precizia contorului (necunoscută).

Pentru determinări cu o rezoluție mai bună de 0,1 %, necesară în etalonare și verificare, sînt necesare cel puțin 1000 de impulsuri pe tură, ceea ce în cazul cel mai defavorabil conduce la o frecvență de minimum 1 kHz a impulsurilor etalon. Rezultă necesitatea efectuării unei prelucrări primare a datelor, corespunzătoare tuturor canalelor de intrare, în mai puțin de 1 ms. Aceste prelucrări includ operațiile pentru determinarea unei mărimi și memorarea ei, mărime pe baza căreia să se calculeze eroarea de măsurare a fiecărui contor. În cazul unei instalații cu 50 de posturi de testare, prelucrarea primară corespunzătoare unui post trebuie să se efectueze în maximum 20  $\mu$ s. Această concluzie este deosebit de importantă, deoarece evidențiază necesitatea unui sistem deosebit de eficient, în condițiile în care un microprocesor usual execută o instrucție în 2 - 9  $\mu$ s /2, 3, 18, 19, 65, 40, 41, 4/.

Prelucrarea secundară a datelor achiziționate conform prelucrării primare constă în determinarea, prin calcul numeric, a erorii de măsurare, conform unui algoritm ce implementează relația (3). Calculurile trebuiesc efectuate pentru toate posturile pe durata unei rotații a discului, în cazul cel mai defavorabil, de 1 secundă.

În concluzie, problema testării simultane a contoarelor, în timp real, poate fi tratată în 2 etape distincte:

1. o aplicație în timp real, de maximum 1 ms, pentru achiziția datelor de la un număr cît mai mare de canale de intrare (capitolul 5);
2. o aplicație în timp real, de maximum 1 s, pentru calculul erorii corespunzătoare unui număr cît mai mare de contoare (capitolul 6).

Din considerentele prezentate, metodele și instalațiile cunoscute realizează cel puțin prelucrarea primară în configurații paralele, implementate hardware, conducînd la dezavantajele prezentate în capitolele 1 și 2.

Acest capitol analizează posibilitatea realizării acestor operații, primare și secundare, cu un sistem cu microprocesor, într-o configurație de complexitate redusă. Această posibilitate se bazează pe observația că prioritățile canalelor de intrare sînt egale și că ele necesită prelucrări identice, ceea ce poate conduce la simplificări hardware și software.

### 3.2. Microprocesorul în aplicații industriale

Microprocesorul reprezintă unitatea centrală a unui calculator, deci poate fi utilizat la realizarea unor microcalculatoare ieftine, cu destinație generală. În ciuda acestui fapt, datorită prețului și dimensiunilor scăzute, microprocesorul este utilizat în primul rând în aplicații industriale, cu destinație fixă, /3, 5, 7, 35, 81/. În astfel de configurații el nu mai trebuie programat pentru aplicația dorită (oarecare) și nu mai apare utilizatorului ca o unitate centrală, celelalte blocuri ale instalației fiind considerate periferice.

Microprocesorul devine o componentă electronică (uzuală, dar "inteligentă") în interiorul aparatului, care nu mai este privită din exterior ca o unitate centrală programabilă. Rolul său este bine precizat:

1. comandă și control în desfășurarea automată a unor secvențe de operații;
2. luare de decizii în funcție de rezultatul unor achiziții sau prelucrări;
3. înlocuirea unor configurații de logică cablată (Hardware) cu executarea unor programe (software) de către microprocesor;
4. efectuarea unor prelucrări numerice egalelor.

Utilizarea microprocesoarelor în aplicații industriale, în timp real, cere o mare eficiență în urmărirea unui număr mare de parametri pentru măsurarea și controlul acestora, cu o eroare de cuantizare în timp cât mai bună /24/. Există o multitudine de aplicații în care principala dificultate o constituie numărul mare de canale de monitorizat, deoarece prelucrarea informației obținute nu depășește complexitatea achiziției și a răspunsului la evenimente de tip binar.

Tehnicile cunoscute de răspuns la cererile de utilizare ale canalelor de intrare sînt intreruperile vectorizate și sondarea secvențială prin program /5, 33, 39, 41/. Ambele sînt metode orientate spre transferuri de cantități mari de informație, de la un număr restrîns de intrări, caracteristice sistemelor de calcul mari, cu destinație generală, pentru care au fost concepute /24/. Eficiența acestor metode scade odată cu creșterea numărului de intrări, devenind neeconomice în aplicațiile industriale, caracterizate prin transferuri de cantități minime de informație, la fiecare cerere de serviciu, și prin număr mare de canale ce trebuie monitorizate.

Vom analiza eficiența acestor metode cunoscute în cazul particular care ne interesează: prelucrarea primară a semnalelor de intrare într-o instalație de testare a contoarelor. Pentru a putea compara eficiența diverselor metode și implementări, vom considera condiții identice de lucru. Pentru exemplificare vom utiliza microprocesorul Intel 8080-A, care funcționează cu un ciclu de  $0,5 \mu s$ . Am ales acest model din motive de simplitate a calculului și pentru faptul că acesta este primul microprocesor performant și, încă, cel mai utilizat în aplicații industriale. Faptul că acest microprocesor poate lucra, la viteze superioare (variantele 8080-A1 și 8080-A2), că există microprocesoare recente mai rapide sau cu magistrale de date de mai mulți biți nu prezintă importanță în comparațiile pe care le vom face în aceste paragrafe.

Metoda întreruperilor INT este utilizată în funcție de modul particular de implementare a fiecărui tip de microprocesor. Microprocesorul 8080 are un singur nivel de întreruperi.

Prima modalitate de utilizare a întreruperilor vectorizate în acest sistem, realizată fără circuite specializate, este prezentată în figura 13.

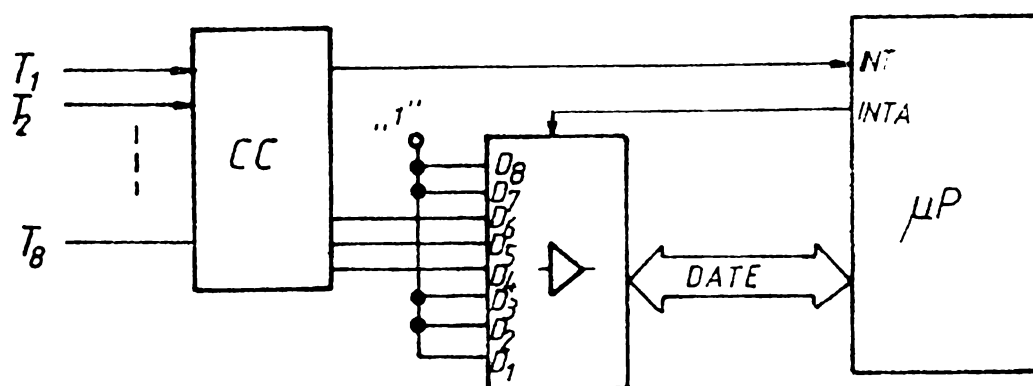


Figura 13

La una din cele 8 întreruperi solicitate, microprocesorul recepționează semnalul INT. După ce încheie execuția instrucției curente, furnizează un semnal de acceptare a întreruperii, INTA. Acesta permite, prin deschiderea bufferului B, forțarea pe magistrala de date a codului instrucției RST, care include 8 posibilități de salt la 8 subrutine, fiecare destinată unui nivel de întrerupere. Codul binar ce intră în codul instrucției RST este format în circuitul de codare CC, în funcție de canalul care solicită serviciul.

În aplicația particulară pe care o analizăm, considerăm un numărător de impulsuri etalon, implementat fie hardware, fie software, în ~~RAM~~. Dorim ca la fiecare marcă, ce reprezintă încheierea unei rotații a discului, să transferăm conținutul acestui numărător de impulsuri (de 16 biți) la adresa corespunzătoare contorului respectiv. Acest număr reprezintă o măsură a energiei înregistrate de contorul respectiv, conform metodei originale prezentate în paragraful 3.4.

În cazul adresării numărătorului cu 2 instrucții de intrare/ieșire (IR.I și IR.L) și al adresării directe pentru înscrierea în memorie la adresa AD.1 și AD.2, se obține următoarea secvență minimă de program:

Instr. curentă	18 (max)
RST	11
<del>IR.I</del>	
PUSH PSW	11
LD (IR.L)	10
STA (AD.1)	13
LD (IR.L)	10
STA (AD.2)	13
POP PSW	10
EI	4
RST	10
<hr/>	
Total:	110 microcicli

Coloana din dreapta reprezintă durata în microcicli a execuției instrucției respective, care în condițiile stabilite durează 0,5  $\mu$ s.

Faptul că fiecare întrerupere conduce la o subrutină proprie, permite folosirea adresării directe, mai rapide, pentru transferul datelor în memorie. Programul de achiziție constă, deci, în 8 subrutine de acest tip, diferind doar prin adresele de destinație, AD.1 și AD.2. Instrucția EI asigură funcționarea în continuare a sistemului de întreruperi. Prioritățile canalelor fiind identice, întreruperile sînt tratate succesiv, neîntrerupîndu-se reciproc.

Dacă numărătorul este adresat ca memorie, sau este implementat prin software, secvența minimă de program devine:

instr. curentă	18 (max)
RST	11
PUSH H	11
LHLD (NR)	16
SHLD (AD)	16
POP H	10
EI	4
RET	10

**Total: 96 microcicli**

Si în acest caz, programul constă din 8 succesiuni de astfel de secvențe, diferențiate prin adresarea directă a memoriei (AD).

Rezultă deci, în ambele variante, un timp de execuție de aproximativ 50  $\mu$ s. În condițiile impuse de datele inițiale ale problemei, în paragraful 3.1., timpul disponibil acestei operații nu depășește 1 ms. Rezultă astfel o limită software de 20 de canale de intrare ce pot fi monitorizate în acest mod. Pe de altă parte, configurația prezentată are o limită hardware de 8 canale de intrare, situație în care programele prezentate corespund ca durată. În ansamblu, însă, această variantă nu conduce la o soluție acceptabilă pentru cazul general al aplicației noastre.

O modalitate evoluată de tratare a întreruperilor în sistemul 8080 o constituie utilizarea circuitului specializat 8259, controlor programabil al nivelelor de întrerupere, pentru 8 canale. Caracteristica circuitului de a rezolva prioritățile la întreruperi nu ne este utilă, dat fiind că importanța canalelor monitorizate este identică. Utilizat ca atare, circuitul limitează numărul de canale la 8. În această situație, programul de tratare a întreruperilor este identic cu cel prezentat mai sus, cu observația că în locul instrucției RST, circuitul generează codul instrucției CALL, de 17 microcicli. Rezultă, deci, aproximativ aceeași limită de 50  $\mu$ s timp de execuție și același număr maxim de canale: 8.

O configurație hardware utilizabilă în aplicația discutată este realizabilă prin conectarea în cascadă a mai multor circuite 8259 slave, controlate de un circuit 8259 master, conform schemei de principiu din figura 14.

Identificarea blocurilor slave se face prin magistrala de 3 biți, CAS, care permite conectarea în cascadă. Această structură are o limită hardware de 64 de canale de intrare.



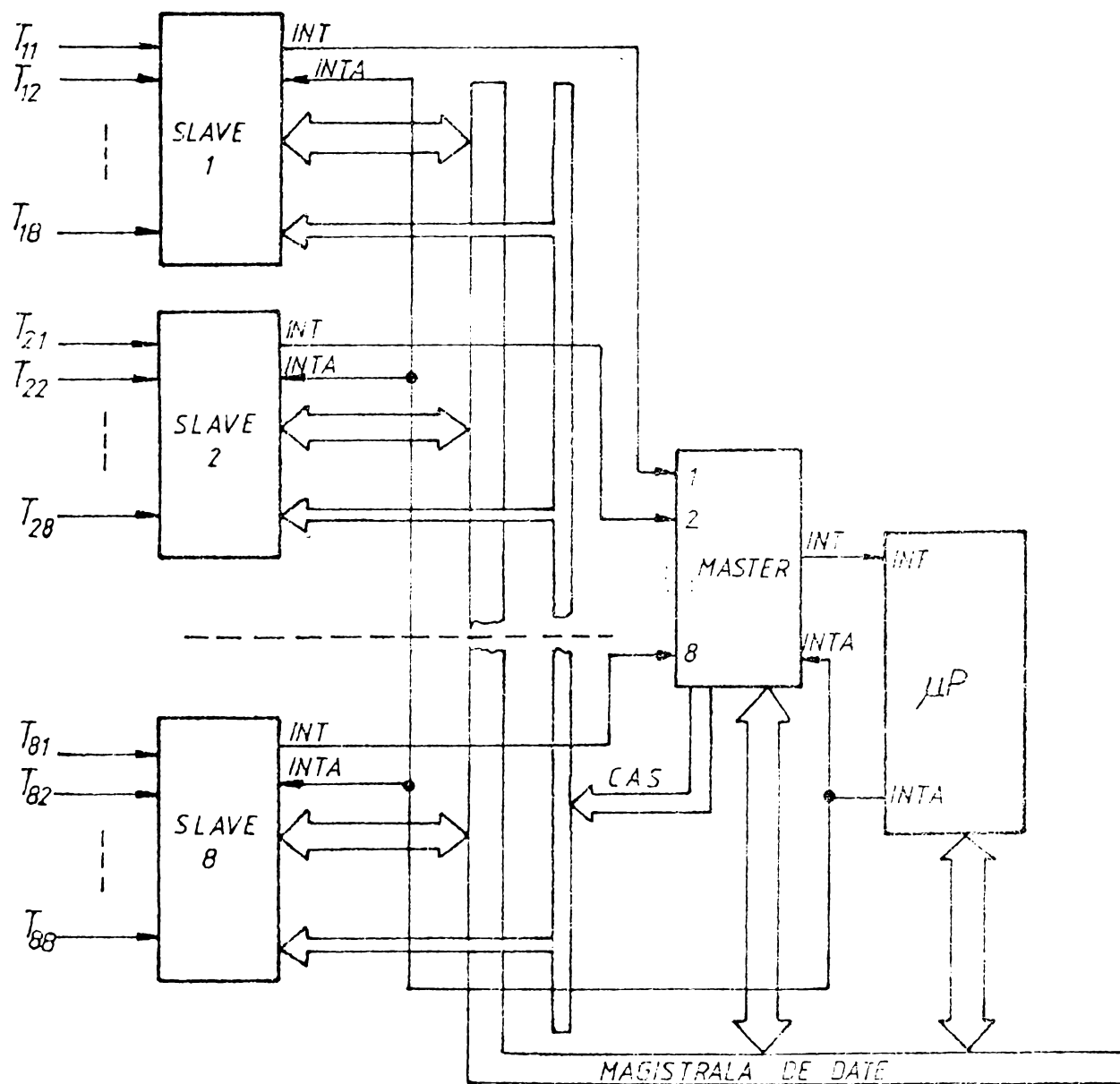


Figura 14

Această configurație posibilă, cu maximum 64 de canale de intrare, se obține cu prețul unei complexități exagerate: complexitatea și prețul unui circuit 8259 fiind de același ordin de mărime cu cele ale unui microprocesor. Marele avantaj al circuitului, de stabilire programată a nivelelor de întrerupere, nu este util în această aplicație.

Din punct de vedere software, subrutinele prezentate corespund în mod identic acestei noi configurații, fiind însă necesare 64 de secvențe cu adresare directă, în scopul realizării unui timp minim de achiziție. În condițiile impuse (rezoluție 0,1 % și durata microciclului de 0,5  $\mu$ s) programele analizate pot trata maximum 20 de canale de intrare în timp real.

Astfel, utilizarea circuitului 8259 conduce la o complexitate hardware neeconomică, iar programele la o limită software de 20 de canale de intrare, necorespunzătoare cazului general de testare a contoarelor.

In concluzie, metoda întreruperilor vectorizate, aplicată în instalații pentru testarea contoarelor, prezintă următoarele dezavantaje majore:

1. Timpul de reacție și prelucrare primară a datelor este prea lung, în principal datorită executării, la fiecare întrerupere, a operațiilor de salvare a numărătorului de adrese în stivă și actualizare a acestuia cu noul vector al întreruperii. Din aceste motive, software, aplicația este limitată la aproximativ 20 de posturi.
2. Numărul de canale este limitat din considerente hardware la 64, ceea ce limitează utilizarea acestei metode chiar în alte condiții de rezoluție (de exemplu 1 %) sau viteză (de câteva ori mai mare), când din punct de vedere software soluția ar fi aplicabilă.
3. Complexitatea hardware, și implicit prețul configurației, este ridicată în orice aplicație realizată cu întreruperi, dar mai ales în cazul folosirii în cascadă a mai multor circuite specializate 8259, destinate sistemelor 8080, 8085, 8086, Z80. Chiar în absența limitelor software și hardware, această soluție nu este economică.

Aceste dezavantaje recomandă evitarea folosirii întreruperilor vectorizate în aplicații industriale, în timp real. De altfel, performanțele instalației de testare a contoarelor cunoscută, realizată conform acestei metode de firma Iskra, confirmă concluzii prezentate: 5 posturi de testare simultană (sistemul de întreruperi nu este identic cu cele prezentate, fiind caracteristic sistemului Motorola 6800, cu care este realizat testorul) /22/.

Soluția sondării secvențiale, prin program, ~~INTERRUPTOR~~ a tuturor canalelor de intrare, în scopul detectării momentului apariției evenimentelor, poate fi implementată într-o configurație hardware minimă, conform figurii 15.

Microprocesorul comandă, prin intermediul decodificatorului de adrese, succesiv, deschiderea fiecărui buffer tri-state, în vederea citirii stării logice momentane a canalului respectiv, pe magistrala de date. Dat fiind că microprocesorul execută exclusiv această operație de achiziție, numărătorul impulsurilor etalon, de 16 biți, poate fi realizat intern, în registrul dublu HL, ceea ce conduce la scurtarea timpului de prelucrare primară a datelor achiziționate. Dacă, înșă, microprocesorul execută și alte operații, în care utilizează registrele H și L, el poate salva conținutul acestuia și reduce conținutul numărătorului de impulsuri înainte de startul unei

noi secvențe de sondare a canalelor de intrare, start care este determinat doar de evenimente interne programului ce se execută.

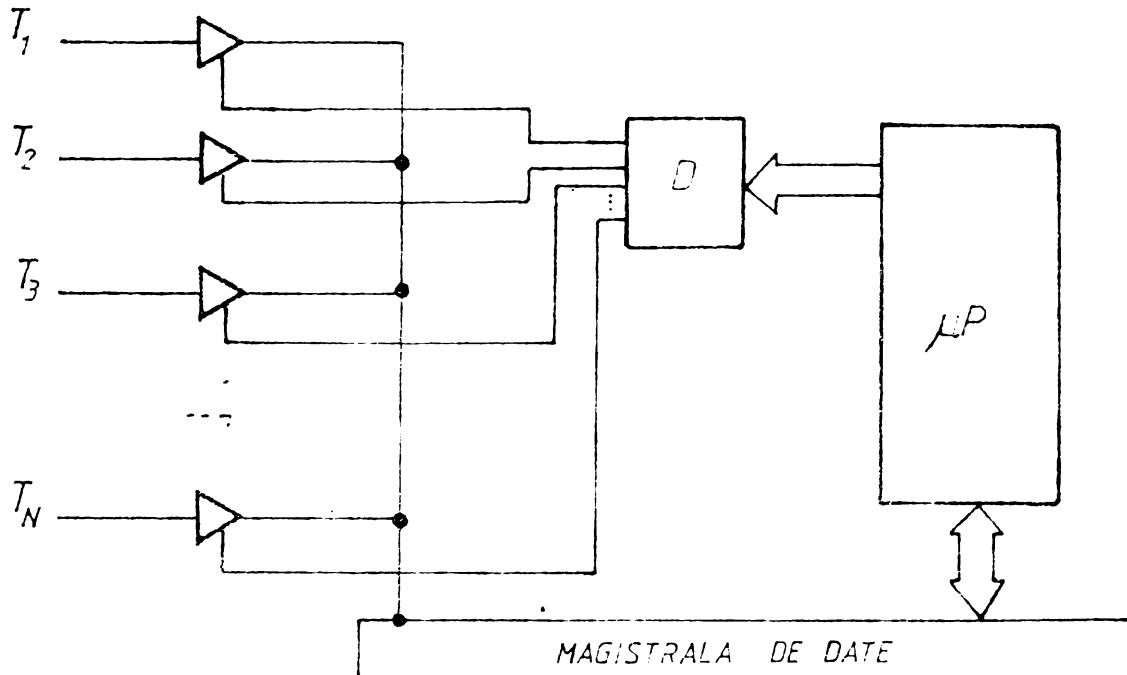


Figura 15

Programul minim de achiziție, conform aplicației prezentate, în configurația citirii bit cu bit a datelor de intrare, destinat detectării prin software a momentului apariției evenimentelor, este prezentat în continuare:

E1	IE (T1)	10
	RLC	4
	JNC (E2)	10
	LDA (T*1)	13
	RLC	4
	JC (L2)	10
	SHLD (AD.1)	16

E2     ...

---

Total:     67 microcicli

Programul prezentat analizează dacă pe canalul comandat de transductorul de rotație T1 nivelul logic este "1", apoi verifică dacă acesta a sosit după un "0", stare corespunzătoare precedentei sondări, memorată la adresa T\*1. Dacă ambele condiții sînt îndeplinite atunci a fost detectată o tranziție negativă, corespunzătoare primului front al mărcii. În acest caz, conținutul număratorului de impulsuri etalon, din registrul dL, este transferat la adresa cores-

puzătoare contorului respectiv, AD.1. Dacă una din cele 2 condiții verificate nu este îndeplinită, programul continuă cu analiza canalului T2, fără a mai efectua alte operații.

Acest minim de prelucrare a datelor durează 33,5  $\mu$ s, la care trebuie să se mai adauge operații de memorare a stărilor actuale, necesare în analiza executată la următoarea sondare, operație, care din motive de timp de execuție s-ar putea realiza la nivel de octet, cu prețul creșterii complexității hardware. În aceste condiții, nu pot fi testate mai mult de 30 de canale de intrare, limitare dată de durata de execuție a programului și nu de metodă.

În situația adresării canalelor de intrare ca locații de memorie (și nu ca periferice, cu instrucții de intrare/ieșire), se utilizează instrucția LDA (T1), de 13 microcicli, în locul instrucției IN (T1), ceea ce conduce la scăderea performanțelor sistemului.

Dacă detecția frontului de marcă se face prin hardware, pentru fiecare canal de intrare, programul s-ar reduce la 20  $\mu$ s. O astfel de configurație, cu prețul creșterii complexității, permite sondarea a 50 de posturi de testare. Totuși, caracterul individual al achiziției și prelucrării conduce la performanțe limitate.

O configurație mai eficientă, care utilizează achiziția simultană a semnalelor pentru 8 canale (muzăr egal cu cel al biților magistralei de date a microprocesorului 8080) este prezentată în figura 16.

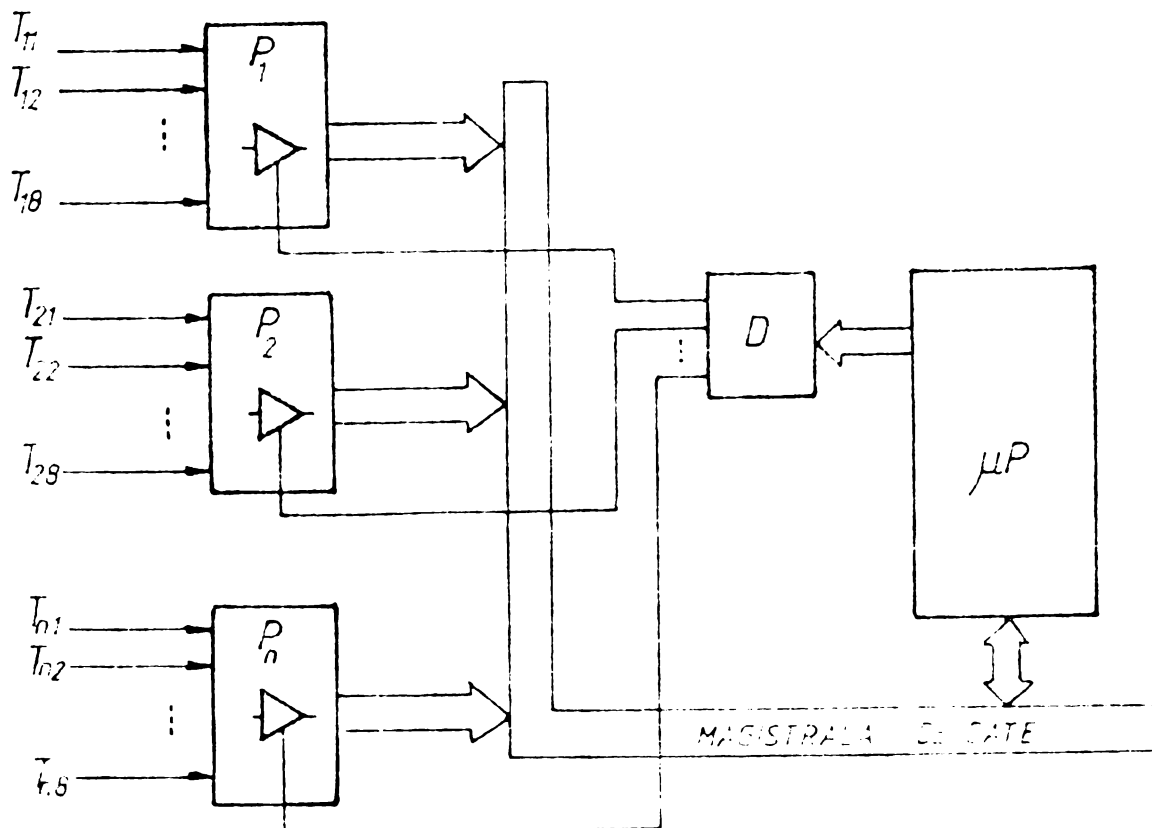


Figura 16

La o selecție comandată de microprocesor, prin intermediul decodificatorului de adrese D, sînt citite stările unui grup de 8 canale de intrare, cu scopul de a fi prelucrate simultan. Acesta conduce la reducerea numărului de citiri și la posibilitatea detectării simultane, prin software, a fronturilor pozitive ale semnalelor recepționate pe cele 8 canale. Programul destinat funcționării sistemului în această configurație este prezentat în continuare:

	IN (P1)	10	- citirea octetului de intrare și de-
	MOV B,A	5	tectarea frontului prin compararea
	LDA (P*1)	13	cu starea precedentă memorată la P*1
	XRA B	4	
	ANA B	4	
G1	RLC	4	- rularea de 8 ori a segmentului de
	JZ (G2)	10	transfer al conținutului HL la adre-
	SHLD (AD.11)	16	sa corespunzătoare contorului căruia
G2	RLC	4	i s-a detectat încheierea rotației
	JZ (G3)	10	discului
	SHLD (AD.12)	16	
	.....		
	încă de 6 ori		
	.....		
	MOV A,B	5	- memorarea stărilor actuale
	STA (P*1)	13	

            
Total: 54 + 8 x 30 microcicli

Rezultă o durată medie de execuție pentru un post de 37 microcicli, respectiv de 18,5 μs. Această configurație poate deci realiza prelucrarea primară, cu restricțiile minime impuse, pentru un număr de 54 de posturi, rezultînd o îmbunătățire considerabilă față de cazul sondării individuale.

Dacă se realizează o detecție hardware, individuală, a frontului pozitiv al mărcii, cu circuite suplimentare, nefigurate în schema de principiu, se obține o reducere a timpului de execuție la 10 + 8 x 30 microcicli. Timpul mediu de execuție rezultă 15,5 μs, ceea ce permite testarea a 65 de posturi simultan. Creșterea complexității hardware, în acest caz, este doar parțial compensată de creșterea relativ redusă a capacității de prelucrare.

În concluzie, metoda sondării secvențiale, prin program, are avantajul unui timp de achiziție mai mic, în oricare din configurațiile prezentate, comparativ cu metoda întreruperilor vectorizate.

Totuși, dezavantajele majore ale metodei sînt predominante:

1. Metoda ocupă timpul de execuție al microprocesorului exclusiv cu această operație, dacă durata maximă a sondării tuturor canalelor este egală cu perioada etalonului, care impune rezoluția de măsurare. În această situație, aplicarea metodei este limitată la configurații cu 2 microprocesoare (paragraful 4.2.): achiziția, deci prelucrarea primară este realizată de microprocesorul care sondează continuu canalele de intrare, în timp ce calculul erorii, deci prelucrarea secundară este efectuată de un alt sistem cu microprocesor, cu care comunică prin intermediul unei memorii tampon.

2. Al doilea dezavantaj rezultă din modul de funcționare a sondării: perioada de sondare se alege egală cu timpul de achiziție maxim (cînd apare eveniment pe toate canalele), deci mult mai mare decît timpul de achiziție cînd nu apare nici un eveniment (cel mai frecvent). Rezultă, deci, o baleiere repetată de mai multe ori decît impune rezoluția de măsurare, consumînd în mod inutil timp de execuție al microprocesorului.

3. Acest timp ar putea fi utilizat pentru alte programe (de exemplu pentru prelucrarea secundară), cu condiția ca microprocesorul să "știe" cînd să înceapă o nouă baleiere a intrărilor, întrerupînd execuția programului secundar. Această informație nefiind (evident) conținută în programul (oarecare) care se execută, timpul disponibil respectiv nu poate fi exploatat în mod util.

Astfel, utilizarea metodei sondării secvențiale conduce la un număr relativ mare de posturi de testare, dar nu poate fi sincronizată cu semnalul etalon care impune rezoluția de măsurare, ceea ce conduce la ocuparea întregului timp de execuție al microprocesorului, în mare parte în mod inutil.

În concluzie, atît metoda întreruperilor vectorizate cît și cea a sondării secvențiale conduc la o creștere a complexității hardware a sistemului cu microprocesor. Prima impune limite, în aplicația noastră, din considerente atît hardware cît și software, iar cea de a doua nu este potrivită aplicației datorită principiului ei de funcționare.

Nici una din cele 2 tehnici, cunoscute din utilizarea calculatoarelor cu destinație generală și destinate servirii unui număr mic de canale cu un volum mare de date și timp de prelucrare, nu este eficientă în aplicațiile industriale, în timp real, caracterizate prin număr mare de canale și cu prelucrări minime asupra unor date

cu volum minim.

Se impune elaborarea unei noi modalități de tratare a canalelor de intrare, modalitate destinată caracteristicilor aplicațiilor industriale.

### 3.3. Metoda sondării secvențiale, comandată de întreruperi asincrone cu evenimentele

În scopul soluționării acestei probleme, cu caracter general, se propune o configurație originală a autorului /24/, care elimină dezavantajele soluțiilor cunoscute, asigurând un timp minim de răspuns al sistemului cu microprocesor la evenimente recepționate pe un număr teoretic nelimitat de canale. Rezultă, astfel, cea mai eficientă configurație a unui sistem cu microprocesor destinat unei aplicații industriale în timp real /24/.

Metoda originală a sondării secvențiale, comandate de întreruperi asincrone cu evenimentele urmărite, se bazează pe următoarele caracteristici:

1. semnalul etalon (frecvența impulsurilor etalon, în cazul determinării erorilor contoarelor de energie) este aplicat microprocesorului ca semnal (unic) de întrerupere, întrerupere, deci, asincronă cu evenimentele urmărite (frontul anterior al mărcii);
2. întreruperea declanșează sondarea secvențială a apariției evenimentelor pe cele  $N$  canale de intrare, printr-o singură baleiere;
3. numărul maxim de canale ce pot fi testate se determină din condiția ca timpul maxim de achiziție (când la toate canalele de intrare este detectat eveniment) să nu fie mai mare decât rezoluția de determinare (egală cu perioada minimă a semnalului etalon, recepționat ca întrerupere).

Implementarea acestei soluții originale a autorului conduce la următoarele avantaje:

1. timpul de reacție este minim (prelucrarea primară), datorită utilizării o singură dată la o baleiere operațiilor lungi, caracteristice întreruperilor;
2. numărul de canale nu este limitat de metodă, ci doar de rezoluția măsurării asociată cu programul de prelucrare primară, ambele exprimate în intervale de timp;
3. complexitatea hardware este minimă, independent de numărul canalelor testate;

4. microprocesorul este eficient utilizat, putînd executa un program asociat sau independent de această auziziție, în intervalele de timp cît nu este solicitat de sarcinile prelucrării primare, în timp real;
5. metoda asigură o baleiere sincronizată, la fiecare interval de timp corespunzător rezoluției de măsurare, fiind astfel excluse posibilitățile de baleiere redundanță sau de pierdere de informație, datorită baleiajului prea des, respectiv prea rar.

Primele 3 avantaje evidențiază superioritatea metodei originale propuse comparativ cu soluția întreruperilor vectorizate, iar ultimele 2, față de cea a sondării secvențiale.

Configurația unui sistem complex cu microprocesor, care realizează mai multe funcții, în care este implementată metoda originală, destinată unei aplicații industriale în timp real, este prezentată în figura 17.

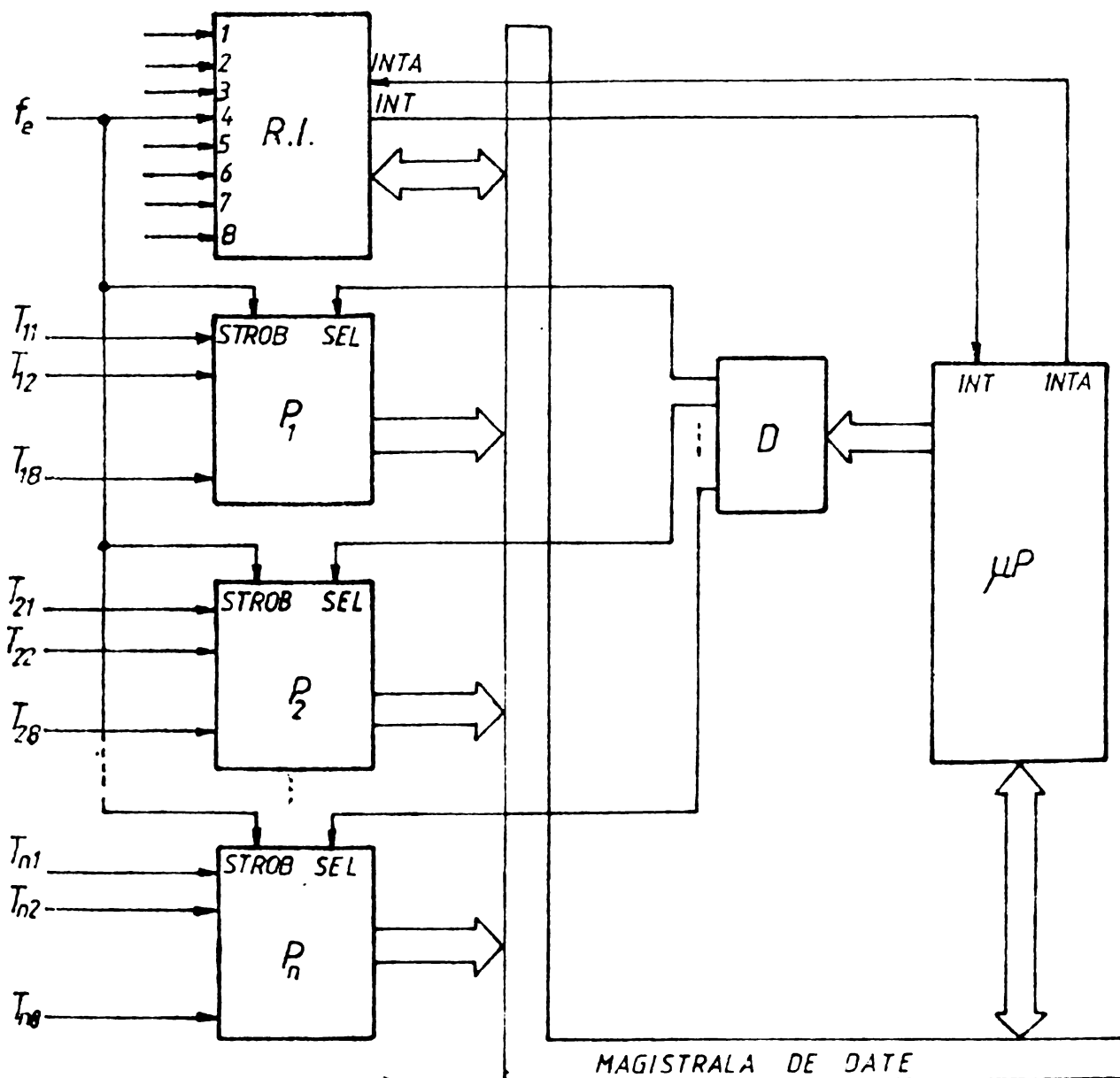


Figura 17



Circuitul specializat de rezolvare a întreruperilor, RI, soluționează prioritățile și vectorii de întreruperi pentru solicitările recepționate, conform metodei cunoscute. Unul din aceste nivele este alocat unei aplicații industriale în timp real.

La fiecare impuls al semnalului etalon  $f_E$ , se solicită o întrerupere INT sistemului cu microprocesor, iar starea logică a ieșirilor traductoarelor  $Z$  este eșantionată (STROB) și reținută în porturile de intrare  $P_1, P_2, \dots, P_N$ . Subrutina de tratare a acestei întreruperi comandă citirea succesivă a porturilor de intrare, în vederea detectării apariției vreunui eveniment, pe unul din canalele de intrare. Citirea succesivă este comandată de microsistem prin selecția porturilor (SEL), la decodificarea adresei corespunzătoare, în blocul D. Pentru evitarea analizării bit cu bit a porturilor unde nu a apărut nici un eveniment, se utilizează algoritmi software de verificare rapidă.

În aplicația care ne interesează, trebuie subliniate 2 observații:

1. pentru o rezoluție de 0,1 % și 100 de canale de intrare, rezultă 1000 de întreruperi, în care pot fi detectate evenimente cel mult de 100 de ori (dacă nu apare concurență), adică în 90 % din cazuri nu trebuie executată achiziție, ci doar verificare;
2. în aceleași condiții, într-un alt caz extrem, posibil, apar simultan cele 100 de evenimente, deci trebuie realizată achiziția de 100 de ori înainte de recepționarea următoarei cerere de întrerupere.

Rezultă, deci, 2 direcții de optimizare a programului de sondare comandat de întreruperi: 1. timp cât mai scurt pentru prelucrarea primară și 2. timp cât mai scurt de verificare a situației de absență a evenimentelor. Prima condiție conduce la un număr maxim de canale de intrare ce pot fi monitorizate, pentru o rezoluție impusă, iar cea de a doua asigură un timp maxim de execuție microprocesorului, pentru alte programe.

#### 3.4. Metoda originală a achiziției centralizate

Metodele și instalațiile cunoscute de determinare am erorilor contoarelor de energie conduc la complexități ridicate, deseori inacceptabile /61/. Soluțiile originale de reducere a acestui dezavantaj, prezentate în capitolul 2, păstrează limitele caracteristice

metodelor cunoscute: achiziția individuală a informației, în paralel pe fiecare canal de intrare.

Acest paragraf propune o soluție originală a autorului /49/, care elimină dezavantajul complexității prin realizarea achiziției datelor, recepționate pe toate canalele de intrare, într-un bloc unic de achiziție. Schema de principiu, hardware, conform căreia se implementează metoda originală propusă, este prezentată în figura 18. Ea se bazează pe sondarea secvențială prin program, comandată de evenimente asincrone cu evenimentele urmărite, păstrând avantajele caracteristice acestei soluții.

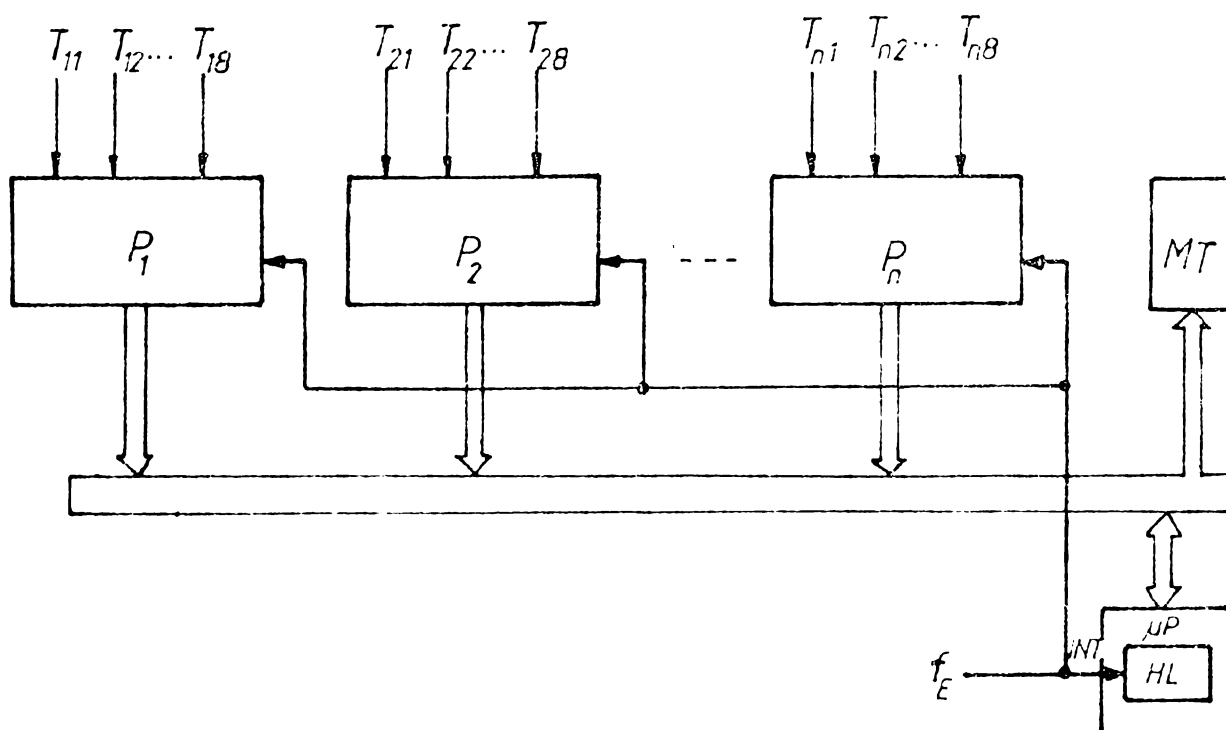


Figura 18

Blocul de achiziție este comandat de un sistem cu microprocesor  $\mu P$ . Fiecare întrerupere INT, dată de impulsurile etalon  $f_E$ , este controlată intern, într-un registru, și declanșează rularea programului de analiză a informației eșantionate și reținute în porturile de intrare  $P_1, P_2, \dots, P_n$ . Desfășurarea software a operațiilor în blocul de achiziție are loc în 2 faze.

În primul rând se testează încheierea unei rotații complete a discului la unul sau mai multe contoare, prin detectarea frontului pozitiv al impulsurilor corespunzătoare seamului marcat pe discurile contoarelor, impulsuri furnizate de traductoarele de rotație T. Această detecție poate fi realizată prin software: se compară starea logică momentană a ieșirilor traductoarelor T cu starea precedentă, corespunzătoare precedentului impuls etalon, stare care se

află memorată într-o memorie operativă, pentru toate canalele de intrare. Rezoluția cu care se determină momentul încheierii rotației este dată, ca în toate metodele cu impulsuri etalon, de raportul dintre frecvența impulsurilor de marcă și frecvența impulsurilor etalon. Operația este prezentată în diagramele de timp din figura 19, evidențiindu-se posibilitatea încheierii simultane a mai multor rotații de disc.

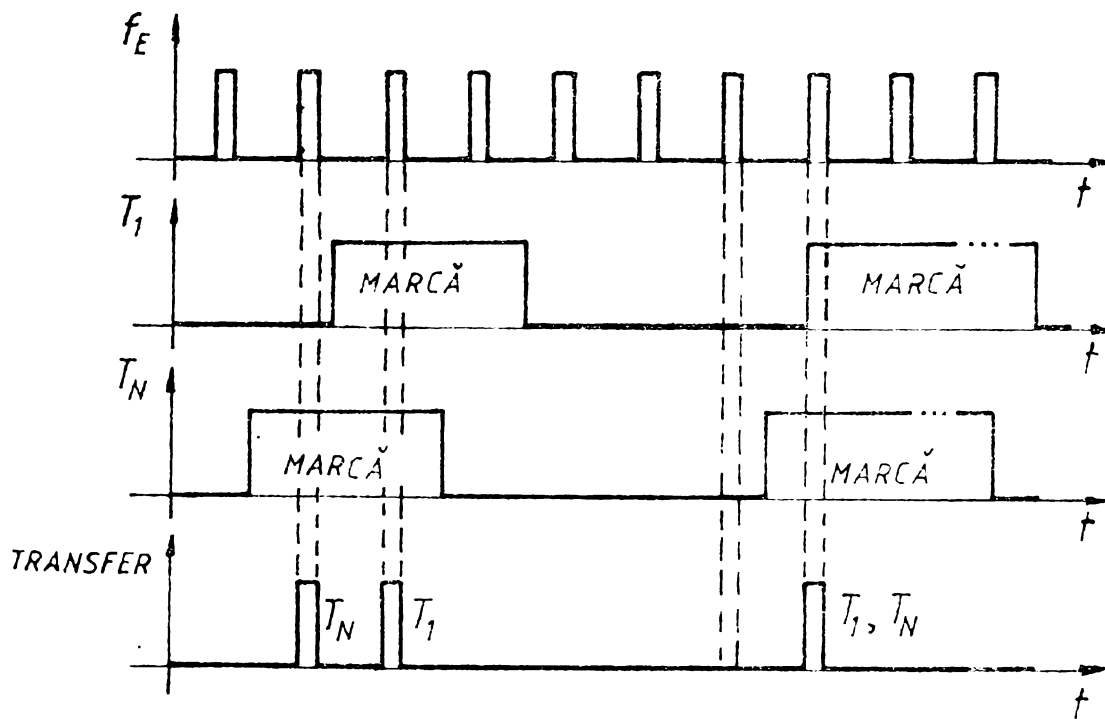


Figura 19

Se poate observa că în schema de principiu a soluției propuse nu este absolut necesară utilizarea porturilor de reținere a stărilor corespunzătoare impulsurilor de întrerupere. Acestea permit, însă, reducerea incertitudinii în determinarea perioadei de rotație a discului (capitolul 8). În plus, se utilizează și din considerente practice, legate de reducerea influenței paraziților, prin reducerea la minimum a timpului cât intrările sînt active /44/. Este luată în considerare această soluție, chiar în prezentarea principilui metodei, datorită destinației acestei instalații: utilizarea în mediu industrial, cu paraziți puternici.

În al doilea rînd, la detectarea unui sau mai multor fronturi pozitive, ceea ce înseamnă încheierea unei rotații complete la contoarele corespunzătoare, se transferă conținutul numărătorului intern de impulsuri etalon în locații de memorie corespunzătoare contoarelor respective, dintr-o memorie tampon MT.

Numărul impulsurilor etalon fiind proporțional cu energia măsurată de contorul testat, diferența dintre numerele transferate succesiv la aceeași adresă reprezintă o măsură a energiei înregistrate de contorul respectiv pe durata ultimei rotații a discului. Astfel, locațiile din memoria tampon conțin informațiile privind energia măsurată de fiecare contor pe durata ultimei rotații a discului, diferența urmând a fi efectuată ulterior (prelucrarea primară s-a încheiat) de sistemul de calcul, odată cu determinarea erorii relative de măsurare (prelucrarea secundară).

Operațiile de căutare și transfer, realizate prin program, se desfășoară, în principiu, conform ordinogramei din figura 20. Programele efective de achiziție, necesare implementării metodei originale a achiziției centralizate, sînt prezentate în capitolul 5, corespunzător mai multor soluții originale propuse de autor.

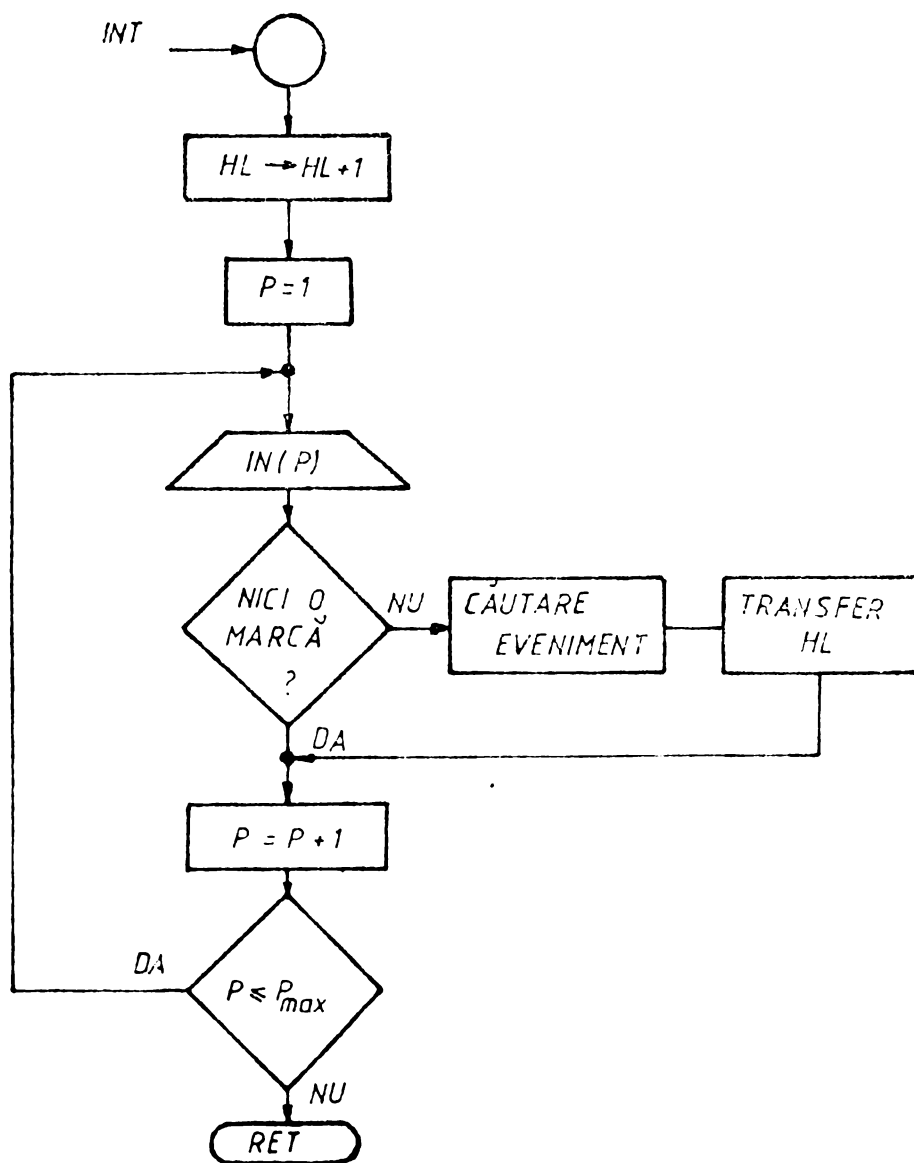


Figura 20

Fiecare întrerupere (impuls etalon) este contorizat în registrul intern dublu M. Se citește datele reținute în fiecare port, în mod succesiv. Dacă într-un port, după efectuarea operațiilor de detecție a frontului pozitiv, nu este recepționat nici un eveniment, programul trece la analiza portului următor. Dacă există unul sau mai multe evenimente, se trece la o analiză bit cu bit, pentru determinarea canalului sau canalelor pentru care a fost detectat eveniment. Pentru aceste canale se execută transferul necesar de date. După analiza tuturor canalelor de intrare, se revine în programul inițial executat de microprocesor. Este necesar ca execuția programului de prelucrare primară, prezentat, să se încheie, chiar în cazul cel mai defavorabil, al concurenței tuturor evenimentelor, înaintea recepționării unei noi întreruperi /59/.

Sistemul de calcul asociat blocului de achiziție trebuie să efectueze prelucrarea secundară a datelor, conform unui algoritm de calcul, pe baza datelor generale, comune tuturor contoarelor testate, și a datelor individuale, memorate și actualizate la fiecare rotație a discului, din memoria tampon MT. Succesiunea operațiilor efectuate de blocul de calcul este următoarea:

1. citește datele generale de intrare (constanta contoarelor testate și proba la care sînt supuse contoarele) sau comandă succesiunea probelor, în cazul verificării automate;
2. calculează numărul nominal de impulsuri pe durata unei perioade de rotație (capitolul 6);
3. determină, în timp real, numărul de impulsuri măsurat de blocul de achiziție, pentru toate contoarele, pe durata ultimei rotații, pe baza datelor actualizate în memoria tampon;
4. calculează eroarea de măsurare, în timp real, pentru toate contoarele, conform relației (3), cu datele determinate la punctele 2. și 3.;
5. prelucrează și sistematizează rezultatele în vederea afișării sau tipăririi.

Blocul de calcul care realizează aceste funcții poate fi implementat într-un microcalculator cu destinație generală, într-un sistem cu microprocesor inclus în instalație sau în sistemul cu microprocesor care realizează funcțiile de achiziție (capitolul 4).

Cu structura și funcțiile prezentate, metoda originală a achiziției centralizate elimină sistemele paralele de achiziție necesare implementării altor metode și oferă o modalitate mai efi-

cientă de utilizare a microprocesorului în această aplicație, comparativ cu soluțiile cunoscute /22/.

### 3.5. Schema bloc a sistemului de achiziție centralizată

Sistemul de achiziție centralizată trebuie să asigure prelucrarea primară a datelor, deci lucrează în cele mai severe condiții de timp real: maximum 1 ms pentru testarea unui număr cât mai mare de posturi. Avînd în vedere faptul că blocul de achiziție realizează măsurarea, în număr de impulsuri etalon, a perioadei de rotație a discurilor tuturor contoarelor ce se etalonează sau verifică, rezultă că:

1. semnalele de intrare sînt impulsurile etalon și semnalele logice furnizate de traductoarele optoelectronice de rotație asociate fiecărui contor;
2. semnalele de ieșire sînt magistralele de adrese și date ale microprocesorului care conțin, în momentul marcat cu un semnal de validare, adresa din memoria tampon a contorului pentru care s-a încheiat rotația discului și, respectiv, numărul de impulsuri etalon, curent.

Măsura energiei înregistrate de contorul respectiv, pe durata ultimei rotații este determinată prin calcul, ca diferență dintre numărul prezent și cel corespunzător precedentei încheieri a rotației. Efectuarea operației, nefiind necesară în intervalul de timp dintre 2 impulsuri etalon (1 ms), ci în intervalul dintre 2 mărci (1 s), este executată ulterior, de blocul de calcul, în cadrul prelucrării secundare.

Operațiile caracteristice prelucrării primare sînt prezentate în schema bloc generală din figura 21.

Semnalele furnizate de traductoarele de rotație, corespunzătoare celor  $N$  posturi de testare simultană, sînt eșantionate la fiecare impuls etalon al semnalului  $f_{\text{e}}$ , și reținute pe durata unei perioade a acestuia, în blocul de eșantionare și memorare BEM. Aceste stări sînt comparate cu stările corespunzătoare precedentului impuls etalon, aflate în memoria stărilor precedente MSP, în vederea detectării frontului mărcii.

Stările logice actuale sînt transferate în locații fixe ale memoriei MSP, în vederea operațiilor corespunzătoare următorului impuls etalon. Blocul de detecție a fronturilor BDF determină momentul apariției mărcii prin compararea stărilor, precedentă și actuală, pentru fiecare canal de intrare. Blocul BV realizează verificarea rapidă a absenței evenimentelor. Dacă există evenimente, blocul de căutare BCE analizează fiecare canal în parte pentru detectarea contoarelor la care a apărut mără și pentru formarea datelor ce trebuie transferate blocului de calcul. Pentru fiecare eveniment detectat, blocul de formare a adresei BFA plasează pe magistrale adresa locației de memorie corespunzătoare contorului respectiv, precum și numărul de impulsuri ce se dorește transferat. Transferul spre memoria tampon are loc la un moment comandat de blocul BFA, prin semnalul de înscriere WR.

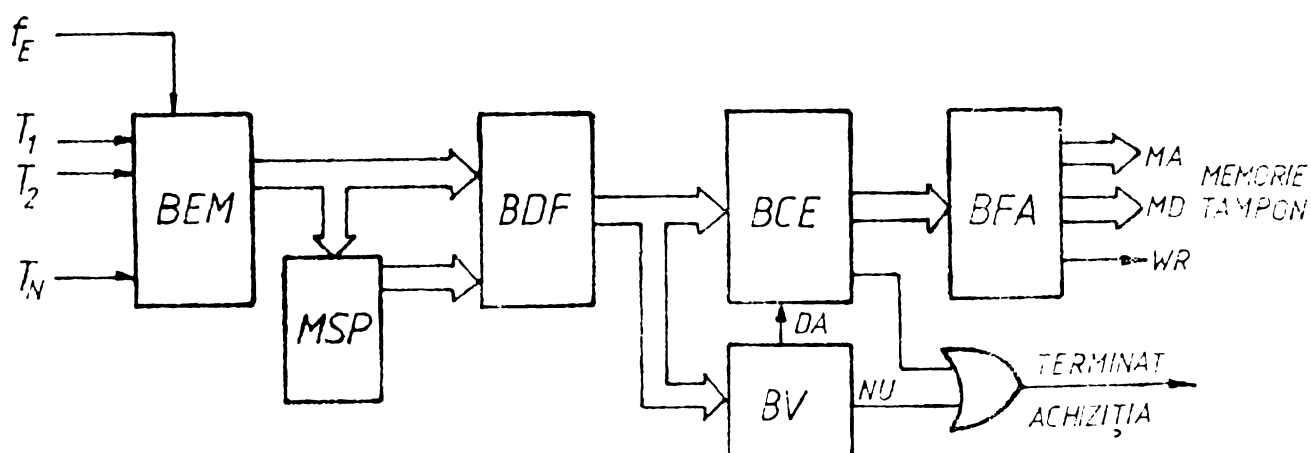


Figura 21

Conform metodei originale a achiziției centralizate prezentate, blocul de achiziție este realizat cu un sistem cu microprocesor. Aceasta implică realizarea unor funcții prezentate prin mijloace software, ceea ce ar putea fi mai bine reprezentat printr-o ordinogramă, care, înesă, ar conține operații software corespunzătoare blocurilor hardware prezentate. Diverse implementări (capitolul 5), urmărind fie complexitate minimă, fie capacitate maximă, utilizează implementarea hardware a unui număr mai mic sau mai mare de blocuri, ceea ce justifică prezentarea sistemului de achiziție ca schemă bloc.

Blocul de esantionare și memorare a stărilor actuale BEM este utilizat pentru a permite microprocesorului analiza succesivă a canalelor de intrare, ale căror semnale corespund unui reper unic de timp, dat de impulsul etalon. Este realizat, în principiu, cu posturi de intrare, ce conțin bistabile D, cu ieșire tri-state, cu

un număr de canale egal cu cel al biților magistralei de date a sistemului.

Trebuie observat, însă, că utilizarea acestui bloc este opțională. Teoretic este suficientă utilizarea bufferelor tri-stare, fără a mai realiza memorarea stărilor în bistabile D. În această variantă, microprocesorul ar începe analiza secvențială a canalelor, fiind sincronizat de impulsul etalon doar pentru primul grup de canale de intrare. Momentul, relativ la impulsul etalon, în care se analizează fiecare din celelalte canale depinde de starea particulară a canalelor precedente (a fost detectată sau nu marcă, ceea ce conduce la timp de execuție diferiți), deci este variabil. Aceasta poate afecta precizia determinării erorii (capitolul 3).

Blocul este utilizat, în aplicațiile industriale, din motive de reducere a efectelor impulsurilor parazite. El permite încărcarea bistabilelor pe frontul impulsului etalon, practic instantaneu. Apoi, orice legătură cu exteriorul este întreruptă, microprocesorul lucrând doar cu date stabile, memorate. În caz contrar, la fiecare citire a datelor din exterior, microprocesorul conectează pe magistrala de date canalele exterioare pe durata impulsului de comandă DBIN, de 450 ns. Rezultă posibilitatea apariției unor fenomene tranzitorii sau a unor impulsuri parazite în aceste intervale repetate, ceea ce poate perturba buna funcționare a sistemului cu microprocesor.

În plus, utilizarea acestui bloc permite citiri repetate ale aceluiași date de intrare, care nu se mai modifică, în situațiile în care programul de analiză recalmă utilizarea acestora ca registre de memorare temporară.

Blocul de detectare a fronturilor mărcii BDF este necesar pentru stabilirea reperului de timp, în cazul rotației discului fiecărui contor, având în vedere că durata impulsului corespunzător mărcii este variabilă, funcție de lungimea desenată pe disc și de viteza de rotație a discului. Detectia frontului se realizează cu rezoluția semnalului etalon, conform figurii 19. Aceste fronturi marchează perioada de măsurare a fiecărei rotații a discului. La detectarea unui front se încheie o rotație completă, ceea ce recalmă determinarea numărului de impulsuri etalon măsurat pe această tură, transferarea lui spre blocul de calcul și începerea unei noi măsurări.

Utilizarea blocului este obligatorie, în orice configurație, și poate fi implementat atât software, cât și hardware.



Memoria stărilor precedente este absolut necesară funcționării detectorului de front. În funcție de modul de implementare a blocului BDF, acesta poate fi o memorie RAM, registre interne ale microprocesorului, registre independente sau bistabile individuale.

Trebuie observată necesitatea acestui bloc din modul de funcționare a detectorului de front. În mod obișnuit, acesta poate fi un circuit RC de diferențiere, ceea ce nu reclamă memorarea stării precedente. Dar, dat fiind faptul că în orice implementare analiza canalelor se face secvențial și sincronizat cu un impuls etalon asincron cu evenimentele, între momentul apariției frontului analogic al mărcii și momentul citirii canalului respectiv trece un timp, în care impulsul diferențiat poate dispărea. Se impune, din acest motiv, analiza logică secvențială a semnalelor de intrare, și, deci, utilizarea acestui bloc de memorare.

Blocul de verificare a situației reapariției nici unui eveniment BV urmărește apariția evenimentelor globale, cu scopul de a evita căutarea succesivă a evenimentelor pe fiecare canal, ceea ce reclamă timp de execuție, în situațiile când nu este cazul.

Este opțional, dar deosebit de util, mai ales în situațiile în care microprocesorul execută și alte sarcini, în afara achiziției și timpul total de achiziție trebuie redus la minimum. După cum s-a demonstrat în paragraful 3.3., în aproximativ 90 % din cazuri nu este detectat nici un eveniment, deci este preferabil să nu se execute analiza canal cu canal pentru a constata acest lucru. Blocul de verificare, realizat fie prin software, fie prin hardware, permite verificarea rapidă a situației, asigurând microprocesorului un timp maxim pentru efectuarea altor sarcini.

Blocul de căutare a evenimentelor B&B BCE detectează poziția canalului pentru care urmează să se efectueze transferuri de date, printr-o analiză canal cu canal. Utilizarea lui este obligatorie, implementarea lui făcându-se prin software sau hardware. Blocul de căutare determină numărul postului la care a fost detectat evenimentul, număr cu care comandă blocul BFA.

Blocul de formare a adresei și de pregătire a transferului de date BFA determină adresa de destinație a numărului de impulsuri curent. Structura sa este determinată de modul în care se realizează transferul: prin registre tampon, cu acces direct la memorie (DMA), în unul sau mai multe tacte. Același bloc generează și semnalele de comandă și control necesare acestui transfer, prin software sau prin

hardware. În cazul transferului de date unui alt sistem cu microprocesor, ce realizează blocul de calcul, semnalul de comandă este HOLE, în vederea accesului direct la memorie, iar în cazul utilizării unei memorii tampon, semnalul este de înregistrare WR.

Orice modalitate concretă de implementare a acestui bloc de achiziție centralizat trebuie să țină seama de următoarele caracteristici:

1. pentru o rezoluție minimă de 0,1 %, obținută și în cazul probelor rapide de suprasarcină, cu perioada de rotație de 1 s, rezultă un timp de ordinul sutelor de ms în care trebuie să se încheie căutarea și transferul datelor, în cazul cel mai defavorabil, pentru toate posturile;
2. timpul de analiză și prelucrare în situațiile când nu este necesar nici un transfer trebuie să fie minim, pentru a asigura microprocesorului timp de execuție pentru prelucrarea secundară.

În aceste condiții impuse, instalațiile industriale trebuie să asigure o productivitate ridicată, scopul urmărit fiind implementarea metodei originale a achiziției centralizate într-o configurație care să asigure un număr maxim de posturi de etalonare sau verificare.

### 3.5. Concluzii privind implementarea metodei originale

Având în vedere caracteristicile aplicațiilor industriale în timp real, în general, și ale determinării erorilor contoarelor de energie, în particular, se caută o soluție cât mai eficientă de implementare a microprocesoarelor într-o instalație care să asigure performanțe tehnice și economice superioare celor cunoscute.

Deoarece tehnicile de tratare a canalelor de intrare, cunoscute (întreruperi vectorizate și sondare secvențială prin program) nu satisfac cerințele unei aplicații industriale de acest tip, a fost elaborată o modalitate originală, care elimină dezavantajele fiecărei tehnici cunoscute: sondarea secvențială, prin program, comandată de întreruperi asincrone cu evenimentele urmărite. Modalitatea propusă are un caracter general, fiind utilă în monitorizarea canalelor de intrare, când se fac măsurări de timp.

În cazul particular al testării contoarelor de energie, ea permite realizarea unui sistem de achiziție centralizat, într-un

bloc unic, conform metodei originale propuse de autor în paragraful 3.4. Această metodă elimină dezavantajele instalațiilor de testare a contoarelor, cunoscute: complexitate ridicată determinată de caracterul individual al achiziției, în cazul metodelor conversiei de frecvență și a calculului cu minicalculator, și, respectiv, utilizarea ineficientă a microprocesorului, în cazul metodei bazate pe întreruperi.

În configurația eficientă propusă, metoda asigură cel mai bun raport productivitate/complexitate, fiind recomandabilă în realizarea testoarelor industriale a contoarelor de energie. Eficiența metodei este dată, în principal, de faptul că ea a fost elaborată, în mod expres, pentru implementare într-un sistem cu microprocesor. Ea nu reprezintă nici adaptarea unei metode de testare cunoscute la un sistem cu microprocesor și nici adaptarea unor tehnici cunoscute, specifice calculatoarelor, la testarea industrială a contoarelor.

În ce configurații particulare poate fi implementată metoda și ce performanțe specifice pot fi obținute cu teste realizate conform metodei, se prezintă în capitolele 4, 5 și 6, care conțin exclusiv contribuții originale ale autorului.

## Capitolul 4

### CONFIGURATII INDUSTRIALE DE IMPLEMENTARE A METODEI

#### 4.1. Criterii de alegere a configuratiei

Metoda achiziției centralizate utilizează un sistem cu microprocesor în vederea realizării unui bloc eficient și economic a achiziției a informației, care realizează prelucrarea primară a datelor. În funcție de modul de realizare a prelucrării secundare, ca și de relația existentă între cele 2 blocuri, pot fi concepute mai multe configurații de instalații industriale.

Criteriile în alegerea configurației optime sînt:

1. numărul de posturi de testare simultană necesar,
2. prețul, respectiv complexitatea, medii pe post acceptabile,
3. comoditatea exploatării.

Aceste criterii conduc la alegerea unor configurații distincte, deoarece metoda se caracterizează prin 2 durate limită (de prelucrare primară și de calcul), care nu permit utilizarea aceleiași configurații în orice aplicație. În funcție de aceste criterii, ca și de necesitățile aplicației, se prezintă 3 configurații distincte, originale ale autorului, fiecare din ele optimizînd cel puțin o caracteristică a instalației. Toate utilizează metoda originală a achiziției centralizate, cu microprocesor, prezentată în capitolul 3.

#### 4.2. Configurație cu 2 sisteme cu microprocesor

Configurația se bazează pe utilizarea unui sistem multimicroprocesor, cu 2 sisteme specializate: unul pentru achiziție, celălalt pentru calcul și interfață cu consola de comandă a simulatorului de sarcină, transferul datelor între sisteme făcîndu-se prin intermediul unei memorii tampon MT. Sistemele lucrează în paralel, realizînd funcții practic independente, rezultînd un sistem multiprocesor de tip master-master /7, 5/. Configurația originală propusă de autor, care face obiectul unui brevet OSIM, este prezentată la nivel de schemă bloc în figura 22 /49/.

Problema principală a acestei configurații nu este modul de lucru al celor 2 microprocesoare  $\mu P_1$  și  $\mu P_2$ , care lucrează în paralel,

despărțite de buffere tri-state B, ci modul de transfer al informațiilor între sisteme.

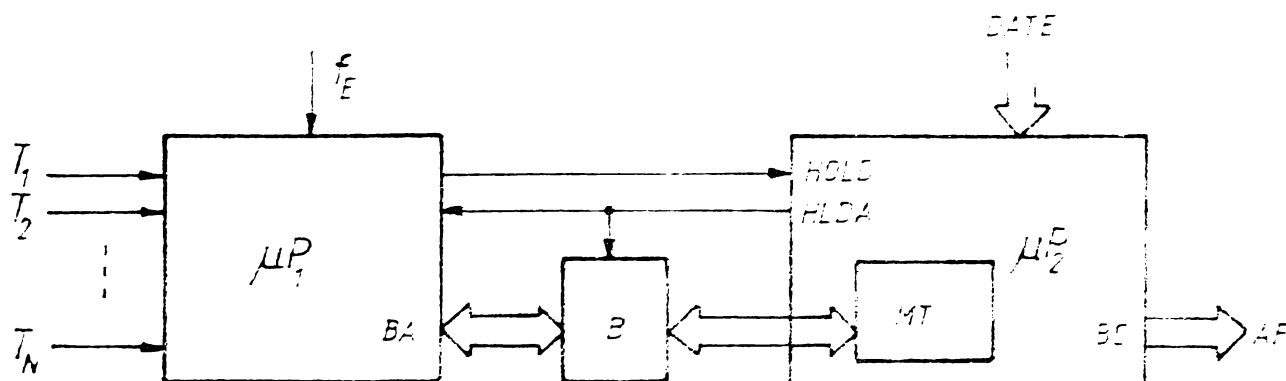


Figura 22

Primul sistem, BA, trebuie să transmită în condiții restrictive de timp informația prelucrată primar spre al doilea sistem, BC, în vederea prelucrării secundare. Un sistem de întreruperi, în acest caz, nu este eficient, din cauza timpului de reacție (determinat în paragraful 3.2.) inacceptabil de lung. Se preferă un transfer cu acces direct la memoria (DMA), fără timp de reacție a sistemului BC, oprit cu semnalul HOLD, /9, 65, 31/. Soluția este eficientă și nu afectează funcționarea sistemului BC, care nu lucrează în condiții la fel de severe de timp. Transferul are loc după recepționarea de către sistemul BA a semnalului de confirmare a opririi HLDA, care deschide și bufferul tri-state B.

Pe de altă parte, uneori este necesar ca al doilea sistem să transmită informații primului, de exemplu, după ce calculează numărul nominal de impulsuri etalon pentru o nouă probă, în vederea comandării divisorului frecvenței impulsurilor etalon, în scopul obținerii unor măsuri măsurate de lungime dorită. Transferul se poate realiza tot prin acces direct la memorie, sistemul BA citind din memoria sistemului BC datele necesare.

O soluție care evită oprirea activității sistemului de calcul se realizează utilizând o memorie suplimentară, tampon, citită din inițiativa sistemului BC, în momente când blocul de achiziție nu înscrie noi date (conform soluției prezentate în paragraful 4.4.).

Nu este recomandabilă, însă, nici o soluție în care sistemul de calcul întrerupe (DIT) sau oprește (HOLD) sistemul de achiziție, din motivele restricției de timp real în care lucrează.

Configurația cu 2 sisteme cu microprocesor, datorită caracteristicilor sale, este utilă în următoarele cazuri:

1. În situațiile în care timpul total de execuție al microprocesorului (achiziție, detectarea absenței evenimentelor și calculul erorilor) depășește durata minimă de rotație a discului, soluția este utilizarea a 2 microprocesoare care să lucreze în paralel. Situația poate apărea atunci când programul de verificare a reapariției evenimentelor (90 % din cazuri) este prea lung, rezultând un timp insuficient pentru calcul.

2. În cazul în care se utilizează, ca sistem de calcul, un microcalculator cu destinație generală, blocul de achiziție funcționând ca un periferic al acestuia, se obține implicit configurația propusă. Situația poate apărea când nu se utilizează continuu o instalație pentru determinarea erorilor contoarelor și se preferă cuplarea unui periferic specializat, ieftin, la un microcalculator existent, programat pentru a efectua calculele de eroare.

3. Dacă numărul posturilor de testare nu este mare, pot fi exploatare unele caracteristici particulare ale microprocesorului, utilizat în această configurație. Astfel, utilizând 3 din cele 6 registre cu destinație generală ale microprocesorului 8030 pentru memorarea stărilor precedente, în vederea detectării fronturilor prin software, se evită utilizarea memoriei RAM în primul sistem. Observația este valabilă în condițiile în care primul microprocesor execută exclusiv program de achiziție (sistem multimicroprocesor) și registrele interne ale microprocesorului pot fi dedicate acestui scop. Soluția limitează, însă, numărul posturilor de testare la capacitatea registrelor disponibile: 24.

Utilizarea configurației cu 2 microprocesoare în paralel conduce la avantaje în facilitatea programării și în timpul de execuție.

Astfel, configurația permite programarea celor 2 funcții (achiziție și calcul) fără nici un fel de restricții legate de execuția programelor, care în cazul sistemului uniprocessor (paragraful 4.3.) se întrerup unul pe celălalt. Astfel, în programul de achiziție memorarea datelor nu s-ar putea face în stivă, deoarece nivelul acesteia depinde de momentul particular în care a fost întrerupt programul de calcul, care poate modifica aleator indicatorul de stivă. Rezultă necesitatea adaptării programului, prin memorarea datelor la adrese fixe din RAM.

De asemenea, dedicarea unui microprocesor doar achiziției permite utilizarea registrelor interne permanent pentru operații fixe. Dacă s-ar utiliza un singur microprocesor, după fiecare întrerupere INT ar fi necesară salvarea tuturor registrelor în stivă și încărcarea registrelor cu datele necesare programului de achiziție, de la adrese fixe din RAM. La sfârșitul achiziției ar trebui efectuate operațiile inverse. Rezultă următoarea secvență de program (suplimentară), la fiecare întrerupere, în cazul particular al unui testor cu 24 de posturi. Registrul dublu HL este contorul impulsurilor etalon, iar registrele C, D și E reprezintă memoria stărilor precedente.

PUSH PSW	10	- salvarea conținutului acumulatorului, bistabilelor de condiție și a celor 6 registre cu destinație generală
PUSH B	10	
PUSH D	10	
PUSH H	10	
MHLD (AD.1)	16	- încărcarea registrelor C, D, E, H, L cu stările precedente ale traductoarelor și numărătorul de impulsuri
XCHG	4	
MHLD (AD.2)	16	
LDA (AD.3)	13	
MOV C,A	5	
.....		
program de achiziție		
.....		
MOV A,C	5	- salvarea registrelor C, D, E, H, L la adrese fixe în RAM
STA (AD.3)	13	
SHLD (AD.2)	16	
XCHG	4	
SHLD (AD.1)	16	
POP H	11	- încărcarea registrelor cu datele existente înainte de întrerupere
POP D	11	
POP B	11	
POP PSW	11	

---

Total: 192 microcicli

Programul suplimentar, în configurația uniprocessor, față de cea cu 2 sisteme, durează aproximativ 100 μs, ceea ce reprezintă, în condițiile de rezoluție propuse, 10 % din timpul de calcul.

În situațiile în care timpul de calcul este critic, soluția cu 2 microprocesoare poate rezolva problema, evitând execuția repe-

tată a acestei secvențe de program. Pe de altă parte, chiar în situațiile în care timpul de execuție este suficient, soluția cu 2 microprocesoare permite testarea unui număr de posturi cu 10 % mai mare.

#### 4.3. Configurație cu 1 sistem cu microprocesor

Configurația cu 1 sistem cu microprocesor cumulează în același bloc cele 2 funcții necesare instalațiilor de determinare a erorilor contoarelor: achiziție și calcul. Schema de principiu a acestei configurații, conform soluției originale a autorului, care face obiectul unui brevet OSIM, este prezentată în figura 23 /52/.

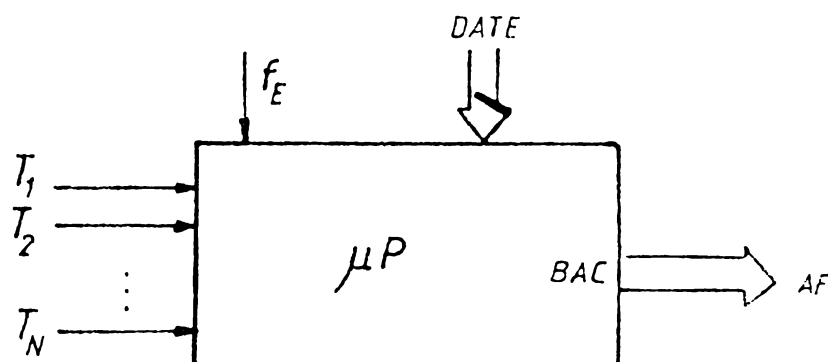


Figura 23

Blocul unic de achiziție și calcul BAC recepționează toate cele  $N$  semnale de intrare de la traductoarele de rotație, egantionate cu semnalul etalon  $f_E$ , de frecvență 1 - 2 kHz, și monitorizează continuu datele de probă și de sensibilitate a contoarelor.

Cele 2 funcții se realizează identic cu varianta în 2 microprocesoare, cu observația că programul de calcul se execută continuu, ciclic, fiind întrerupt, la fiecare impuls etalon, pentru efectuarea achiziției (prelucrarea primară a datelor). Principiul de funcționare, prin care programul de achiziție întrerupe pe cel de calcul, este justificat și în acest caz de condițiile de timp mai restrictive pentru achiziție.

Configurația cu 1 microprocesor este utilă în următoarele aplicații:

1. Dacă programul de calcul este eficient, el poate fi executat de același microprocesor care realizează și achiziția. Se bazează pe observația că programul de achiziție trebuie executat doar în 10%



din întreruperi. Dacă se utilizează un sistem eficient, de detec-  
tare rapidă a situațiilor fără evenimente, restul de 90 % de inter-  
vale de timp este suficient pentru rularea programului de calcul.  
Dacă detectarea acestor situații durează 25 % din timpul prelucră-  
rii primare, rezultă un timp de calcul de  $90 \% \times 75 \% = 67,5 \%$ . În  
această situație, numărul posturilor simultan testate este limitat,  
pe lângă viteza de achiziție, de timpul de calcul (cu 30 % mai  
scurt decât în cazul configurației cu 2 microprocesoare în paralel).

2. În situațiile în care numărul de posturi nu este critic (de e-  
xemplu pentru instalații destinate cercetării și proiectării con-  
toarelor, destinate verificărilor de tip, nu de lot) configurația  
este cea mai eficientă.

3. În instalații de etalonare a contoarelor (de obicei monofazate)  
de putere mică, destinate unui număr redus de posturi (8 - 20),  
este preferabilă utilizarea câte unui aparat cu 1 microprocesor  
pentru fiecare simulator de sarcină, decât utilizarea unui sis-  
tem multimicroprocesor complex (paragraful 4.4.). Avantajul con-  
stă în independența sistemelor și comoditatea exploatării.

4. Pentru aparatele fabricate în serie, destinate etalonării și ve-  
rificării contoarelor, este preferabilă soluția microsistemului  
unic, mult mai ușor de testat în fabricație și mult mai ușor de  
întreținut. Depanarea sistemelor multiprocesor este îngreunată,  
pentru că funcționarea unui sistem depinde de rezultatele celuilalt  
și pentru că funcționarea presupune transferuri de date.

Avantajele configurației sînt, deci, complexitate minimă și  
eficiență, în condițiile în care numărul posturilor nu este critic.

#### 4.4. Configurație cu $n + 1$ sisteme cu microprocesor

Configurația multimicroprocesor utilizează  $n$  microsisteme  
pentru achiziție (prelucrare primară și, eventual, parțial prelu-  
crare secundară) și 1 microsistem pentru prelucrarea secundară și  
centralizare a rezultatelor. Configurația originală a autorului,  
ce reprezintă invenție brevetată /50/, este prezentată, ca schemă  
de principiu, în figura 24.

Blocurile de achiziție  $BA_1, BA_2, \dots, BA_n$  monitorizează  
 $N = n \times m$  posturi, eşantionînd și prelucrînd semnalele furnizate  
de traductoarele de rotație  $T_{11} - T_{nm}$ . Semnalul etalon  $f_E$  ESTE

recepționat ca întrerupere de toate sistemele de achiziție. Gradul de prelucrare al datelor în aceste blocuri depinde de condițiile particulare ale aplicației: număr de posturi, viteza programelor de prelucrare.

Rezultatele acestei prelucrări sînt transferate în memoria tampon MT asociată fiecărui bloc de achiziție. Inscrierea se face prin comanda deschiderii bufferului tri-state  $B$ , comandat de decodificatorul de adrese asociat, cu un semnal logic "1".

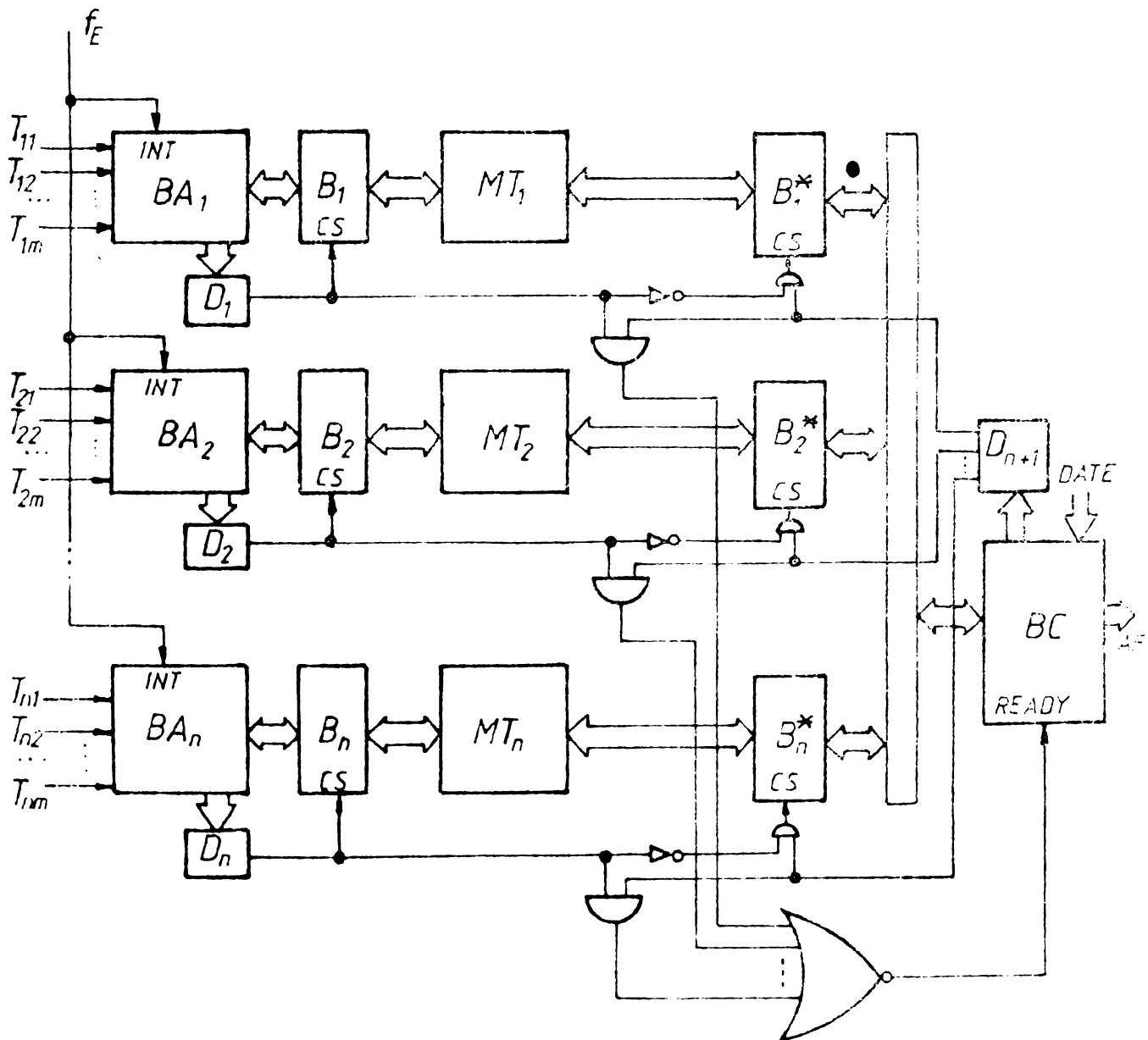


Figura 24

Blocul unic de calcul BC monitorisează datele de intrare și efectuează prelucrarea finală a datelor, sistematizarea rezultatelor și comanda afișajului sau imprimantei AF. Citirea datelor din memoriile tampon se face periodic. Dat fiind faptul că microprocesoa-

rele din blocurile BA lucrează în condiții severe de timp real, această citire se poate realiza doar când blocul de achiziție corespunzător nu efectuează operații de citire sau scriere în memoria tampon asociată. Sistemul de comandă, reprezentat în detaliu, funcționează în următoarele regimuri:

1. Blocul BC dorește să citească din memoria  $MT_i$ , deci semnalul corespunzător al decodificatorului de adrese  $D_{n+1}$  este "1" logic. Deschiderea bufferului  $B^*_i$  are loc dacă blocul  $BA_i$  nu lucrează cu memoria. Semnalul READY este "1" logic, deci citirea se efectuează normal.

2. Blocul BC dorește citire simultan cu blocul  $BA_i$ . Blocul de achiziție are prioritate, bufferul  $B^*_i$  fiind invalidat. În același timp, se generează semnalul  $\overline{READY}$ , care lungeste timpul de citire al memoriei, de către sistemul de centralizare, pe un timp determinat de acest semnal. La încheierea operației cu memoria, blocul  $BA_i$  eliberează magistralele, bufferul  $B^*_i$  se deschide, semnalul de întârziere  $\overline{READY}$  dispare, iar blocul BC obține accesul la memorie.

Configurația multimicroprocesor este utilă în următoarele aplicații:

1. În cazul executării unui program rapid de calcul al erorilor, acesta permite testarea unui număr mai mare de posturi, în timp real, decât permite un bloc de achiziție, conform configurației cu 2 microprocesoare. Algoritmi și programe rapide de calcul permit determinarea erorilor, în timp real, pentru sute de posturi (capitolul 6), în timp ce blocurile de achiziție uzuale limitează numărul posturilor la câteva zeci. În instalațiile industriale cu număr foarte mare de posturi necesare, o astfel de configurație poate fi mai eficientă și mai economică decât utilizarea mai multor unități cu un singur microprocesor. Avantajele sistemului unitar multimicroprocesor sînt:

a) achiziția datelor generale într-un singur bloc de calcul, ceea ce simplifică construcția hardware și reduce de câteva ori numărul conexiunilor exterioare pentru achiziția datelor și extragerea rezultatelor; b) calculul este efectuat de o singură unitate centrală, ceea ce reprezintă o importantă economie în memoriile PROM, care, altfel, ar trebui multiplicată în fiecare sistem); c) permite realizarea unei instalații compacte cu un număr mare de posturi de testare.

2. În cazul în care se dorește centralizarea unui număr mare de posturi (toate dintr-o secție), blocurile de achiziție <sup>realizate</sup> prelucrarea totală a datelor, similar configurației cu un microprocesor. Rolul blo-

cului central este mai puțin de calcul, cit de centralizare a rezultatelor pentru sute de posturi. În cazul verificării metrologice, aceasta permite sistematizarea rezultatelor și memorarea lor pe suport magnetic, împreună cu date privind materialele folosite și tehnologiile experimentate, în vederea interpretării statistice a rezultatelor. Această unitate centrală unică permite utilizarea unor echipamente periferice mai performante decât s-ar putea folosi pentru fiecare bloc de achiziție în parte. Blocul central asigură formatul de tipărire a rezultatelor în cazul verificării metrologice, sau comandă afișarea rezultatelor, conform metodelor prezentate în capitolul 7.

3. O configurație de centralizare, asemănătoare, poate fi realizată utilizând un microcalculator cu destinație generală, împreună cu perifericele sale. În acest caz, însă, destinat exclusiv verificării metrologice, se preferă transmiterea blocurilor de date, după încheierea verificării, printr-un sistem cunoscut de întreruperi. Această configurație se deosebește de cea de la 2. prin faptul că este distribuită, blocurile de achiziție apărând ca terminale inteligente ale unui calculator, iar transferul de date este unilateral și grupat. Într-o astfel de aplicație, datele generale trebuie citite individual, de fiecare bloc de achiziție în parte, spre deosebire de cazurile 1. și 2., în care aceste date erau transmise de blocul central, prin intermediul memoriilor tampon.

Configurația cu  $n + 1$  sisteme cu microprocesor oferă, în concluzie posibilitatea realizării unui testor de contoare "inteligent" cu număr oricât de mare de posturi.

#### 4.5. Concluzii privind caracteristicile blocurilor de achiziție și de calcul

Indiferent de configurația particulară folosită, o instalație de determinare a erorilor contoarelor de energie este compusă din unul sau mai multe, dar identice, blocuri de achiziție și un bloc de calcul. Observația că unele blocuri de achiziție realizează o prelucrare mai mare sau mai mică și blocul de calcul poate fi realizat cu aceeași microprocesor sau cu unul distinct, nu modifică esența acestor blocuri.

Pentru a realiza instalații industriale eficiente, se pune problema optimizării funcționării acestor blocuri, indiferent de configurația în care urmează să fie asamblate. Din analiza funcționării celor 2 blocuri în configurațiile prezentate, rezultă mai multe obiective ce trebuie avute în vedere la proiectarea hardware și software a acestora.

Blocul de achiziție lucrează în cele mai severe condiții de timp (sub 1 ms), rezultând următoarele concluzii:

1. prelucrarea primară trebuie să se execute într-un timp minim,
2. formarea adresei și transferul datelor trebuie făcute cât mai rapid,
3. verificarea situației fără evenimente să se execute într-un timp minim,
4. cazul cel mai defavorabil, al evenimentelor simultane, determină direct numărul posturilor de testare.

Blocul de calcul lucrează în timp real (1 s), rezultând concluziile:

1. programul de calcul trebuie să asigure determinarea tuturor erorilor în maximum jumătate din timpul pe care îl are la dispoziție,
2. execută funcții asociate calculului erorilor: citirea datelor generale, conversii binar - BCD și BCD - binar, comanda afișajelor,
3. execută funcții independente de cele de calcul: comanda simulatului de sarcină, comanda extragerii datelor la echipamente periferice, programe de autotest.

De observat că metoda originală a achiziției centralizate cu microprocesor, implementată conform configurațiilor prezentate, corespunde atât testării contoarelor cu contor etalon cu impulsuri, cât și SU putere calibrată și cronometru electronic /53/.

În funcție de aceste concluzii, capitolele 5 și respectiv 6 prezintă modalități originale, propuse de autor, de realizare a acestor blocuri, destinate, fiecare, optimizării a cel puțin unei caracteristici din cele enumerate.

## Capitolul 5

### MODALITATI DE REALIZARE A BLOCULUI DE ACHIZITIE CENTRALIZATA, CONFORM METODEI ORIGINALI

Blocul de achiziție este destinat realizării prelucrării primare a datelor furnizate de traductoarele de rotație a discurilor contoarelor, conform schemei bloc discutate în paragraful 3.5., figura 21. Acest capitol prezintă mai multe modalități de implementare a metodei originale a achiziției centralizate, grupate în 3 categorii distincte, în funcție de raportul hardware/software existent în blocul de achiziție. Soluțiile originale, propuse de autor, urmăresc optimizarea a cel puțin un parametru al sistemului de achiziție, în toate cazurile, însă, criteriul productivității este esențial. Rezolvarea problemei blocului de achiziție include, pe lângă prelucrarea primară propriu-zisă, și modul de transferare a datelor spre sistemul de calcul, în funcție de configurația în care funcționează.

Soluțiile originale prezentate în acest capitol rezolvă practic total problema achiziției centralizate, conducând la capacități de testare ce depășesc 100 de posturi, în condițiile în care raportul performanțe/complexitate este minim, comparativ cu oricare metodă sau instalație cunoscută, iar soluțiile prezentate nu pierd nici unul din avantajele metodelor cunoscute.

#### 5.1. Bloc de achiziție cu prelucrare software

Implementarea unui sistem cu microprocesor în blocul de achiziție permite realizarea majorității funcțiilor, din schema bloc din figura 21, prin mijloace software. Aceasta conduce la o complexitate redusă a blocului și asigură flexibilitate instalației. Dată fiind, însă, viteza de calcul a microprocesorului, relativ scăzută, și necesitățile de timp real ale prelucrării, numărul de posturi ce pot fi analizate de un bloc de achiziție cu prelucrare software este limitat. În cadrul acestor limite, însă, blocul cu prelucrare software este cel mai economic.

Exemplul concret este realizat cu microprocesorul Intel 8086, cel mai utilizat în aplicațiile industriale, și care este software compatibil cu microprocesoare realizate ulterior, mai performante: 8085, 280, 8086 /82/. Aceste microprocesoare pot, în general, executa aceleași programe scrise pentru microprocesorul 8080 și asigură o viteză de execuție superioară, ceea ce conduce la creșterea capacității de prelucrare a unei instalații, comparativ cu modelul tipic realizat cu microprocesorul 8080. Rezultă, deci, un grad mare de generalitate a rezolvării problemei și, în plus, posibilități de îmbunătățire a performanțelor blocului de achiziție, realizat în această configurație, odată cu progresele tehnologice. Soluția rezultă generală și nelimitată la performanțe momentane.

După cum s-a arătat în prezentarea de principiu a metodei, operațiile care se realizează cel mai des și în cele mai severe condiții de timp sînt cele de căutare, bit cu bit, a evenimentelor recepționate. Celelalte operații (operații logice pentru detectarea fronturilor, transferuri de date, comenzi) se realizează în număr mai mic, deci nu intervin cu pondere mare în timpul de execuție. Aceste operații se realizează cu cuvinte de lungime egală cu numărul de biți ai magistralei de date a sistemului. Ponderea lor nefiind semnificativă, utilizarea unor microprocesoare cu magistrale de date de 16 biți, ca 8086, 9900, 68000, 28000 nu conduce la performanțe sensibil superioare, care să justifice utilizarea unor sisteme mult mai scumpe, /3, 23, 35, 33, 48, 73, 82/.

Se preferă, deci, utilizarea unor microprocesoare de 8 biți, cu observația că orice creștere a vitezei de execuție a microprocesoarelor, creștere continuă funcție de progresele tehnologice, îmbunătățește capacitatea de lucru a instalației. Din acest motiv se analizează cazul tipic al microprocesorului 8080-A, cu perioada de tact de 2  $\mu$ s, ale cărui programe, rulate pe microprocesoare echivalente mai recente, conduc la viteze de 2 - 3 ori mai mari, fără a implica modificări hardware sau software, cu excepția celor care se referă direct la extinderea numărului de canale prelucrate cu aceeași instalație.

Configurația hardware în care se realizează această soluție originală a autorului, care face obiectul unui brevet OSIM /49/, prezentată în figura 25, este minimă: microprocesorul cu circuitele anexe, memorie EPROM și portări de intrare de 8 biți.

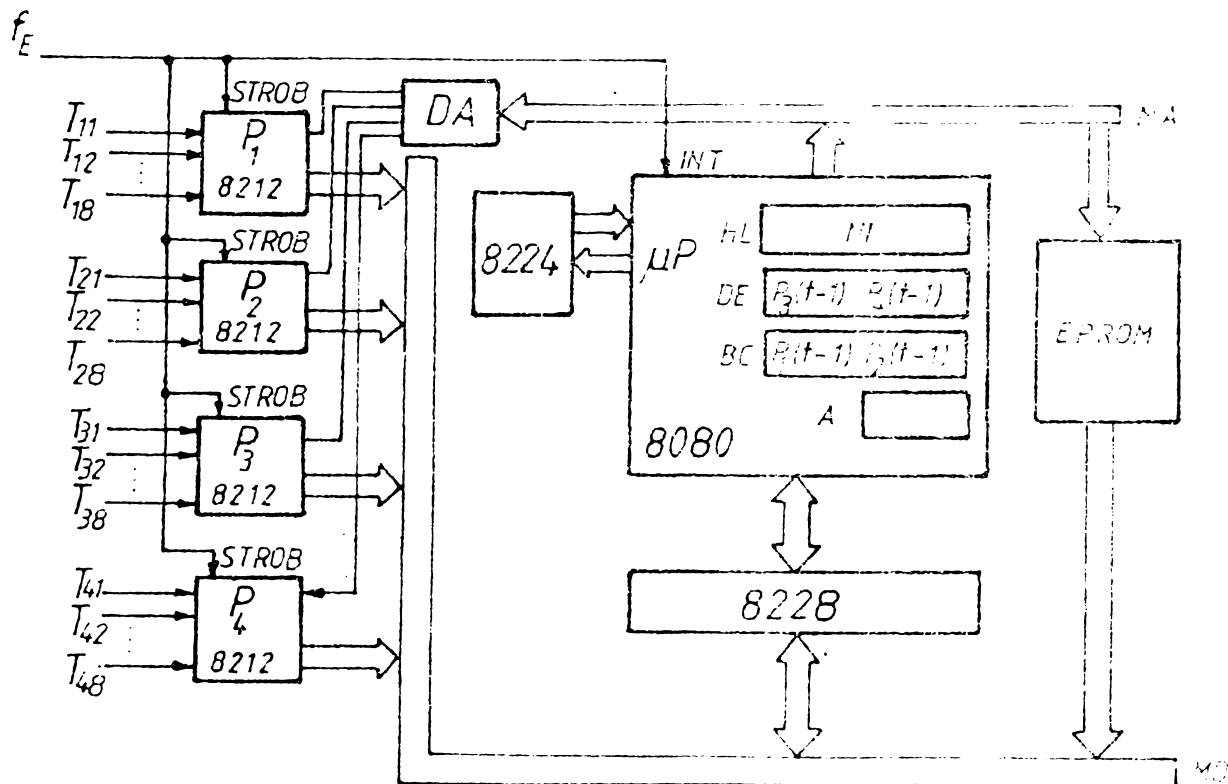


Figura 25

Fiecare impuls etalon este recepționat de microprocesor ca întrerupere INT și comandă înscrierea datelor de intrare în bistabilele D ale porturilor de intrare, STROB. Contorizarea acestor impulsuri se face într-un numărator unic, în mod continuu, subliniind caracterul centralizat al achiziției, care evită utilizarea, chiar și prin mijloace software, a unor numărătoare individuale de impulsuri etalon. Numărătorul este implementat în registrul dublu HL al microprocesorului. Capacitatea acestuia de numărare, de 16 biți, asigură determinarea numărului de impulsuri pe orice perioadă de rotație posibilă, cu o frecvență etalon uzuală, fără pericolul ca acesta să treacă de 2 ori peste limita maximă. Aceasta permite determinarea numărului de impulsuri pe o rotație cunoscând cele 2 numere de impulsuri din momentele recepției a 2 mărci consecutive.

Celelalte 4 registre cu destinație generală ale microprocesorului, B, C, D, E sînt utilizate pentru memorarea stărilor precedente ale canalelor de intrare, corespunzătoare precedentului impuls etalon (în cazul în care într-unul din registre se execută operații și nu se pot face citiri repetate de la același port de intrare, doar 3 registre pot fi utilizate în acest scop).



În cazul utilizării doar a 32 de canale de intrare, aceste registre sînt suficiente pentru memorarea temporară necesară, nefiind obligatorie o memorie RAM. Transferurile de date care se realizează, la detectarea evenimentelor se fac, de regulă, în memoria RAM a sistemului de calcul, care poate fi un alt microprocesor, cu altă memorie (fizic). În cazul în care aplicația reclamă, iar datele concrete permit monitorizarea mai multor canale, memorarea temporară a celorlalte porturi de intrare se face în cîteva registre, utilizate fie ca RAM, fie ca stivă.

Modul de lucru software al blocului de achiziție cu prelucrare software este prezentat în ordinograma din figura 26.

La fiecare cerere de întrerupere, microprocesorul, care se afla în stare de așteptare, dacă lucrează în configurație de 2 microprocesoare, sau în execuția programului de calcul al erorilor, dacă lucrează în configurația cu 1 singur microprocesor, începe executarea programului de achiziție.

În primul rînd se numără impulsul recepționat, în numărătorul software de 16 biți HL.

Apoi, se citește informația reținută într-unul din porturile de intrare și, pe baza acestor date, împreună cu informație reținută în registrele interne sau RAM, corespunzătoare precedentului impuls etalon, se realizează detecția evenimentelor, prin operații logice. Se detectează frontul negativ al semnalului corespunzător măreii, considerînd că marca furnizează un impuls în "0" logic.

În urma acestor operații, acumulatorul conține cifre 1 în poziția corespunzătoare canalelor de intrare la care a apărut marcă în intervalul de timp dintre ultimele 2 impulsuri etalon. Se verifică dacă există o astfel de situație. Dacă nu este detectat nici un eveniment, se trece direct la analiza următorului port de intrare.

Dacă există eveniment sau evenimente detectate, se începe căutarea bit cu bit a rezultatului din acumulator. Se realizează 8 astfel de verificări. În cazul detectării unui "1", deci eveniment, este necesară transferarea numărului de impulsuri curent, din registrele HL, în locația corespunzătoare contorului cărui 1 s-a detectat evenimentul.

După încheierea achiziției corespunzătoare celui de al 4-lea port de intrare, microprocesorul revine în starea sau programul din care a fost întrerupt.

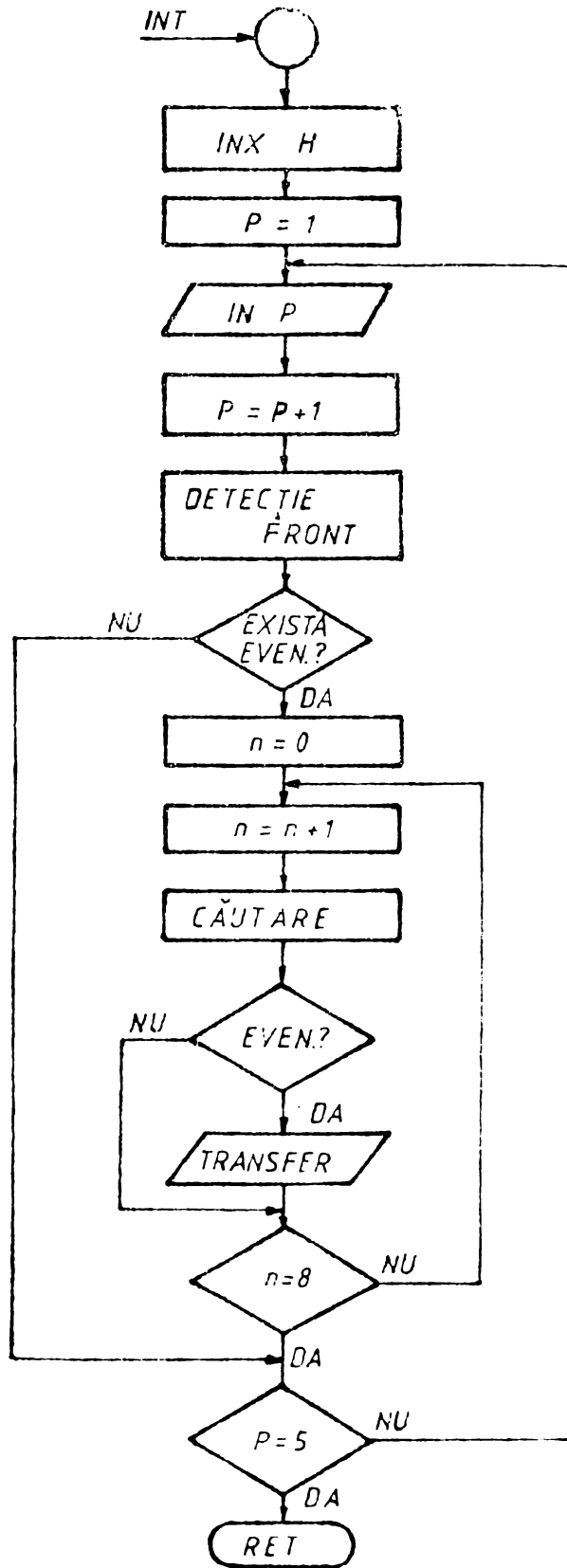


Figura 26

Comparând schema bloc generală a unui bloc de achiziție, din figura 21 cu configurațiile hardware și software ale blocului de achiziție, prezentate în figurile 25 și 26, rezultă că blocul de eșantionare și reținere este realizat prin hardware, toate celelalte blocuri (dectecție de front, verificare, căutare de eveniment și formarea adresei pentru transfer) fiind realizate prin software.

Pentru estimarea performanțelor acestei configurații, se analizează durata de execuție a programului destinat monitorizării a 32 de canale de intrare. Programul, în limbajul de asamblare al microprocesorului 8080, este prezentat și comentat în detaliu în anexa 1 a acestei lucrări.

Analiza caracteristicilor programului tipic achiziției cu prelucrare software conduce la următoarele concluzii:

- numărul de posturi: 32;
- timpul de achiziție pentru cazul cel mai defavorabil  $T_{max} = 575,5 \mu s$ , la frecvența standard de 2 MHz;
- timpul de achiziție în situația când nu este nici un eveniment  $T_{min} = 95,5 \mu s$ ;
- spațiul de memorie ROM necesar este 267 octeți;
- nu necesită memoria RAM.

Aceste caracteristici permit utilizarea unui contor etalon cu frecvența maximă de  $1/575,5 \mu s$ , adică aproximativ 1,7 kHz, care asigură acoperitor rezoluția necesară în probele rapide.

Pentru analiza comparativă a diverselor soluții implementate, vom considera frecvența impulsurilor etalon 1 kHz, cu variații posibile de  $\pm 20 \%$  dacă punctul de pe curba de sarcină nu este exact stabilit. De observat că aceste variații apar doar la utilizarea unui contor etalon și nu în cazul puterii calibrate, cu cronometru electronic.

În aceste condiții, în maximum 32 de întreruperi din cele 1200 posibile se consumă un timp apropiat de  $T_{max}$ . În restul de 1168, care durează câte 833  $\mu s$  se utilizează doar  $T_{min}$ . Rezultă un timp liber al microprocesorului  $T_{lib} = 1168 \times (833 - 95,57) = 860 ms$ . În concluzie, în situația cea mai defavorabilă a timpului disponibil, cea a rotației celei mai rapide, de 1s, rezultă că 86 % din timpul de execuție al microprocesorului poate fi alocat altor sarcini, doar 14 % fiind necesar prelucrării primare, dar în condițiile achiziției în timp real.

Programul prezentat în anexa 1 este conceput după criteriul vitezei maxime de execuție și nu optimizează capacitatea memoriei ROM

și nici numărul total de posturi (care mai poate fi crescut, în intervalul de timp 575,5 - 833).

Transferul datelor este realizat prin mijloace software, considerînd că memoria este fie a sistemului de achiziție, care execută în perioadele libere și calculul erorilor, în configurația cu un singur microprocesor, fie o memorie tampon, în care are acces permanent, și de unde datele sînt preluate de sistemul de calcul. În cazul în care, însă, memoria este a unui sistem distinct de calcul, transferul trebuie realizat prin acces direct la memorie, ceea ce implică utilizarea unor semnale de comandă și control, ce vor fi prezentate în acest paragraf.

Reducerea capacității de memorie ROM necesară se realizează, atunci cînd viteza de execuție nu este critică, prin înlocuirea în program a adresării imediate și directe cu adresare directă și respectiv indirectă. Aceasta ar conduce la realizarea unei bucle de program executată pentru fiecare port de intrare, care conține o buclă mai scurtă, executată de 8 ori pentru fiecare port de intrare. Aceasta ar implica următoarele modificări:

- adresarea porturilor ca locații de memorie, dat fiind că instrucțiile IN și OUT sînt cu adresare imediată (de exemplu, în instrucția IN 03, 03 fiind scris în program și nu ca rezultat al unui calcul prin program),
- utilizarea unui contor, prin program, pentru porturile de intrare și a unui contor pentru poziția canalului de intrare dintr-un port analizat, ceea ce conduce la afectarea unor registre interne și la necesitatea utilizării unei memorii RAM:

```
exemplu: E10 RRC
          JNC E11
          Transfer
          E11 INR E
          JMS E10
```

unde în registrul E se contorizează cele 8 deplasări ale octetului citit,

- utilizarea unei perechi de registre interne pentru realizarea adresării indirecte, la transferul datelor, care se realizează, în acest caz, octet cu octet; dacă registrele HL conțin numărul de transferat, iar adresa formată se află în registrele BC, programul de transfer rezultă:

```
MOV A,H
STAX B
INX B
```

MOV A,L  
STAX B

Avînd în vedere aceste modificări necesare, rezultă ineficiența unui astfel de program, în primul rînd datorită timpului de execuție  $T_{MAX}$  inacceptabil de lung, comparativ cu unicul dezavantaj al programului tipic prezentat :capacitatea de 267 octeți ROM. De altfel, această lungime este neglijabilă în raport cu cea necesară întregii instalații: calcul, interfață, autotest.

Transferul datelor prin DMA se poate realiza într-o configurație hardware minimă, prezentată în figura 27

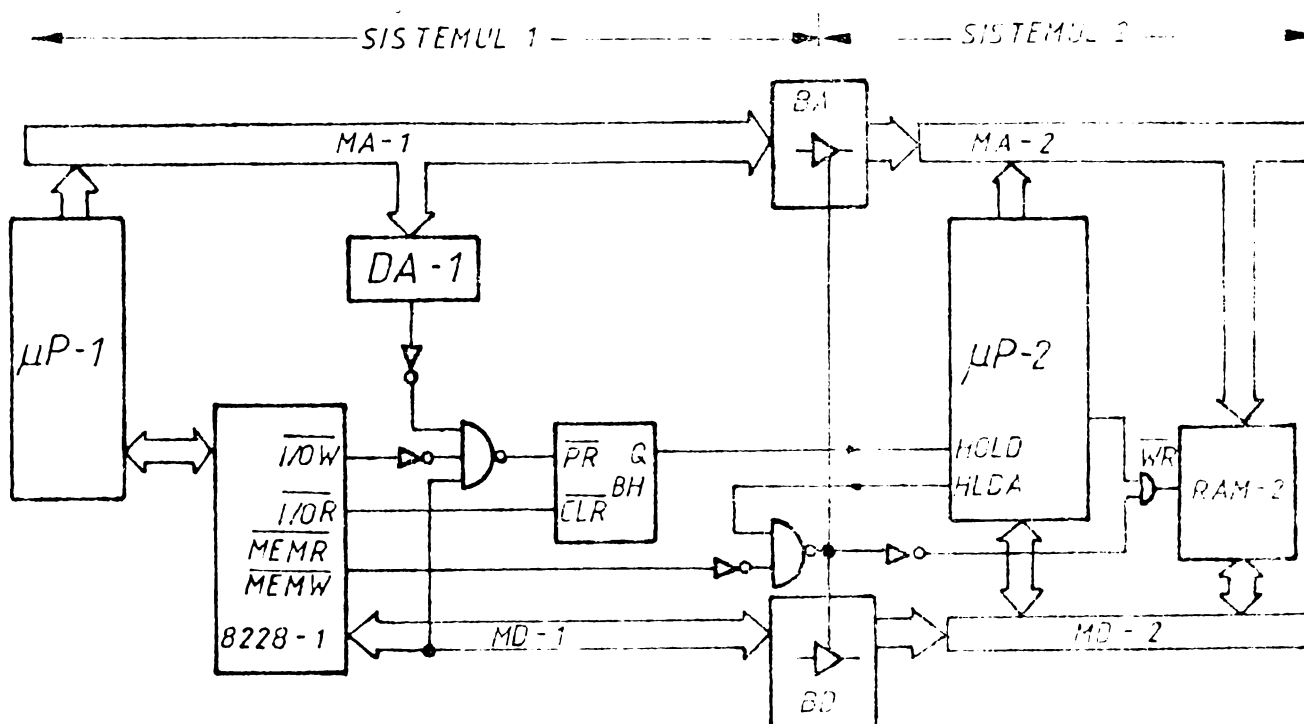


Figura 27

Este destinată sistemelor multimicroprocesor sau aplicațiilor de tip cuplor-calculator cu destinație generală /56/. Configurația permite transferul datelor la sistemul de calcul într-un timp foarte scurt, utilizînd pentru aceasta accesul direct la memorie și generarea unor semnale de comandă prin software.

Modul de funcționare al sistemului de transfer al datelor este prezentat schematic în continuare:

1. Sistemul  $\mu P_2$  de calcul este oprit (eliberează magistralele de adrese și date, prin trecerea în starea de înaltă impedanță) cu semnalul  $\overline{HOLD}$  de sistemul  $\mu P_1$ , cu o instrucție OUT, destinată acestui scop, care înscrie "1" logic în bistabilul BH.

2. Pe timpul opririi sistemului de calcul, microprocesorul  $\mu P_1$  execută operații de căutare a evenimentelor, urmate, eventual, de transferuri de date. Transferul făcându-se cu instrucția SHLD, se generează semnalul de control  $\overline{MEMWR}$ , care deschide bufferele BA și BD și care comandă, prin semnalul  $\overline{WR}$ , înscrisura în memoria RAM a sistemului de calcul, la adresa generată pe magistrala de adrese MA a datelor aflate pe magistrala de date MD, conform instrucției SHLD.

3. Sistemul de calcul este eliberat din HOLD la prima instrucție de citire IN, semnalul  $\overline{I/O\overline{R}}$ , rezultat din instrucțiile existente în programul de achiziție, înscriind "0" logic în bistabilul BH. De observat că această înscriere nu necesită timp, nefiind utilizate instrucții speciale, destinate acestei operații. Se bazează pe structura particulară a programului, care permite dedicarea semnalelor de control generate de circuitul de control al sistemului 8228 unor funcții hardware.

Corelația semnale hardware-instrucții software este următoarea, în cazul programului tipic de achiziției:

INX H	
IN P1	$\overline{HOLD}$ , prin $\overline{I/O\overline{R}}$ , sistemul este eliberat din starea HOLD precedentă
XRA B	
ANA B	
MOV B, A	
JZ E1	
MVI A, FF	
OUT BH	HOLD prin instrucție suplimentară, dacă nu este îndeplinită condiția de zero
RRC	
JNC E01	
SHLD AD11	Dacă se execută instrucția, înseamnă că a fost detectat eveniment și are loc transferul comandat de semnalul de control $\overline{MEMWR}$ , generat în această zonă de program doar de această instrucție
E01 RRC	
JNC E02	
SHLD AD12	
.....	
IN P2	$\overline{HOLD}$

Sistemul de transfer DMA propus de autor asigură o viteză foarte mare: programul este suplimentat doar cu 2 instrucții, executate maximum de 4 ori la o întrerupere, rezultând o creștere a timpului de execuție  $T_{max}$  cu 34  $\mu s$ , adică 6 %, față de configurația cu un singur microprocesor. Viteza este asigurată și de faptul că se uti-

lizează oprirea sistemului de calcul înainte de a apărea necesitatea transferului, pentru ca acesta să poată avea loc la momente determinate de sistemul de achiziție (care nu mai trebuie să aștepte recepționarea semnalului MDA).

Sistemul de calcul este oprit în HOLD doar în timpul analizei semnalelor corespunzătoare unui port de intrare, în care se va detecta cu siguranță un eveniment, care necesită transfer de date. Timpul de oprire este de maximum 32 de ori pe o perioadă, câte 120  $\mu$ s. în cazul cel mai defavorabil, al probelor de suprasarcină, aceasta nu depășește 0,4 % din timpul de calcul.

Reducerea timpului de achiziție și transfer poate fi realizată prin utilizarea unei configurații particulare în sistemele multimicroprocesor și a unor instrucții puternice ale microprocesorului 8080.

Metoda originală propusă /57/ se bazează pe analiza particularităților aplicațiilor industriale:

1. numărul posturilor urmărite este redus și de obicei și capacitatea de memorie RAM necesară reținerii temporare a datelor corespunzătoare acestor posturi este redusă, putând fi adresată cu 8 biți;
2. datele cu care se operează reclamă precizii în domeniul 0,01 - 1 %, ceea ce reclamă lungimi de numere binare de 8 - 16 biți.

Aceste observații conduc la soluția inversării rolurilor magistralelor de date (de 8 biți) și adrese (de 16 biți), în momentele când se vehiculează aceste date, pentru reducerea timpului de transfer: o singură fază, în loc de două. Dat fiind, însă, faptul că structura microprocesoarelor nu permite această inversare în funcționarea normală, observația poate fi aplicată în cazul transferurilor de date, conectând magistrala de adrese a sistemului de achiziție la magistrala de date a celui de calcul, iar cea de date la cea de adrese.

Implementarea acestei metode este utilă în condițiile utilizării unei instrucții care să deponă pe cele 2 magistrale toate datele ce sînt necesare, în mod simultan:

- numărul de impulsuri, deci conținutul registrelor AL, pe magistrala de adrese și
- adresa (partea cea mai puțin semnificativă) de memorie corespunzătoare contorului cărui a s-a detectat evenimentul, pe magistrala de date.

Aceste instrucțiuni sînt MVI M, în cazul adresării imediate, conform programului tipic, care asigură viteza maximă de achiziție, și MOV M,r, în cazul contorizării într-un registru a numărului de deplasări efectuate, pentru realizarea căutării evenimentului într-o buclă executată de 8 ori. Instrucțiunile de înscriere în memorie comună mază magistrala de adrese cu conținutul registrelor MD, iar magistrala de date cu adresa stabilită prin program sau cu conținutul registrului contor de deplasări. Instrucțiunile permit controlarea tuturor celor 3 octeți ce apar simultan pe magistrale, necesitînd un timp de execuție inferior instrucției utilizate în programul tipic, SMD, de 8  $\mu$ s: 5  $\mu$ s și respectiv 3,5  $\mu$ s.

Comparativ cu programul tipic, această modalitate de transfer asigură o reducere a timpului de achiziție  $T_{max}$  cu 15 %.

Configurația hardware în care se implementează această metodă de transfer a datelor, între 2 sisteme cu microprocesor, este prezentată în figura 28.

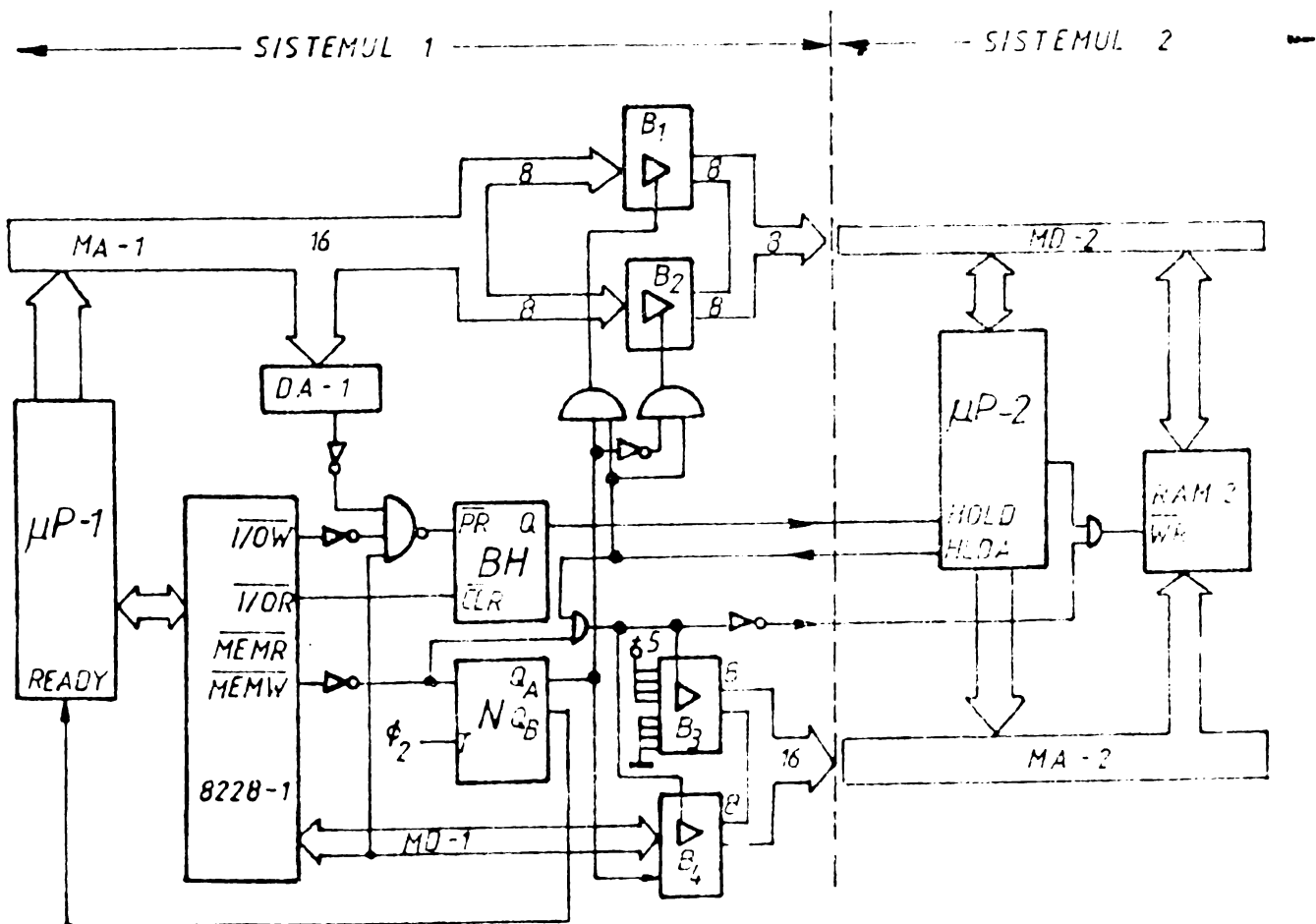


Figura 28



Sistemul prezentat se bazează pe utilizarea instrucției **MVI M, XX**. Transferul datelor se face în 2 tacte, prin întârzierea executării acestei instrucții cu ajutorul semnalului **READY**, generat de numărătorul **N**, timp de 2 perioade  $o_2$ , egale cu durata a 2 în-  
scrieri în memoria RAM. Sistemul de oprire a microprocesorului  $\mu P_2$  este identic cu cel prezentat în figura 27. În timpul opririi (vali-  
dată de semnalul **HLLA**), în primul tact se deschid bufferele  $B_2$ ,  $B_3$  și  $B_4$ .  $B_2$  depune pe magistrala de date  $MA_2$  conținutul registrului **L** (partea mai puțin semnificativă a numărului de impulsuri).  $B_3$  fi-  
xează pagina de memorie în care se fac înscriserile, prin comandarea părții mai semnificative a magistralei de adrese  $MA_2$  cu un octet, de regulă, constant.  $B_4$  comandă jumătatea mai puțin semnificativă a magistralei de adrese  $MA_2$ , care stabilește locația de memorie în care se face înscriserea: 7 biți sînt dați de instrucția **MVI M, XX**, iar cel mai puțin semnificativ bit este dat de numărătorul **N**, cores-  
punzător înscriserii registrului **L**, deci 0. În tactul al doilea, sînt deschise  $B_1$ ,  $B_3$ ,  $B_4$ .  $B_1$  transferă conținutul registrului **M**, iar  $B_3$  și  $B_4$  comandă aceeași adresă, incrementată, datorită coman-  
dării bitului cel mai puțin semnificativ cu "1";

Datele de pe magistrale se păstrează timp de 2 tacte, dato-  
rită întârzierii execuției instrucției cu semnalul **READY**, micropro-  
cesorul  $\mu P_1$  "sințind" o memorie mai lentă. Pe această perioadă de  
întârziere a microprocesorului  $\mu P_1$ , funcțiile necesare adresării me-  
moriei sistemului  $\mu P_2$  oprit sînt preluate de sistemul hardware pre-  
zentat.

Activarea și dezactivarea semnalului **HLLB** se realizează prin software, conform soluției din figura 27.

Metoda transferului de date utilizînd inversarea rolului ma-  
gistralelor este o soluție cu caracter general, aplicabilă oricărei  
aplicații industriale care se încadrează în caracteristicile prezen-  
tate: zeci de posturi (respectiv adrese din RAM) și date de lungime  
mai mare de un octet. Avantajul esențial al metodei este timpul total  
de achiziție și transfer mai scurt, care în cazul unei instalații de  
testare a contoarelor, în configurația cu 2 microprocesoare, este  
datorat următoarelor motive:

1. instrucția **MVI M, XX** este mai rapidă, în programul de achiziție, decît instrucția **SHLD YY**, din programul tipic,
2. transferul nu se face prin 2 instrucții sau 2 faze complexe ale u-  
nei instrucții, ci în 2 tacte, "lungind" o instrucție rapidă.

De observat că metoda inversării relurilor registratoarelor nu este aplicabilă exclusiv în sistemele multiprocesor. Ea poate fi implementată și într-un sistem cu un singur microprocesor, cu același scop: creșterea productivității instalației. Soluția prezintă avantajul vitezei de transmisie, cu instrucția NVI, M, XX, caracteristică sistemului multiprocesor, și evitarea utilizării unui alt sistem pentru realizarea blocului de salt, în cazul când acesta poate fi implementat tot în blocul de achiziție.

Soluția, reprezentată în figura 29, necesită un sistem de buffere tri-state, de 14 capete TTL, comandate de semnalul MEMWR, care permite schimbarea configurației sistemului.

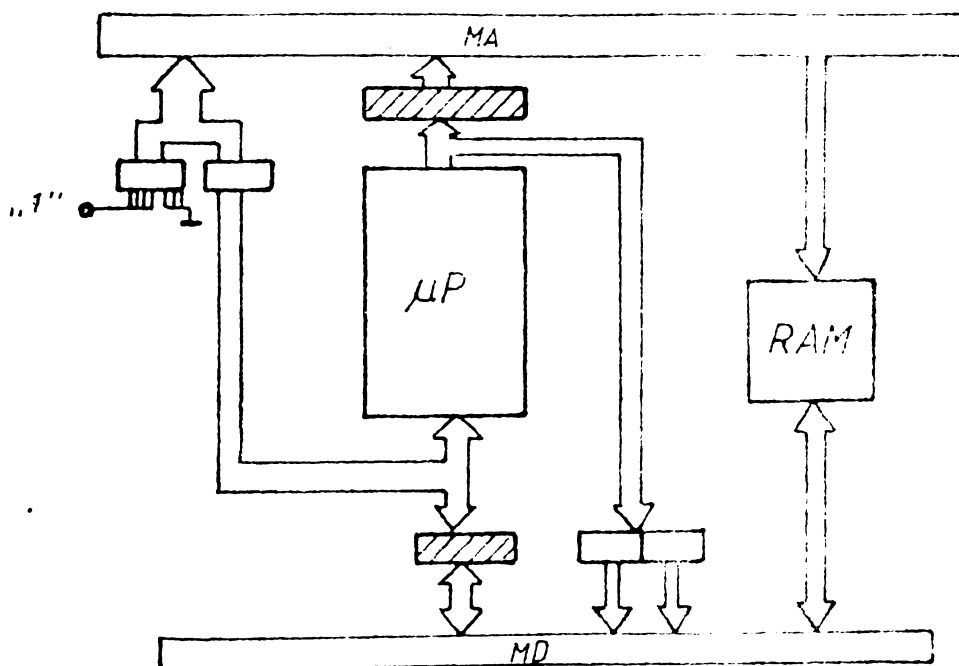


Figura 29

În funcționarea normală, sînt deschise bufferele hașurate, cele corespunzătoare magistralei de date fiind bidirecționale. Cînd se efectuează transferul cu instrucția NVI, M, XX, se generează semnalul de control MEMWR, care deschide bufferele nehașurate, blocîndu-le pe celelalte, pe o durată dată de timpul de inseriere în RAM a datelor. Soluția funcționează în condițiile în care instrucțiile de scriere în memorie (MEMWR) sînt utilizate exclusiv în acest scop. În caz contrar, semnalul trebuie validat printr-o instrucție anterioară a microprocesorului, care poziționează un bistabil.

Creșterea numărului de posturi analizate de un bloc de achiziție poate fi realizată fie prin creșterea vitezei de execuție a programului, fie prin micșorarea frecvenței impulsurilor etalon. În am-

bele cazuri capacitatea registrelor interne, care rețin pentru o perioadă stările canalelor de intrare, nu mai este suficientă. Se impune, atunci, memorarea cel puțin a unei părți a datelor într-o memorie RAM, adresată ca memorie sau ca stivă. Aceasta implică operații suplimentare de transfer de date, la fiecare analiză a unui port de intrare, ceea ce conduce la o eficiență, proporțional mai mică decât în situația tipică, cu 32 de canale.

Operațiile cu stiva fiind, în general, mai lungi și dificil de realizat pentru acces aleator, se preferă utilizarea memoriei RAM pentru memorarea stărilor precedente. Modificările de program, față de cel tipic prezentat în anexa 1, apar doar în zonele de detectare a fronturilor:

```
IN P1      Informația actuală se plasează într-un re-
MOV B,A    gistru intern
LDA RAM1   Informația precedentă se plasează în acumu-
XRA B      lator. Detecția frontului furnizează "1" la
ANA B      tranziția "0"->"1", motiv pentru care se com-
GMA        plementează rezultatul
JZ SF
.....
Se caută evenimentele bit cu bit
.....
SF  MOV A,B   Se memorează în RAM informația actuală în RAM
STA RAM1
IN P2
.....
```

Memoria RAM necesară este de maximum  $n$  octeți, unde  $n$  este numărul porturilor de intrare, în cazul în care nu se utilizează nici un registru intern pentru astfel de memorări. Timpul suplimentar de execuție, comparativ cu programul tipic, este de 25microcicli pentru fiecare port, respectiv 9 %.

Soluția prezintă avantajul că numărul posturilor de testare nu este limitat de capacitatea internă de memorare a microprocesorului, ci doar de viteza sa de execuție și de rezoluția de măsurare necesară.

Dezavantajul metodei este utilizarea, doar în acest scop, a unei memorii RAM, atunci când sistemul de achiziție nu execută și alte operații. Dezavantajul este, însă, limitat de faptul că în cele mai multe aplicații sistemul rezolvă și alte funcții (calcul, auto-test) care necesită memorie RAM.

În astfel de situații, însă, trebuie salvat, la fiecare întrerupere, conținutul registrelor interne și al bistabilelor de condiție și refăcut după executarea programului. Aceasta se realizează, de obicei, prin salvarea în stivă. Astfel, în configurațiile cu un singur microprocesor sau în cele multimicroprocesor în care microsistemul execută și alte sarcini, programul de achiziție în timp real se completează cu următoarele instrucțiuni:

```
PUSH PSW
PUSH B
PUSH D
PUSH H
.....
POP H
POP D
POP B
POP PSW
```

Durata preprogramului crește, la fiecare întrerupere cu 84 microcicli, reprezentând 7 % din timpul de execuție al programului tipic de achiziție pentru 32 de posturi.

În concluzie, blocul de achiziție cu prelucrare software poate fi implementat hardware și software cu diverse facilități și caracteristici. Fiecare variantă prezentată în acest paragraf analizează posibilitățile de creștere a performanțelor, comparativ cu o soluție considerată tipică, în domeniul vitezei de achiziție, a capacității de testare și a complexității. Oricare din configurațiile hardware asociate cu implementările software au următoarele caracteristici:

1. complexitate hardware redusă,
2. posibilități de implementare în sisteme cu unul sau mai multe microprocesoare,
3. timp liber de execuție al microprocesorului, necesar altor sarcini
4. asigură capacitate de 32 de canale, în condiții tipice, cu posibilități de extindere, în funcție de viteza microprocesorului, configurația sistemului și condițiile impuse aplicației, la aproximativ dublu.

Din variantele prezentate, pot fi sintetizate o multitudine de variante constructive ale blocului de achiziție cu prelucrare software. Nu toate din acestea conduc la performanțe competitive. Pentru a determina cele mai productive și eficiente configurații, se analizează, în condiții identice, mai multe configurații posibile, reali-

zate pe baza diverselor soluții originale propuse în acest paragraf.

1. Configurație cu 1 microprocesor care utilizează doar registrele interne pentru memorare, necesită salvarea conținutului registrelor la fiecare întrerupere și efectuează transferul cu instrucția SLLD.

N = 32 posturi  
 $T_{\max} = 612,5 \mu\text{s}$   
 $T_{\min} = 132,5 \mu\text{s}$  (21 %)  
ROM: 275 octeți  
RAM: stivă de 8 octeți

2. Configurație cu 1 microprocesor, similară cu 1., cu memorarea datelor atât pe microprocesor, cât și în RAM, ceea ce permite analiza unui număr de canale limitat doar de rezoluția impusă, nu de structura blocului de achiziție.

N = 40 posturi  
 $T_{\max} = 779 \mu\text{s}$   
 $T_{\min} = 179 \mu\text{s}$  (23 %)  
ROM: 287 octeți  
RAM: stivă de 8 octeți + 2 octeți RAM

3. Configurație cu 1 microprocesor, cu program în buclă, folosind instrucții cu adresare indirectă, pentru reducerea capacității ROM. Nu este eficientă, necesitând un timp de achiziție  $T_{\max}$  aproximativ dublu față de configurația 1.

4. Configurație cu 1 microprocesor, cu transfer de date folosind inversarea rolurilor magistralelor, cu instrucția MVI M, XX.

N = 48 posturi  
 $T_{\max} = 818 \mu\text{s}$   
 $T_{\min} = 218 \mu\text{s}$  (27 %)  
ROM: 393 octeți  
RAM: 8 + 3 octeți

5. Configurație cu 2 microprocesoare, care nu mai necesită salvarea conținutului registrelor la fiecare întrerupere, dar care reclamă instrucții suplimentare pentru transferul datelor între microprocesoare, transfer realizat cu instrucția SLLD.

N = 40 posturi  
 $T_{\max} = 784,5 \mu\text{s}$   
 $T_{\min} = 184,5 \mu\text{s}$  (23 %)  
 $T_{\text{HOLD}} = 4,8 \text{ ms}$  (0,5 %)  
ROM: 297 octeți  
RAM: 2 octeți

De observat că utilizarea unui al doilea sistem cu microprocesor, în această variantă, nu aduce nici o îmbunătățire față de soluția 2.

6. Configurație cu 2 microprocesoare, similar soluției 5, care realizează transferul datelor folosind inversarea rolului magistralelor și utilizând instrucția  $MVI M, XX$ .

$N = 48$  posturi  
 $T_{max} = 527 \mu s$   
 $T_{min} = 227 \mu s$  (27 %)  
 $T_{HOLD} = 4,8 ms$  (0,5 %)  
ROM: 397 octeți  
RAM: 3 octeți

7. Configurație cu 2 microprocesoare, cu magistralele inversate, similar cu soluția 6., dar care utilizează program cu bucle, folosind pentru transfer instrucția  $MOV M, r$ .

Eu asigură o capacitate mai mare de 32 de posturi, deci nu justifică economia de memorie ROM pe care o realizează.

Productivitatea specificată este un parametru relativ la viteza microprocesorului, frecvența impulsurilor etalon și rezoluția impusă măsurării, și nu un parametru absolut, de metodă. Condițiile în care au determinat acești parametri sînt:

- frecvența impulsurilor etalon  $1 kHz \pm 20 \%$ , adică  $833 \mu s$  timp de achiziție, în cazul cel mai defavorabil; deci,  $T_{max}$  trebuie să fie inferior acestui interval de timp disponibil;
- perioada de rotație minimă a discului este 1 s;
- microprocesorul lucrează cu o frecvență de tact de 2 MHz.

În alte condiții de funcționare, valorile absolute ale productivității pot atinge valori duble.

Parametrii care sînt prezentați caracterizează sintetic performanțele configurațiilor posibile de realizare a blocului de achiziție cu prelucrare software.

$T_{max}$  este timpul de achiziție în cazul cel mai defavorabil și determină direct productivitatea instalației.

$T_{min}$  este timpul de determinare a situației fără evenimente. Complementul lui, în o perioadă de rotație, este timpul în care microprocesorul poate executa alte sarcini. Este de dorit să fie cît mai mic raportat la  $T_{max}$ .

$T_{HOLD}$  este timpul cît al doilea sistem este oprit datorită transferului de date și se raportează la o perioadă de rotație a discului.

ROM este capacitatea necesară memoriei program.

RAM este capacitatea necesară funcționării sistemului de achiziție, care nu include memoria tampon de transfer a datelor sau memoria necesară blocului de calcul, deși, uneori, fac parte din același bloc.

Din configurațiile utilizabile prezentate, cele mai productive sînt 2. și 5., care testează 40 de posturi într-o configurație cu respectiv 2 microprocesoare, și 4. și 6., cu o capacitate de 48 de posturi. În ambele situații, sporul de productivitate este obținut datorită inversării rolurilor magistralelor la transferul datelor.

În concluzie, în condițiile admise, blocul de achiziție cu prelucrare software permite o capacitate de testare de 48 de posturi, în diverse implementări, capacitate nelimitată de metodă.

## 5.2. Bloc de achiziție cu prelucrare hardware paralel

Principala limită a blocului de achiziție cu prelucrare software, prezentat anterior, este numărul de canale ce poate fi analizat. Ținînd cont de această observație și de schema bloc generală a unui bloc de achiziție, din figura 21, rezultă următoarele concluzii:

1. implementarea majorității funcțiilor în software conduce la timp lung de execuție, deci la limitarea numărului de canale de intrare;
2. blocurile de detectare a evenimentelor și de verificare a situației fără evenimente pot fi implementate prin mijloace hardware, în paralel, în scopul reducerii timpului de prelucrare și deci al creșterii capacității de testare;
3. căutarea evenimentului trebuie realizată bit cu bit, ca stare nu poate fi redusă printr-o prelucrare paralel;
4. Transferul datelor nu poate fi realizat decît secvențial, iar soluțiile de formare a adreselor și sistemul de transfer sînt foarte eficiente în blocul cu prelucrare software.

Detectia hardware a fronturilor, în paralel, elimină necesitatea efectuării operațiilor logice de detectare a fronturilor, acestea fiind furnizate direct de canalele de intrare. Configurația unui astfel de bloc, conform soluției originale a autorului, este prezentată în figura 30.

Fiecare canal de intrare,  $T_{11} - T_{n8}$ , conține cîte un detector de front DF, realizat identic, care furnizează nivel logic "1" la fiecare front negativ detectat.

Microprocesorul  $\mu P$  citește câte 8 canale de intrare, validând buferele tri-state  $B_1 - B_n$  succesiv, prin intermediul decodificatorului de adrese  $DA$ , și efectuează căutarea bit cu bit pentru detectarea evenimentelor, operație realizată prin mijloace software prezentate în paragraful 5.1.

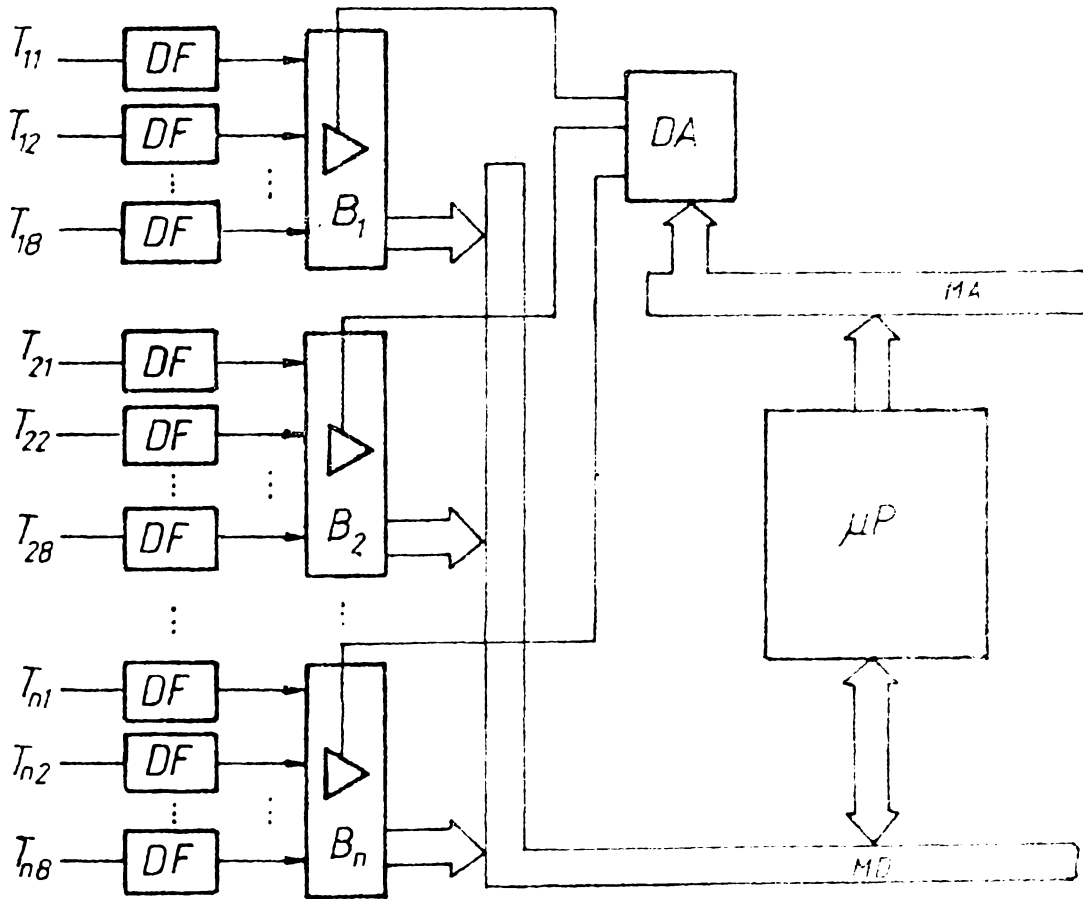


Figura 30

Prin detecție de front se înțelege determinarea impulsului etalon pentru care are loc o tranziție de la "1" la "0" în semnalul de intrare. În circuitele analogice se utilizează un circuit simplu de diferențiere, care nu crește considerabil complexitatea schemei. În prelucrarea numerică a semnalelor, această soluție nu este aplicabilă. Timpul după care are loc citirea canalului de intrare, după apariția tranziției, nu este constant. În aceste condiții, la citire, nivelul poate varia suficient (funcție de constanta de timp necalibrată a circuitului de diferențiere) pentru a fi interpretat eronat, de valoare logică complementară. Din acest motiv, trebuie utilizate circuite detectoare de front secvențiale, care determină momentul apariției frontului prin compararea stării momentale cu cea precedentă, similar operației software.

O soluție care realizează direct în hardware detecția software cunoscută, este prezentată în figura 31.



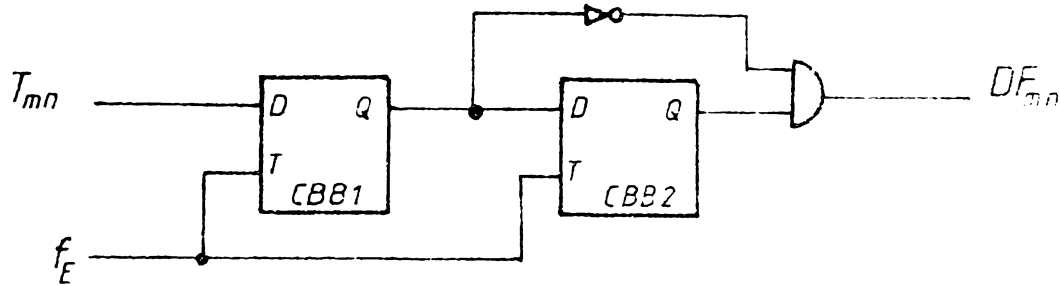


Figura 31

La fiecare impuls etalon, aplicat ca tact la cele 2 bistabile de tip D, are loc înscrierea datelor de la intrare. Pentru canalul de intrare mn, poarta SI furnizează nivel "1" când nivelul momentan, reținut în CBB<sub>1</sub> este "0", iar nivelul precedent, reținut în CBB<sub>2</sub> este "1". Si în acest caz, utilizarea bistabilului CBB<sub>1</sub> este impusă doar de reducerea efectelor impulsurilor parazite din mediul industrial și nu de metodă. Implementarea acestei soluții conduce la creșterea complexității circuitelor exterioare sistemului cu microprocesor de aproximativ 2,5 - 4 ori.

Implementarea concretă, pentru 8 canale, poate fi făcută în următoarele moduri:

1. 2 porturi 8212 cu rol de bistabile și 1 port 8212 cu rol de buffere tri-state, 2 capsule 400 și 1,3 capsule 404, respectiv o creștere de aproximativ 4 ori față de cazul tipic cu 1 capsulă 8212;
2. 4 capsule 495 ca bistabile, 2 capsule 400, 1,3 capsule 404 și 2 buffere tri-state 74125, respectiv o creștere de 2,5 ori a complexității față de cazul uzual cu câte 2 capsule 495 și 74125;
3. 8 capsule 474, utilizând ieșirea  $\bar{Q}$ , 2 capsule 400 și 2 capsule 74125, soluție neeconomică, comparativ cu 2.

O soluție mai simplă, utilizată în sistemele de analiză logică pentru detectarea fronturilor, este prezentată în figura 32.

Bistabilul CBB<sub>2</sub> înscrie "1" logic la tranziția corespunzătoare apărută la intrarea T. După ce microprocesorul a citit toate canalele de intrare, sincronizat de impulsul etalon, "șterge" bistabilele, printr-o instrucție unică OUT. Situația conflictuală a apariției unei noi tranziții în momentul comenzii RESET este evitată prin sincronizarea tranziției "1" - "0" cu semnalul etalon  $f_E$  în bistabilul CBB<sub>1</sub>. Acesta îndeplinește și funcția obișnuită de reducere a timpului în care impulsurile parazite pot perturba buna funcționare a blocului de achiziție

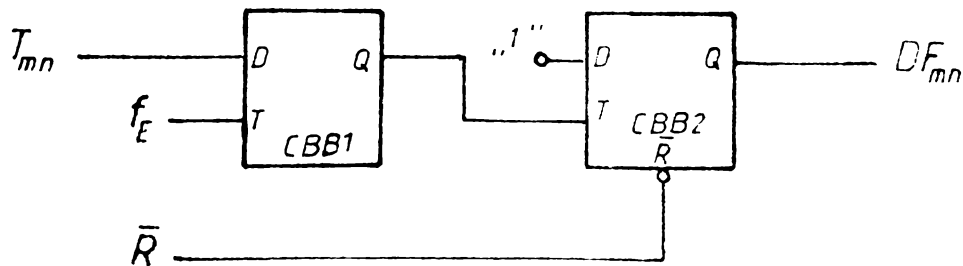


Figure 32

Deși și această soluție conține 2 bistabile pe canal, conduce la o creștere a complexității doar de 2 ori, dat fiind faptul că poate fi implementată cu 2 circuite 8212 pentru 8 canale de intrare. Se exploatează faptul că ieșirea bistabilului este conectată direct pe magistrală, printr-un buffer tri-state (fără funcții logice intermediare) conținut de 8212 și posibilității de "ștergere" simultană a bistabilelor interne circuitului 8212.

Utilizînd o configurație a blocului de achiziție care realizează detecția fronturilor semnalelor de intrare, prin mijloace hardware paralel, programul de achiziție corespunzător are următoarea structură:

```

PUSH H          - se salvează conținutul registrelor afectate
PUSH PSW       de programul de achiziție
LHLD NI        - se aduce numărătorul de impulsuri etalon
IN P1          - se citesc datele de intrare
ANI PP        - se verifică dacă există evenimente
JZ P2
.....
Căutare bit cu bit, de 8 ori
.....
P2  IN P2      - se citesc cele n porturi de intrare
.....
INX H          - se numără impulsul etalon
SHLD NI        - se memorează
POP PSW        - se refac condițiile inițiale
POP H
EI
RET
    
```

Pentru estimarea performanțelor, se consideră cele 2 variante foarte productive, cu un singur microprocesor:

1. fără inversarea magistralelor, execuția este de  $88 + (27 + 8 \times 32) \times n$ ,  $n$  fiind numărul porturilor ce se analizează, microcicli; se obține  $T_{\max} = 845 \mu s$  pentru  $N = 48$  de posturi ( $n = 6$ ), deci o creștere de 20% a productivității;

2. cu inversarea rolului magistralelor, durata în microcicli este  $88 + (27 + 8 \times 25) \times n$ ; se obține  $T_{\max} = 814,5 \mu s$  pentru  $N = 56$  de posturi, respectiv o creștere de 17% a productivității.

Variantele în sistemele multimicroprocesor conduc la performanțe similare.

În concluzie, o creștere de 20% a capacității de testare a blocului de achiziție poate fi obținută în configurația cu prelucrare hardware paralel, prin dublarea complexității circuitelor de intrare în microsistem. Aceasta conduce la o creștere acceptabilă a complexității totale a blocului de achiziție (25 - 50%).

Soluția prezentată este utilă în situațiile în care numărul porturilor de testare este critic.

Verificarea absenței evenimentelor poate fi implementată prin hardware, în condițiile existenței blocului de detecție de front hardware, paralel, ceea ce conferă blocului de achiziție eficiență sporită. Implementarea acestei soluții originale, propusă de autor, este prezentată în figura 33.

Această soluție își propune îmbunătățirea performanțelor pe două căi: eliminarea operațiilor software de detecție a frontului și determinarea absenței totale a evenimentelor, printr-o citire unică, care să cuprindă toate canalele de intrare.

Blocul de achiziție cu prelucrare hardware paralel, controlat de microprocesorul  $\mu P$  are 2 regimuri de lucru, în acest scop:

1. În primul regim se execută verificarea absenței evenimentelor, printr-o singură citire a magistralei de date pe care sînt conectate ieșirile porților SI CABLAT /38/. Microprocesorul validează toate canalele, prin adresarea decodificatorului de adrese pentru verificare care DAV. Configurația schemei realizează 8 funcții SI CABLAT, cu porțile cu colectorul în GOI  $P_{11} - P_{18}$  între canalele cu aceeași poziție din fiecare grup de intrare, de câte 8 canale. Bufferele tri-state sînt deschise la instrucția de citire  $LD$ . Dacă la nici un canal de intrare nu a fost detectat front negativ, toate semnalele furnizate de porțile SI-CU sînt "1" și deci și ieșirile porților SI CABLAT sînt pe "1". Detectarea acestei situații se face cu o singură operație de citire, spre deosebire de cazul prezentat anterior, în

care sînt necesare cîte o citire pentru fiecare port de intrare, la fiecare impuls etalon.

2. In al doilea regim se execută programul cunoscut de căutare a evenimentelor, în cazul în care verificarea precedentă a condus la rezultat negativ. Microprocesorul, prin intermediul decodificatorului de adrese secvențial DAS, validează succesiv ieșirile detectoarelor de front corespunzătoare cîte unui grup de canale de intrare. Bufe-  
rale tri-state conectează pe magistrala de adrese un octet care con-  
ține "0" corespunzător evenimentului căutat. Căutarea are loc con-  
form programului cunoscut.

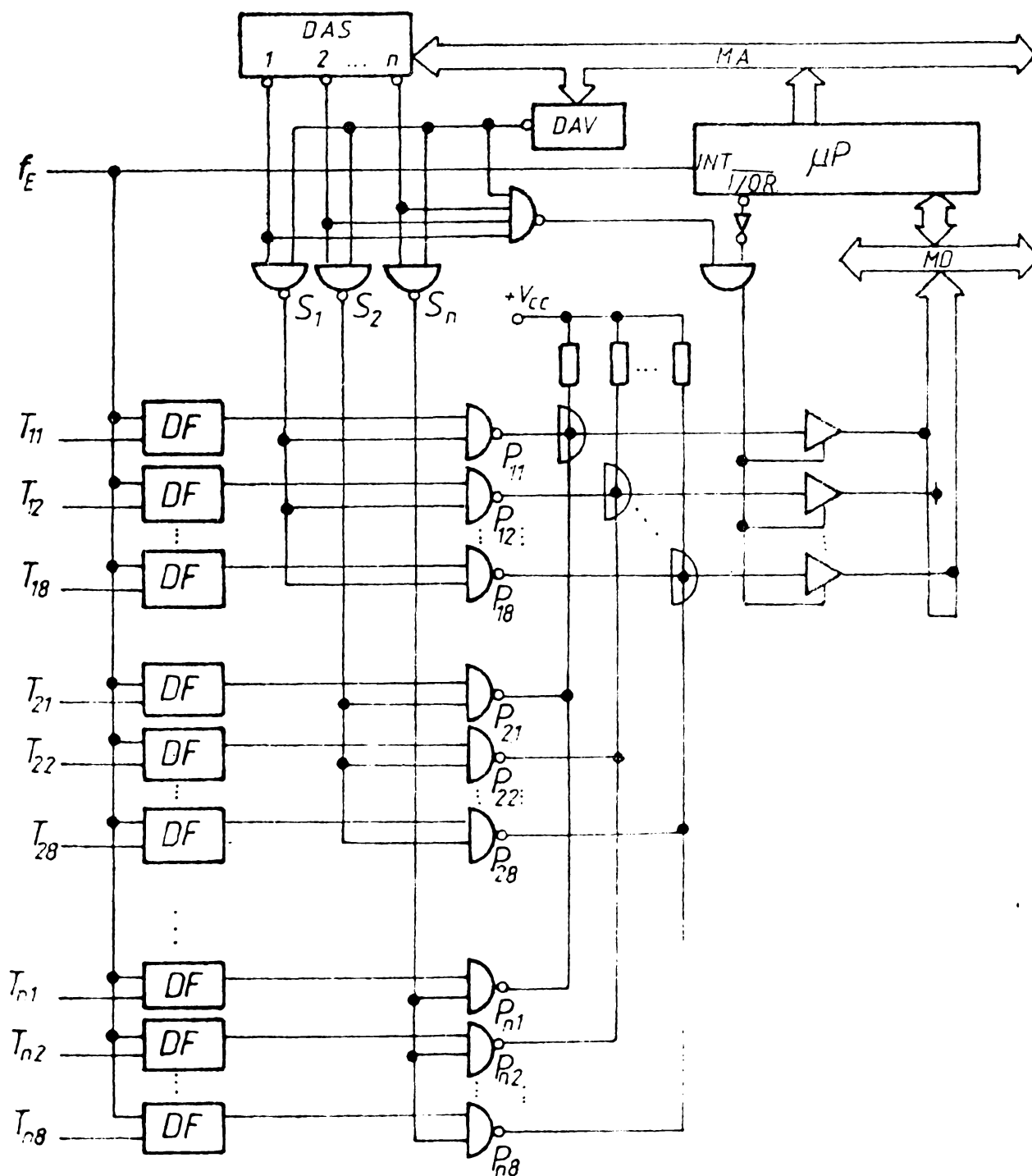


Figura 33

Avantajul acestei configurații, pe lângă economia de timp realizată prin evitarea detectării prin software a fronturilor, este detectarea situației fără evenimente printr-o singură operație de citire, în locul citirilor repetate pentru fiecare port de intrare, la fiecare impuls etalon. Programul de verificare devine:

```
IN DAV      - se citește starea tuturor canalelor
INR A       - se verifică situația absenței evenimentelor
JZ          prin suma FF + 1 = 00
IN P1
Căutare
IN P2
Căutare
.....
```

Durata programului de verificare este de 25 de microcicli pentru toate porturile, spre deosebire de 17 microcicli pentru fiecare port, ceea ce conduce la creșterea timpului liber al microprocesorului, destinat altor sarcini.

În cazul tipic al achiziției cu prelucrare software cu 40 de canale de intrare, utilizând frecvența impulsurilor etalon de  $1 \text{ kHz} \pm 20$  în 1160 de situații nu se recepționează eveniment. Timpul liber rezultă:  $1 \text{ s}$  fiind perioada de rotație,  $1160 \times (833 - 179) \approx 758 \text{ ms}$ .

În situația prezentată, cu achiziție hardware paralel, programul de verificare este următorul:

```
PUSH PSW
PUSH H
LHLD
IN DAV
INR A
JZ SP
.....
Căutare de eveniment dacă este cazul
.....
SF   INR H
     SEILD
     POP H
     PUSH PSW
```

Se obține  $T_{\min} = 52 \mu\text{s}$ , ceea ce conduce la un timp liber total de  $1160 \times (833 - 52) = 905 \text{ ms}$ . Se obține, datorită verificării simul-

tate a situației fără evenimente, o creștere a timpului de execuție destinat altor sarcini (de exemplu calculul erorilor, în configurația cu un singur microprocesor) cu aproape 20 %. Se observă că odată cu creșterea numărului de canale, economia de timp devine mai importantă.

Creșterea capacității de testare a unei astfel de instalații, prin utilizarea detectării hardware paralele a evenimentelor, și creșterea timpului liber al microprocesorului, prin verificarea hardware simultană a canalelor de intrare, asigură o eficiență sporită sistemului de achiziție, care justifică creșterea complexității hardware.

Utilizarea detecției hardware individuală a fronturilor permite revizuirea metodei de achiziție prezentate în capitolul 3. Această detecție permite realizarea unei configurații în care microprocesorul să nu fie întrerupt decât la apariția, cu certitudine, a cel puțin un eveniment. Implementarea poate fi realizată conform schemei din figura 34.

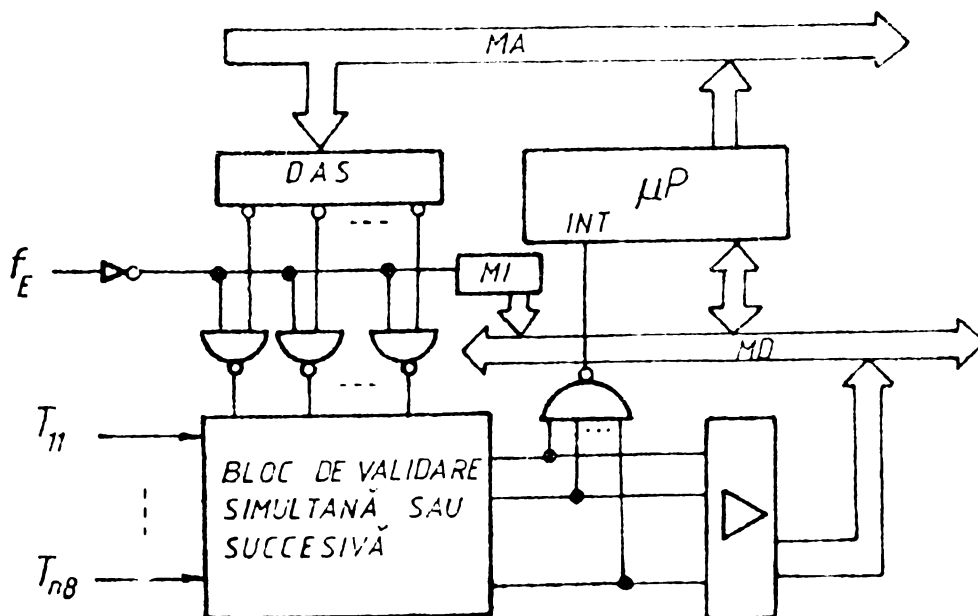


Figura 34

Validarea tuturor porților SI-MU cu colectorul în gol nu se mai face la comanda microprocesorului, la fiecare impuls etalon, recepționat ca întrerupere, ci direct la fiecare impuls etalon, cu scopul de a determina dacă este necesar sau nu să fie întrerupt microprocesorul. Se realizează funcția SAU între toate semnalele furnizate de detectoarele de front: o primă fază prin 8 funcții SI CANAL între

complementele semnalelor în blocul de validare simultană sau succesivă, și într-o a doua fază într-o funcție SI-NU cu 8 intrări, care furnizează nivel "1" (întrerupere) doar când pe cel puțin unul din detectoarele de front există semnal "1".

Soluția nu implică creșterea complexității și prezintă avantajul evitării întreruperii sistemului în situațiile când nu este necesar. Dat fiind că microprocesorul nu mai recepționează toate impulsurile etalon, acesta nu mai poate contoriza impulsurile în registrele interne HL. Se impune utilizarea unui numărător exterior NI. La fiecare întrerupere, când există sigur eveniment, microprocesorul citește conținutul acestui numărător și îl plasează în registrele HL, după care poate executa programul obișnuit de căutare, fără verificări sau prelucrări software.

Dat fiind că microprocesorul este mai eficient exploatat, prin completarea sistemului cu cele 3 implementări hardware, blocul de achiziție cu prelucrare hardware paralel devine o alternativă competitivă a blocului de achiziție cu prelucrare software.

În acest bloc, reprezentat în figurile 33 și 34, funcțiile de eșantionare și reținere, detectare de front și verificare a situației de "pauză" în achiziție sînt implementate în hardware, iar funcțiile de căutare a evenimentelor, formare a adresei și transfer al datelor sînt implementate în software. Formarea adresei poate fi realizată de programator, în cazul adresării directe (SHLD) sau imediate (MVI M), sau de program, în cazul adresării indirecte (MOV M,r), care, însă, nu conduce la productivitate ridicată.

Pentru estimarea performanțelor acestei configurații, se consideră monitorizarea simultană a 8 x n canale de intrare, conform schemei din figura 34 și a programului următor.

PUSH PSW	La întrerupere (cînd există eveniment) se salvează conținutul registrelor ce sînt afectate
PUSH H	vează conținutul registrelor ce sînt afectate
LHLD NI	Se încarcă registrul HL cu conținutul numărătorului de impulsuri. Achiziția este efectuată conform programului obișnuit, de n ori.
IN P1	
RRC	
JNC P2	
SHLD AD11	
P2	
IN P2	
.....	
POP H	Se reface situația inițială

POP PSW

EI

RET

Nu este inclusă în program verificarea existenței unui eveniment la fiecare citire a unui port, verificare care ar fi necesară, deoarece se știe că există eveniment, dar este posibil ca nu în respectivul octet.

Soluția verificării octetului ar conduce la creșterea timpului liber al microprocesorului, dar situația apare în maximum  $8 \times n$  cazuri într-o perioadă de rotație, rezultând o creștere neglijabilă. În schimb, verificarea octetului ar crește timpul de achiziție  $T_{max}$ , care, prin cazul cel mai defavorabil al evenimentelor simultane, ar scădea productivitatea blocului de achiziție.

Programul de achiziție destinat blocului cu prelucrare hardware paralel are o durată de  $72 + n \cdot (10 + 8 \cdot 30) = 1572$  microcicli, respectiv  $786 \mu s$  pentru 48 de posturi ( $n=6$ ). Timpul liber este dat de timpul de achiziție când nu există evenimente  $T_{min} = 0$ . Rezultă că, de exemplu, pentru rotația cea mai rapidă de 1 s, în maximum 48 de situații se face achiziție:  $48 \times 786 \mu s = 37,7$  ms. Deci, achiziția ocupă doar 4 % din timpul total de execuție al microprocesorului, dar în condiții de timp real. Programul ocupă 357 octeți ROM și nu necesită RAM.

Variantele concrete în care poate fi implementată soluția blocului de achiziție cu prelucrare hardware paralel sînt similare celor cu prelucrare software:

1. Varianta tipică prezentată, cu 1 microprocesor și cu transfer direct al datelor.

$N = 48$  posturi

$T_{max} = 756 \mu s$

$T_{min} = 0$

ROM = 357 octeți

RAM = 4 octeți ca stivă

2. Soluția cu 1 microprocesor, cu transferul datelor prin inversarea rolurilor magistralelor. Sistemul de buffere tri-state necesar crește complexitatea blocului, dar asigură un transfer mai rapid, permițînd utilizarea instrucției M/I M, IX.

$N = 56$  posturi

$T_{max} = 771 \mu s$

$T_{min} = 0$



ROM = 415 octeți

RAM = 4 octeți ca stivă

3. Soluția cu 2 microprocesoare, cu transfer direct al datelor, conduce la performanțe similare variantei 1., ( $N=48$ ) și deci nu este recomandabilă pentru acest număr de posturi de testare. Poate fi utilizată în scopuri economice, date de configurația întregii instalații. De exemplu, poate fi mai economic de utilizat 2 blocuri de achiziție de acest tip împreună cu 1 bloc de calcul, decât a folosi 2 aparate independente, care realizează atât achiziția cât și calculul, conform variantei 1.

4. Configurația cu 2 microprocesoare, care utilizează transferul rapid al datelor prin inversarea rolurilor magistralelor, conduce la performanțe similare soluției 2., deci  $N = 56$ . Această variantă este, însă, preferabilă deoarece creșterea complexității sistemului prin utilizarea unui microprocesor suplimentar nu este mai mare decât cea dată de sistemul de inversare a rolurilor magistralelor în cazul unui singur microprocesor, iar capacitatea de comandă, control și calcul se dublează.

În concluzie, blocul de achiziție cu prelucrare hardware paralel conduce la creșterea complexității, față de variantele corespunzătoare cu prelucrare software, cu aproximativ 25 - 50 %, respectiv o creștere de preț de maximum 20 %. Câștigul realizat prin această variantă este dat de următoarele caracteristici:

1. asigură o capacitate de testare sporită, fără limitări de metodă, cu aproximativ 20 %;
2. timpul total de achiziție nu depășește 4 %, comparativ cu 20 - 30 % în cazul achiziției cu prelucrare software;
3. Capacitatea de memorie ROM și RAM este similară.

Astfel, blocul de achiziție cu prelucrare hardware paralel este util în cazurile în care numărul posturilor de testare este critic, asigurând o capacitate tipică de 48 - 56 contoare, expandabilă la aproximativ dublu, prin creșterea vitezei de execuție a programului, pe variante mai rapide de microprocesoare.

Este recomandabil în configurație cu 1 singur microprocesor, deoarece timpul de achiziție este neglijabil comparativ cu timpul disponibil pentru calcul.

### 5.3. Bloc de achiziție cu prelucrare hardware serie

Acest paragraf își propune elaborarea unei configurații a blocului de achiziție, care să elimine limitările celor 2 modalități de implementare prezentate în 5.1. și 5.2.: numărul relativ redus de posturi de testare, în cazul blocului cu prelucrare software și respectiv complexitatea ridicată, în cazul blocului cu prelucrare hardware paralel.

Modalitatea originală de implementare eficientă a blocului de achiziție se bazează pe observația că microprocesorul nu utilizează corespunzător existența detectoarelor individuale de front, deoarece căutarea evenimentului se realizează secvențial. Concluzia acestei observații este că detecția de front poate fi și ea realizată secvențial, în momentul căutării bit cu bit a evenimentului, într-un detector unic de front. Implementarea hardware a acestei concluzii este prezentată în figura 35.

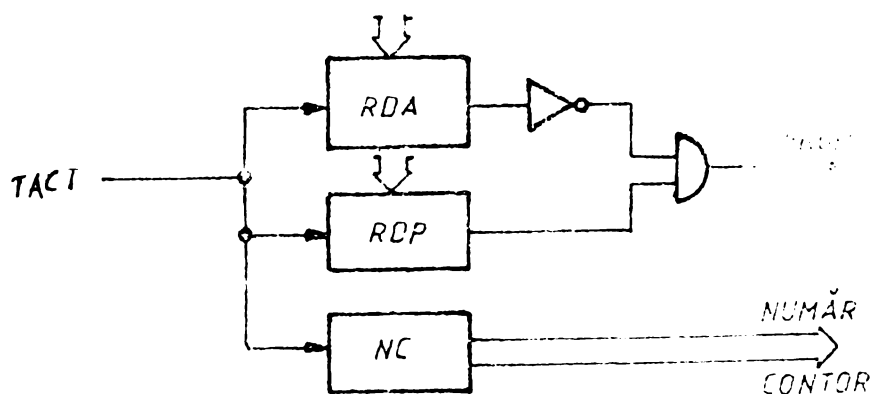


Figura 35

Schema utilizează 2 registre de deplasare, comandate de un tact unic. Registrul RDA conține stările actuale ale unui grup de canale de intrare, cu un număr de canale egal cu cel al biților magistralei de date, iar registrul RDP conține stările corespunzătoare precedentului impuls etalon, ale aceluiași grup de canale de intrare. Legirile acestor registre sînt conectate într-o schemă de detectare a frontului negativ al semnalului, realizată combinațional, cu porți logice.

Schema realizează detecția secvențială a fronturilor, sincron cu semnalul de tact. Numărul de ordine al contorului pentru care se detectează evenimentul este cunoscut prin contorizarea deplasărilor

în numărătorul NC.

Implementarea se bazează pe o configurație de complexitate minimă, care, însă, poate lucra la viteze foarte mari, independent de viteza de execuție a sistemului cu microprocesor.

Utilizarea acestei soluții într-un bloc de achiziție conduce la realizarea tuturor funcțiilor (dectecție, căutare, formare adresă și transfer de date) parțial sau integral cu mijloace hardware. Cu toate acestea, soluția cea mai eficientă include un sistem cu microprocesor, care controlează întreaga operație: realizează citirea datelor actuale, citirea datelor memorate, memorarea datelor actuale, încărcarea registrelor și numărătoarelor cu datele corespunzătoare. Rezultă, deci, că funcțiile de detectare a frontului și de formare a adresei includ operații software. Microprocesorul, în această configurație, are rolul principal de a înlocui logica cablată cu executarea unor programe eficiente, în plus, permite implementarea blocului de calcul al erorilor în același sistem.

Configurația blocului de achiziție hardware serie, realizat conform acestor concluzii, poate fi implementată într-un sistem cu microprocesor, cu schema de principiu din figura 36.

Secvența de desfășurare a operațiilor în această implementare a blocului de achiziție este următoarea:

1. La fiecare impuls etalon  $f_E$ , stările canalelor de intrare sînt reținute în porturile de intrare  $P_1 - P_n$ , microprocesorul  $\mu P$  recepționează întrerupere INT, iar numărătorul impulsurilor etalon NI, implementat hardware, este incrementat.
2. Microprocesorul efectuează transferurile de date necesare funcționării schemei secvențiale de detecție a frontului, conform figurii 35: încarcă paralel registrul RDP cu conținutul primei adrese din RAM, RAM1, respectiv cu stările corespunzătoare precedentului impuls etalon ale canalelor din portul P1, încarcă registrul RDA cu stările actuale reținute în portul P1, conținut pe care îl transferă și în memorie, la adresa RAM1, pentru prelucrări corespunzătoare următorului impuls etalon, încarcă numărătorul programabil NC cu adresa din memoria tampon în care se înscrie, dacă este necesar, numărul de impulsuri, corespunzător primului canal de intrare.
3. Microprocesorul se autocomandă cu semnalul HOLD, eliberînd magistralele de adrese și date și permițînd accesul direct la memoria tampon.

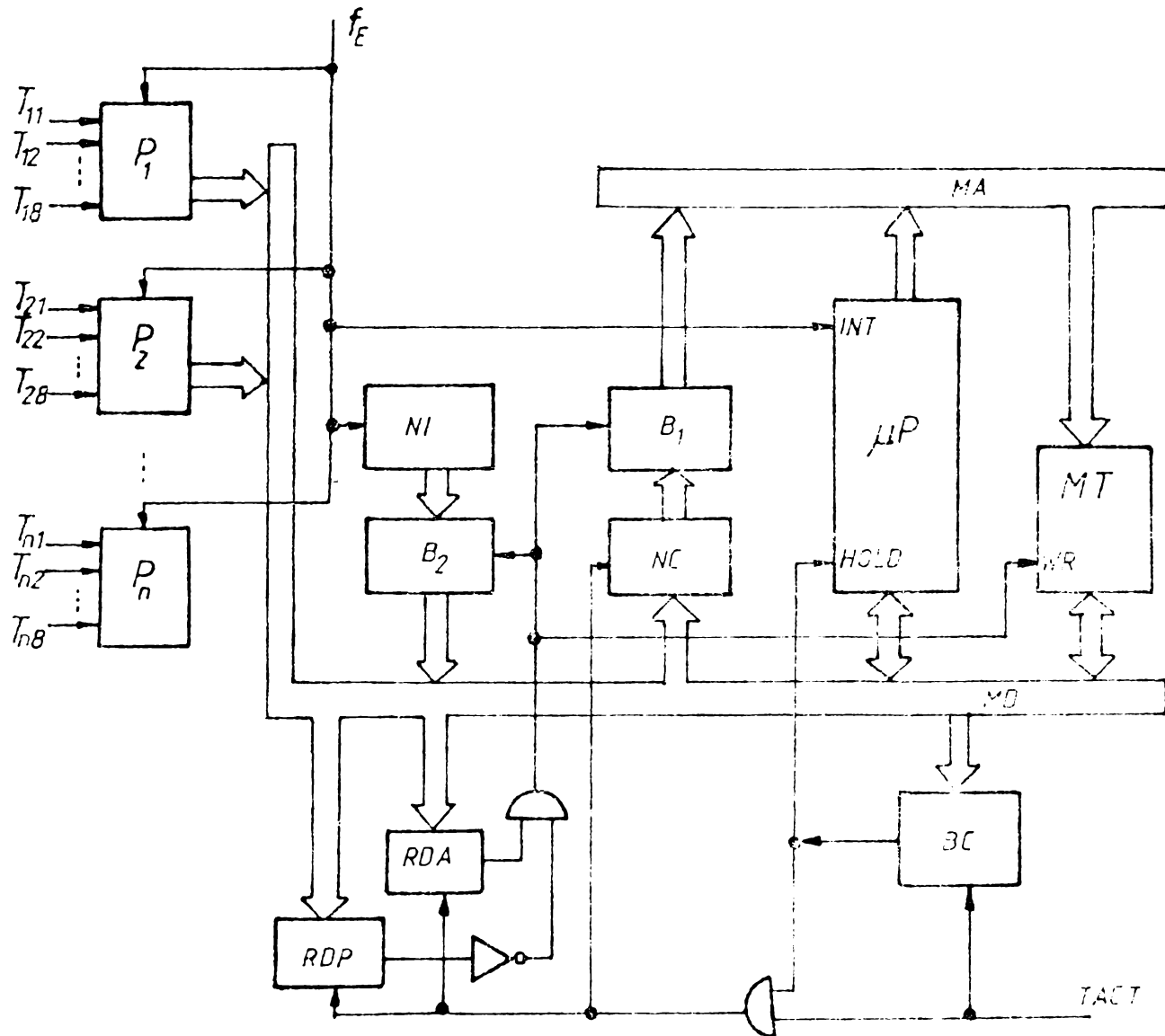


Figura 36

4. In acest moment, controlul sistemului este preluat de blocul de comandă BC, care declanșează secvența de detectare a fronturilor, prin deplasarea sincronă a datelor în registrele RDA și RDP și aplicarea ieșirilor schemei combinaționale de detecție, deplasările fiind controlizate în numărătorul programabil preîncărcat NC. La detectarea unui eveniment, schema de detecție furnizează semnal "1", care deschide bufferele tri-state B<sub>1</sub> și B<sub>2</sub>, corespunzând comandării magistralei de adrese cu conținutul numărătorului NC (care conține adresa din memoria tampon corespunzătoare controlului pentru care a fost detectat eveniment) și a magistralei de date cu conținutul numărătorului de impulsuri etalon NI, care trebuie transferat în memorie. Aplicând acest semnal la intrarea de comandă a seriei Wh în memoria MT,

se va înscrie la adresa corespunzătoare contorului analizat numărul de impulsuri curent, care interesează, conform metodei originale a achiziției centralizate. Operația se desfășoară în 8 tacte, cu viteză constantă (dată de timpul de acces al memoriei), independent de existența evenimentelor pe vreunul din canale.

5. Blocul hardware, după încheierea celor 8 deplasări și, eventual, înscrieri în memorie, comandă ieșirea microprocesorului din starea HOLD, moment în care acesta preia din nou controlul magistralelor și al operațiilor. Se repetă toate operațiile de la 2. la 5., continuând cu portul  $P_2$  și adresa RAM2 și până la portul  $P_n$  și adresa RAMn.

6. Operațiile de achiziție au fost încheiate. Microprocesorul permite noi întreruperi și revine la programul din care a fost întrerupt, de exemplu cel de calcul al erorilor de măsurare, pe baza datelor furnizate în timpul achiziției.

Sarcinile software ale configurației hardware prezentate, pentru  $8 \times n$  canale de intrare, sînt executate conform programului de mai jos:

PUSH H	- în configurația cu 1 microprocesor sînt necesare operații de salvare în stivă;
PUSH PSW	
LXI H, RAM 1	- se prepoziționează adresa din RAM la care urmează să se facă scrieri și citiri;
MOV A, M	
OUT RLP	- se încarcă stările precedente;
IN P1	- se citește un port de intrare, datele fiind transferate în memorie și registrul de deplasare;
MOV M, A	
OUT RLA	
.....	- microprocesorul în HOLD, operații hardware;
INX H	- se re-poziționează adresa din RAM pentru citiri și scrieri;
MOV A, M	
OUT RLP	- operațiile se repetă pentru fiecare port;
IN P2	
MOV M, A	
OUT RLA	
.....	
.....	
POP PSW	- se refac condițiile inițiale și se permit noi întreruperi.
POP H	
EI	
RET	

Secvența corespunzătoare unui port de intrare durează 49 de microcicli, cea a primului port fiind de 54, la care se adaugă instrucțiunile de început și sfârșit, care se execută o singură dată: 56 microcicli. Pentru analiza a  $8 \times n$  canale rezultă o durată de execuție de  $56 + 54 + (n-1) \cdot 49$ . Acest rezultat permite testarea simultană a aproximativ 200 de contoare, ceea ce depășește considerabil necesitățile și posibilitățile simulatoarelor de sarcină. Din acest motiv, în continuare vom considera capacitatea de 128 de contoare ca o limită a necesităților industriale, pentru care rezultă un timp de achiziție  $T_{max} = 422,5 \mu s$ .

Analiza acestui program impune următoarele observații:

1. Programul este foarte rapid, deoarece nu trebuie să realizeze nici o operație cu bit, ci doar cu octet, și nu conține elemente de decizie, acestea fiind executate prin hardware.
2. Instrucțiunile de transfer de date sînt cele mai rapide, adresîndu-se registrele ca porturi de ieșire, cu instrucții cu adresare imediată, ceea ce conduce la afectarea unui spațiu de memorie ROM mai mare (care, totuși, nu depășește 152 de octeți).
3. Programul nu utilizează încărcarea numărătorului programabil NC la fiecare citire a unui port, bazîndu-se pe realizarea automată a acestei operații. Primul octet al numărătorului este fix, indicînd pagina de memorie în care se fac transferuri de date. Cel de-al doilea octet este permanent actualizat, conținînd în cei 4 biți mai semnificativi adresa portului curent (0000 - 1111), următorii 3 biți indicînd poziția contorului analizat, din același port (000 - 111), ultimul bit fiind necesar pentru validarea alternativă a conectării celor 2 octeți pe magistrala de date de numai 1 octet. Rezultă că, odată încărcat, numărătorul poate număra continuu, asigurînd adresele corespunzătoare celor 128 de contoare, analizate în grupe de cîte 8, cu condiția ca, la trecerea de la un grup de 8 la următorul, să fie blocat, cît timp microprocesorul comandă transferurile de date. Observația conduce la utilizarea secvenței de program:

```
MVI A, RAM IX  
OUT NC
```

doar la începutul testării contoarelor și nu la fiecare citire de port și nici chiar la fiecare întrerupere. Datorită acestei implementări hardware, pentru 128 de contoare, se obține o scurtare a timpului de achiziție cu 30 %.

4. Operațiile de transfer al datelor în memoria tampon pot fi implementate fără dificultate și prin mijloace hardware, utilizarea microprocesorului nefiind absolut necesară. Pe de o parte, însă, aceasta conduce la creșterea complexității schemei, cu circuite de generare a adreselor, am semnalelor de validare, la utilizarea unei memorii RAM de 16 octeți independentă, complexitate mult redusă prin implementarea microprocesorului în acest scop. Pe de altă parte, sistemul cu microprocesor nu are doar rolul de a înlocui logica cablată a acestei scheme, el realizând și funcții de interfață cu celelalte componente ale unei instalații industriale de testare a contoarelor, de implementare a blocului de calcul, de prelucrare a rezultatelor și extragerea lor într-o formă prelucrată. Se preferă, deci, implementarea acestor funcții prin software, dat fiind că timpul de execuție nu afectează capacitatea de testare a sistemului.

5. Durata programului de achiziție analizat nu determină direct capacitatea de testare a blocului de achiziție cu prelucrare hardware serie, deoarece la timpul de execuție al acestuia se mai adaugă căutarea evenimentelor bit cu bit, realizată prin hardware, cu o viteză dependentă doar de timpul de acces al memoriei tampon.

6. Deoarece programul nu conține elemente de decizie, rezultă că el se desfășoară liniar, deci are aceeași durată, independent de apariția evenimentelor. Aceasta conduce la concluzia că microprocesorul nu are timp liber suplimentar în situațiile în care nu este detectat nici un eveniment, adică  $T_{\min} = T_{\max}$ . Verificarea octeților citiți nu poate aduce nici o îmbunătățire, dat fiind că aceștia nu conțin fronturile detectate ci nivelul mărcilor, care poate apărea pentru zeci de impulsuri etalon. Se evidențiază astfel o limită a blocului de achiziție cu prelucrare hardware serie: timpul liber al microprocesorului, destinat executării altor sarcini.

În concluzie, programul prezentat asigură testarea a 128 de posturi, fără ca aceasta să fie o limită a metodei, într-un interval de 422,5  $\mu$ s, independent de starea particulară a intrărilor. La acesta se adaugă durata prelucrării hardware, care poate fi estimată din analiza funcționării blocului de comandă hardware, reprezentat în figura 27, pentru aceeași capacitate de 128 canale, care nu reprezintă o limită a implementării nici în acest caz.

Schema prezintă în detaliu blocul de comandă hardware, care controlează funcționarea sistemului de achiziție în timpul cât micropro-

ceasul este oprit, și în principiu sistemul de transfer al datelor.

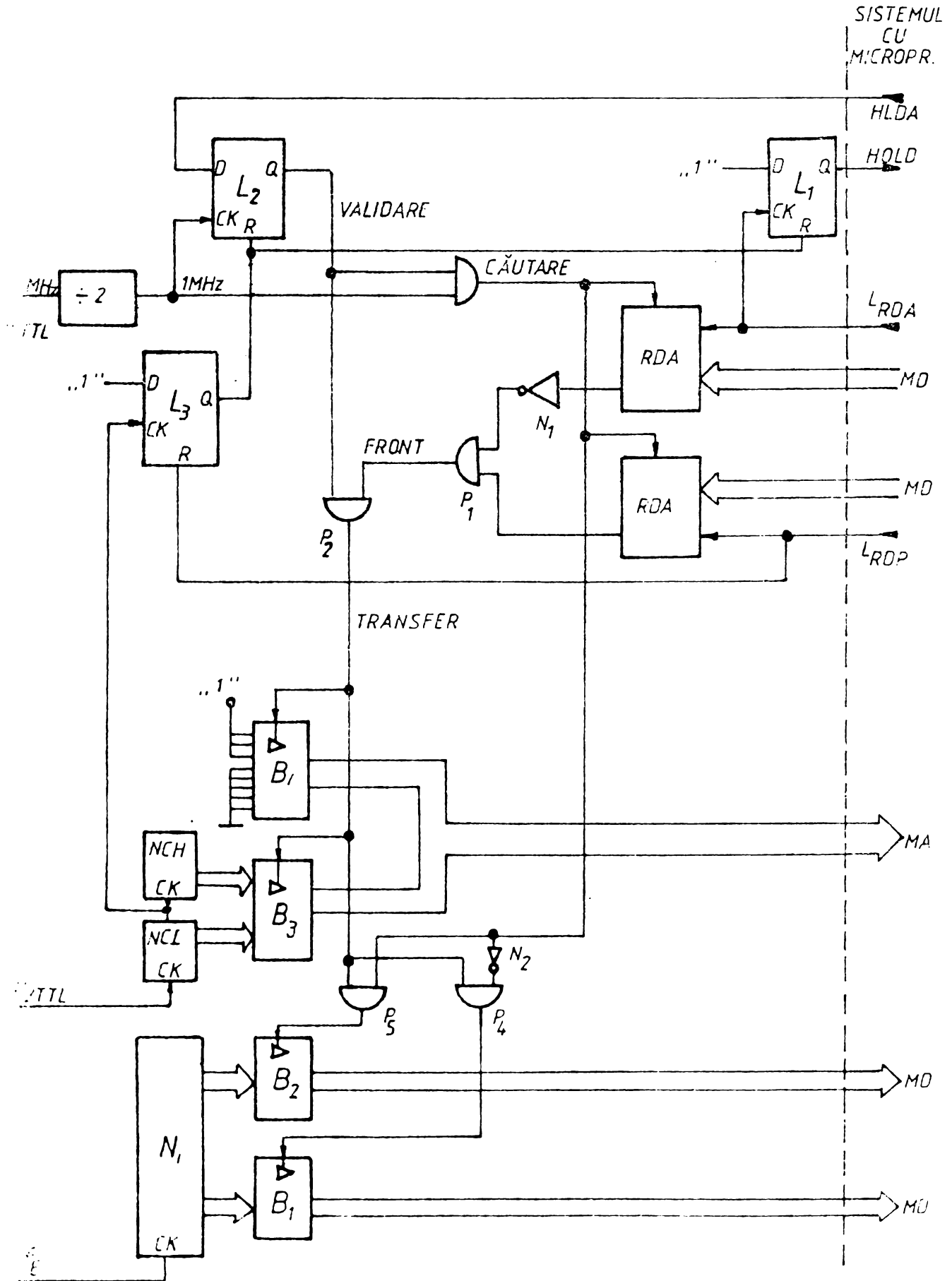


Figura 37



Funcționarea secvențială a schemei este prezentată, în etape, în continuare:

1. După ce microprocesorul a executat programul de pregătire a datelor în registrele corespunzătoare, acesta trebuie să furnizeze un semnal HOLD, în vederea autooprării sale. Acest semnal, pentru a nu încălca programul cu instrucții destinate generării semnalelor hardware, este preluat din ultimul ciclu de mașină al ultimei instrucții executate. Instrucția fiind OUT RDA, frontul posterior al semnalului de încărcare a registrului de deplasare, LOAD RDA, poate fi considerat ca semnal de sfârșit al activității microprocesorului. Acest front este detectat în bistabilul de tip D,  $L_1$ , care generează semnalul HOLD. Microprocesorul, după recepționarea cererii, își încheie ciclul de mașină în curs de execuție (ultimul al instrucției OUT RDA), după care își trece magistralele în starea de înaltă impedanță, necesară accesului direct la memorie, DDA, stare validată prin semnalul de răspuns ALDA. Soluția este prezentată în configurație uniprocessor, dată fiind capacitatea mare de prelucrare a acestui sistem de achiziții, ceea ce conduce la autooprirea sistemului și nu la oprirea unui sistem asociat, destinat blocului de calcul. În cazul unui sistem multimicroprocesor, blocul hardware își păstrează configurația, cu observația că transferul se face în memoria unui al doilea sistem, de calcul.

2. Semnalul de răspuns, ALDA, se sincronizează cu semnalul de tact al blocului, semnal care asigură deplasarea datelor în registrele RDA și RDP, ca și numărarea deplasărilor în numărătorul MC și validarea alternativă a bufferelor magistralei de date,  $D_1$  și  $D_2$ . Pentru transferul corespunzător primului contor, aște cărui semnale se află în acel moment la ieșirile registrelor, este necesar ca semnalul de tact să dureze o perioadă întreagă, înainte de prima deplasare. Astfel, dacă se detectează front și sînt necesare 2 transferuri de date, corespunzător unui nivel "0" pe bitul cel mai puțin semnificativ, de durată 500 ns și unui nivel "1" de 500 ns, s-ar putea ca timpul de comandă a memoriei să nu fie suficient sau chiar să se piardă prima stare, de "0". Se impune, deci, sincronizarea startului operației de căutare cu un front corespunzător semnalului de tact (bistabilul  $L_2$ ), de 1 MHz, obținut prin divizarea frecvenței standard de 2 MHz, pentru asigurarea unui timp de acces la memorie de 500 ns pentru fiecare stare.

3. Semnalul de VALIDARE obținut declanșează căutarea bit cu bit prin deplasarea sincronă a datelor în registrele de deplasare ce conțin stările actuale și precedente ale canalelor de intrare. La detectarea unui

front negativ, corespunzător apariției măreii, se generează semnalul de TRANSFER. Acesta validează conectarea pe magistrala de adrese a octetului constant ce selectează pagina de memorie, prin bufferul tri-state  $B_4$  și a octetului ce conține numărul contorului în cei 7 biți mai semnificativi și 1 bit care furnizează succesiv ambele stări pe durata acestei detecții. Numărul de impulsuri este transferat în memorie, la adresele astfel formate, în 2 tacte. Pentru nivel "0" al bitului de adresă se selectează bufferul  $B_1$  și se transferă la o adresă pară octetul mai puțin semnificativ al numărătorului. Pentru nivel "1", deci la adresa următoare, se validează bufferul  $B_2$  și se transferă octetul mai semnificativ al numărătorului. Operația se repetă de 8 ori, cu transfer de date sau fără.

4. După 8 operații a câte 2 stări, deci 16 tacte, faza de căutare trebuie să se încheie. Situația este detectată cu semnalul CARRY furnizat de numărătorul de 4 biți NCL numărătorului de 4 biți NCH. Frontul acestui semnal este detectat în bistabilul de tip D,  $L_3$  și comandă invalidarea căutării și transferului în continuare, prin bistabilul  $L_2$ , ca și eliberarea din HOLD a microprocesorului, prin bistabilul  $L_1$ .

5. Microprocesorul funcționează din nou, rulând programul de transfer al datelor. La execuția instrucției de încărcare a registrului RDP, semnalul de înscriere comandă RESET la bistabilul  $L_3$ , care conduce la încheierea semnalului RESET aplicat bistabilelor  $L_1$  și  $L_2$ . Această comandă este necesară pentru evitarea autoblocării schemei, prin menținerea unui semnal continuu la intrarea RESET a bistabilelor.

Schema utilizează mai puțin de 25 de circuite integrate TTL, SSI și MSI (10 numărătoare și registre de 4 biți, 8 buffere tri-state, bistabile și porți), ceea ce reprezintă o complexitate total nesemnificativă pentru o instalație ce realizează testarea a 128 de contoare simultan. Comparativ cu blocul de achiziție cu prelucrare hardware paralel, această complexitate este egalată de circuitele necesare prelucrării datelor pentru aproximativ 25 de canale de intrare. Rezultă, deci, o creștere a complexității blocului, față de soluția cu prelucrare software, de 4-5 ori mai mică decât în cazul prelucrării paralele.

Timpul de analiză secvențială a acestei scheme este dat de frecvența de tact utilizată. Numărul de tacte necesar este 16, pentru a asigura câte 2 stări ("0" și "1") pentru fiecare din cele 8 canale

analizate. Se mai pot pierde între 0 și 2 tacte pentru sincronizarea semnalului HLDA, deci rezultă maximum 18 tacte pentru 8 canale. Trecerea din HOLD în starea activă se realizează rapid, fără întârzieri similare celor trecerii în HOLD. (Timpul de reacție al microprocesorului, între comanda HOLD și răspunsul HLDA, nu este contorizat în această analiză, deoarece el a fost luat în calcul în analiza programului software).

Durata unei stări poate fi redusă extrem de mult, utilizând circuite TTL rapide. Limita este impusă, însă, de timpul de înscriere în memoria tampon. O memorie tipică, din aceeași generație tehnologică cu microprocesorul 8080-A, reclază o durată de 450 ns pentru înscrierea sigură a datelor. Utilizând frecvența disponibilă în sistem  $\phi$ 2TTL, de 2 MHz, rezultă o perioadă de 500 ns și, deci, durata analizei hardware serie este de maximum 9  $\mu$ s. Repetat pentru fiecare port de intrare, timpul rezultă 144  $\mu$ s.

Trebuie observat că în situația în care acest timp este la limită, el poate fi redus prin utilizarea unei memorii RAM mai rapide. Reduceri de 2 - 3 ori pot fi obținute utilizând memorii MOS în tehnologie actuală. Reduceri mai mari devin nesemnificative comparativ cu durata de execuție a programului de către microprocesor. În această situație se impune și reducerea acestui timp, prin utilizarea unui microprocesor mai rapid, conducând la creșterea capacității de prelucrare.

Pentru a permite compararea performanțelor blocului de achiziție cu prelucrare hardware serie cu celelalte blocuri prezentate în paragrafele 5.1. și 5.2., se determină capacitatea de prelucrare a acestui bloc la frecvența tipică de tact, de 2 MHz.

Blocul de achiziție cu prelucrare hardware serie poate fi implementat în 2 variante.

1. Configurație uniprocessor, convenabilă datorită capacității mari de testare. Timpul necesar prelucrării primare este  $61 + n \cdot (49 + 18)$ , unde  $n$  este numărul porturilor de 8 biți. 61 de microcicli durează programul comun de salvări în stivă și inițializări, 49 microcicli prelucrarea software pentru un port, iar 18 tacte prelucrarea hardware pentru un port. Acești timpi conduc<sup>te</sup> următoarele caracteristici:

$N = 192$  posturi

$T_{max} = 834,5 \mu s$

$T_{min} = 834,5 \mu s$

Valorile obținute sînt utile doar pentru comparații cu celelalte soluții, deoarece, în configurație uniprocessor sistemul de achiziție nu poate încărea la maximum timpul microprocesorului (dincau- să că  $T_{min} = T_{max}$ ) pentru că nu mai rămîne timp pentru prelucrarea secundară a datelor. Se impune, astfel, cu necesitate testarea unui număr de posturi mai mic decît limita de 192, cu atît mai mic, cu cît durează mai mult prelucrarea secundară, (capitolul 6).

Pentru configurația particulară prezentată, caracteristicile sînt următoarele:

$N = 128$  posturi

$T_{max} = 566,5 \mu s$

$T_{min} = 566,5 \mu s$

$T_{calcul} = 0,3 s$

ROM = 152 octeți

RAM = 4 octeți stivă + 16 octeți RAM

Condiția care trebuie îndeplinită de blocul de calcul, implementat în același sistem cu microprocesor, este de a realiza calculul tuturor erorilor în timpul liber rămas, 0,3 s în situația probelor rapide de 1 s.

2. Configurația cu 2 microprocesoare permite încărcarea la maximum a microprocesorului cu sarcini de achiziție, și nu mai necesită operații de salvare în stivă și inițializare. În aceste condiții, caracteristicile implementării sînt următoarele:

$N = 200$  posturi

$T_{max} = 845,5 \mu s$

$T_{min} = 845,5 \mu s$

ROM = 228 octeți

RAM = 25 octeți

Pentru a asigura un timp de calcul cît mai mare celui de al doilea sistem, transferul datelor poate fi făcut prin intermediul unei memorii tampon și nu prin DMA, ceea ce asigură  $T_{HOLD} = 0$ . În aceste condiții, timpul de calcul în condițiile probelor rapide este  $T_{calcul} = 1 s$ .

În concluzie, blocul de achiziție cu prelucrare hardware serie are următoarele caracteristici:

- complexitate scăzută raportată la numărul canalelor de intrare,
- posibilitatea testării simultane a mai mult de 100 de posturi, în timp real, cu o unitate unică de achiziție,
- posibilitatea implementării, fără modificări, în configurație uniprocessor sau multiprocessor,

- timp liber, destinat efectuării calculului, relativ redus, raportat la numărul posturilor de testare.

Ultima caracteristică reprezintă principala limită a blocului prezentat. În situația în care timpul de calcul nu este suficient, se pot lua următoarele măsuri:

1. elaborarea unui algoritmu de determinare a erorilor cu eficiență sporită (de exemplu cel prezentat în paragraful 6.4.);
2. utilizarea unei memorii RAM mai rapide, pentru reducerea timpului de prelucrare hardware;
3. utilizarea unui sistem cu microprocesor mai rapid, pentru reducerea timpului total de prelucrare;
4. utilizarea unui sistem multimicroprocesor, în care al doilea sistem este destinat prelucrării secundare a datelor;
5. medierea rezultatelor pe mai multe rotații sau determinarea erorilor din 2 în 2 rotații, în cazul probelor rapide; soluția este acceptabilă atât în verificarea metrologică (timpul este scurt), cât și în etalonare, deoarece în aceste probe nu se mai efectuează reglaje, ci doar se verifică dacă reglajele anterioare sînt corespunzătoare.

Cea de a doua caracteristică prezentată subliniază că acest bloc de achiziție, în configurația originală propusă de autor, asigură cea mai mare capacitate de testare în timp real, dintre toate sistemele cu microprocesor. Capacități similare nu pot fi realizate decât de metode care realizează prelucrarea primară a datelor prin mijloace exclusiv hardware, în paralel pe fiecare canal (conversia de frecvență și calculul cu minicalculator). Aceste metode, însă, chiar cu îmbunătățirile aduse de utilizarea microprocesoarelor, conform configurațiilor originale propuse de autor în capitolul 2, conduc la o complexitate cu cel puțin un ordin de mărime mai ridicată.

Prin realizarea blocului de achiziție cu prelucrare hardware serie, cu caracteristicile prezentate, se egalează singurul avantaj al metodelor cu achiziție hardware individuală : numărul nelimitat de posturi. Capacitatea de peste 100 de posturi asigurată este o limită tehnologică a testării contoarelor, deoarece nu se realizează simulatoare de sarcină cu puteri de ieșire care să asigure capacități mai mari de testare. Pe de altă parte, acest număr nu este o limită a metodei, capacitatea putînd fi mărită prin soluțiile amintite în cazul celorlalte blocuri des achiziție controlate de microprocesor.

#### 5.4. Performanțele blocurilor de achiziție

Criteriile care pot fi luate în considerare pentru compararea modalităților de implementare a blocului de achiziție, conform metodei originale a achiziției centralizate, controlată de microprocesor, sînt:

1. timpul de achiziție în cazul cel mai defavorabil  $T_{MAX}$ , care limitează numărul de posturi, pentru o frecvență dată a impulsurilor etalon;
2. complexitatea hardware a blocului;
3. timpul disponibil al microprocesorului  $T_{calcul}$ , care poate fi utilizat pentru implementarea blocului de calcul în același sistem;
4. capacitatea de memorie ROM și RAM necesare implementării;
5. posibilități de extensie a sistemului, de implementare a blocului într-o configurație multimicroprocesor, de realizare a transferului rapid de date.

În funcție de aceste criterii, se analizează sintetic soluțiile originale prezentate în paragrafele 5.1. - 5.3., în condiții identice de rezoluție.

Rezoluția este practic asigurată de frecvența etalon de 1 kHz. În cazul contorului etalon, cînd mărimile electrice nu sînt calibrate se poate adăuga o variație de  $\pm 20\%$ , ceea ce conduce la un interval minim de prelucrare primară de 833  $\mu$ s. De observat că, în cazul metodei timp-putere, frecvența impulsurilor etalon este o constantă, ceea ce conduce la o creștere a productivității sistemului de aproximativ 20%, comparativ cu cea determinată pentru 833  $\mu$ s.

Blocul de achiziție cu prelucrare software ~~XXXXXXXXXXXX~~ se caracterizează prin complexitate minimă și capacitate de prelucrare medie. Pentru transferul direct al datelor, soluția cu un singur microprocesor este mai eficientă, cea cu 2 microprocesoare neducînd un câștig de productivitate, ci doar de timp de calcul, care în general nu este critic (capitolul 6). Pentru transferul datelor pe magistrale inversate este preferabilă soluția cu 2 microprocesoare, care permite o implementare mai simplă a acestei soluții, conducînd, în plus, și la timp de calcul suplimentar.

Blocul de achiziție cu prelucrare hardware paralel se caracterizează prin complexitate medie sau mare și capacitate de prelucrare

medie. Soluția asigură cel mai lung timp de execuție microprocesorului pentru calcul, rezultând aplicarea eficientă a soluției în configurație uniprocessor. Creșterea complexității datorită transferului de date pe magistrale inversate, deși nu este semnificativă, nu este utilă decât dacă numărul de posturi este critic.

Blocul de achiziție cu prelucrare hardware serie se caracterizează prin cea mai mare capacitate de testare și prin complexitatea relativă cea mai mică. Soluția cu 2 microprocesoare este utilă doar în situațiile în care algoritmul de determinare a erorilor reclamă un timp mai lung decât cel disponibil. În general, însă, soluția cu 1 microprocesor este acoperitoare, deoarece nu se utilizează în instalații de testare a contoarelor cu mai mult de 100 de posturi, din motive de putere de ieșire a simulatoarelor de sarcină.

Principalele caracteristici ale acestor implementări originale ale blocului de achiziție sînt prezentate în tabelul din figura 38.

BLOCUL PARAMETRUL	SOFTWARE				HARD. PARALEL		HARD. SERIE		U.M.
	1 $\mu$ P DIR.	1 $\mu$ P INV.	2 $\mu$ P DIR.	2 $\mu$ P INV.	1 $\mu$ P DIR.	1 $\mu$ P INV.	1 $\mu$ P DIR.	2 $\mu$ P DIR.	
$T_{max}/post$	19,6	17,0	19,6	17,2	16,4	13,8	4,4	4,2	$\mu$ s
N	40	48	40	48	48	56	128	200	post
ROM	207	393	297	397	357	415	152	228	oct.
RAM/post	7,2	8,1	7,4	8,3	7,4	7,4	1,2	1,1	oct.
RAM	10	3	2	2	4	4	23	25	oct.
$\eta_{calcul}/m_{total}$	77	73	177	173	96	96	30	100	%
$T_{calcul}/post$	19	15	25	21	20	17	2,3	5	ms
Complexitate relativă	1	1,5	1,5	1,6	1,8	2,2	2,5	3,5	
Complexitate re- lativă/post	25	31	37	33	37	39	19	17	$\times 10^{-3}$

Figura 38

Tabelul evidențiază următoarele:

1. cel mai rapid este blocul cu prelucrare hardware serie, cu 4,4  $\mu$ s/post;
2. cea mai mare productivitate este asigurată, implicit, de blocul hardware cu prelucrare serie, 128 - 200 posturi;

3. capacitatea memoriei ROM este rezonabilă în toate implementările, totuși se distinge soluția cu prelucrare hardware serie, cu 1,2% coteți pe post;
4. capacitatea memoriei RAM este neglijabilă în toate implementările, limitându-se la stivă și memorarea stărilor precedente ale canalelor; de subliniat că memoria tampon în care se transferă datele face parte integrantă din blocul de calcul asociat;
5. timpul de calcul este în general lung și foarte lung (în cazul prelucrării hardware paralel și în cazul implementărilor cu 2 microprocesoare) fiind, însă, critic în cazul blocului cu prelucrare hardware serie;
6. complexitatea raportată la numărul de posturi este minimă în cazul prelucrării hardware serie.

Această analiză pune în evidență faptul că din cele 8 implementări utilizate, 4 au caracteristici distincte, fiind grupate în tabelul din figura 39.

BLOCUL PARAMETRUL	SOFTWARE	SOFTWARE	HARDWARE	HARDWARE	
	1 $\mu$ P DIR.	2 $\mu$ P INV.	1 $\mu$ P DIR.	1 $\mu$ P DIR.	
Număr posturi	40	48	48	128	
Timp disponibil pt. calcul/post	19	15	20	2,3	ms
Complexitate re- lativă/post	25	33	37	19	$\times 10^{-3}$

Figura 39

În generalisig, pentru un număr mai mic de posturi (sub 40) este recomandabilă soluția cu prelucrare software, cu complexitatea cea mai mică în aceste condiții. Pentru o instalație cu număr mare de posturi (peste 100) este preferabilă soluția hardware serie, care conduce la complexitatea minimă, în raport cu utilizarea mai multor blocuri de achiziție cu prelucrare software. Pentru asigurarea unui timp de calcul lung pot fi utilizate variantele cu prelucrare hardware paralel sau software cu 2 microprocesoare.

Cele 4 implementări originale propuse de autor acoperă, practic, întreg domeniul de necesități ale blocului de achiziție centralizat. Aceste soluții conduc la complexități inferioare cu cel puțin 1 ordin



de mărime comparativ cu soluțiile originale ale autorului propuse, în capitolul 2, pentru îmbunătățirea performanțelor metodelor cunoscute, caracterizate prin achiziție hardware individuală.

Această ultimă concluzie evidențiază faptul că performanțele superioare obținute în implementările prezentate în acest capitol (complexitate redusă și productivitate mare) nu sînt rezultatul implementării microprocesoarelor într-o instalație (carecure) de testare a contoarelor, ci a elaborării unei noi metode de achiziție, ce reprezintă invenție brevetată a autorului, destinată exploatării eficiente a puterii de control a microprocesorului.

## Capitolul 6

### MODALITATI DE REALIZARE A BLOCULUI DE CALCUL ASOCIAT BLOCULUI DE ACHIZITIE CENTRALIZATA

Problema calculului numeric al erorii contoarelor de energie nu este nouă: ea a apărut odată cu implementarea metodei bazată pe numărarea individuală a impulsurilor etalon, urmată de efectuarea succesivă a calculelor, cu ajutorul unui minicalculator. Principala deficiență a programelor de calcul cunoscute este timpul lung de execuție, care nu permite utilizarea calculatorului în instalații de timp real.

Acest capitol își propune găsirea unor modalități eficiente de determinare, prin calcul numeric, a erorilor contoarelor de energie, care, utilizând microprocesoare mai puțin performante decât minicalculatoarele, să furnizeze erorile, pentru toate posturile, în timp real. Rezolvarea acestei probleme conduce la exploatarea caracteristicilor superioare ale blocurilor de achiziție centralizată prezentate.

#### 6.1. Introducere

Fiecare implementare a blocului de achiziție centralizată, prezentată în capitolul 5, asigură transferul numărului de impulsuri etalon curent în locații corespunzătoare fiecărui post de testare, într-o memorie RAM, la fiecare încheiere a rotației discului. Aceasta poate fi memoria blocului de achiziție, în configurația uniprocessor, poate fi memoria sistemului de calcul, încălecată prin DMA, într-un sistem multimicroprocesor, sau poate fi o memorie tampon, încălecată de blocul de achiziție și citită de blocul de calcul.

Funcția blocului de calcul este realizată, în primul caz, de același microprocesor care realizează și achiziția, în momentele următoare revenirii din tratarea întreruperii, specifică achiziției. În al doilea caz, microprocesorul execută continuu funcțiile caracteristice blocului de calcul, fiind oprit doar pentru actualizarea datelor (HOLD) în momente dictate de blocul de achiziție ce lucrează în condiții de timp real. În a treia variantă, sistemul execută con-

tinuă funcțiile blocului de calcul, citind datele din memoria tampon la momente stabilite de blocul de calcul. Condiția restrictivă, realizată prin hardware, cu semnalul READY, este de a nu citi memoria în timpul în care blocul de achiziție face înscrieri de date. Într-o astfel de situație conflictuală, blocul de achiziție are prioritate, în timp ce execuția operației de citire a blocului de calcul este "lungită", similar citirii unei memorii lente, pînă la eliberarea magistralelor memoriei tampon (paragraful 4.4.).

În concluzie, indiferent de implementare, blocul de calcul execută programul de determinare a erorilor în mod continuu, putînd fi întrerupt, oprit sau nu, pe baza datelor actualizate permanent în memoria RAM.

Instalațiile industriale destinate determinării erorilor controanelor se utilizează, în general, atît în etalonare, cît și în verificarea metrologică. Utilizarea lor în etalonare recăsmă furnizarea rezultatelor în timp real, respectiv la fiecare încheiere a unei rotații, pentru a putea aprecia rapid efectul unui reglaj manual. Din acest motiv, se impune determinarea cazului cel mai defavorabil.

Timpul cel mai scurt de calcul este în probele rapide, de suprasarcină, în care o perioadă de rotație a discului este de aproximativ 1 s. Rotații mai rapide nu se obțin, deoarece la viteze mai mari ale discului frecările în lagăre și cu aerul devin inacceptabil de mari.

Pe durata unei perioade nominale trebuie să se încheie o rotație completă pentru fiecare post de testare. Rezultă, deci, că blocul de calcul trebuie să determine erorile de măsurare pentru toate cele  $N$  posturi pe durata unei rotații a discului, ceea ce în cazul cel mai defavorabil este  $1/N$  s.

Pentru diferitele implementări ale blocului de achiziție, funcție de numărul de posturi și de timpul disponibil pentru calcul al microprocesorului, conform tabelului din figura 39, se obțin următoarele durate limită pentru determinarea erorii unui contor:

- bloc de achiziție cu prelucrare software, cu 1  $\mu$ P: 19 ms,
- bloc de achiziție cu prelucrare software, cu 2  $\mu$ P: 15 ms,
- bloc de achiziție cu prelucrare hardware paralel : 20 ms,
- bloc de achiziție cu prelucrare hardware serie : 2,3 ms.

Este de dorit, totuși, ca timpul de reacție al testorului să

(intervalul de timp între trecerea mărcii și apariția erorii) să fie cât mai scurt, ceea ce înseamnă ca timpul efectiv de calcul să fie cât mai scurt.

Următoarea observație permite obținerea unui timp de reacție innesizabil de operator, doar prin reducerea la jumătate a timpului de calcul. În mod obișnuit, blocul de calcul execută programul de determinare a erorilor în mod ciclic, de la postul 1 la N, după care revine operațiile. O altă ordine de execuție a operațiilor nu este utilă, deoarece microprocesorul blocului de calcul nu "știe" în ce ordine au fost recepționate evenimentele, pentru a le prelucra în acea ordine. Pe de altă parte, în situația defavorabilă când se recepționează mai multe evenimente simultan, problema se reduce tot la situația baleierii tuturor posturilor.

În situația în care timpul de calcul este  $T_{limită}/2$ , microprocesorul are timp să parcurgă de 2 ori tabelul de date pentru a efectua calculele, ceea ce ar conduce la înjumătățirea timpului de reacție. Dar, în noua situație, perioada de baleiaj fiind de 2 ori mai mică, doar jumătate din posturi,  $N/2$ , în medie, necesită un nou calcul. Aceasta înseamnă că sînt necesare de 2 ori mai puține calcule, ceea ce conduce la un timp de baleiere de 2 ori mai scurt:  $T_{limită}/4$ , și așa mai departe. Se obține, în final, o structură a programului de determinare a erorilor formată din verificări de apariție a evenimentului (marea majoritate cu rezultat negativ) și câteva determinări de erori, care vor apărea afișate practic instantaneu cu trecerea mărcii.

În concluzie, timpul de reacție al testorului poate fi redus la minimum doar prin asigurarea unui timp de determinare a erorilor egal cu jumătate din timpul disponibil. Concluzia este obținută în condiții statistice, deci nu este aplicabilă situațiilor particulare defavorabile cu număr mare de evenimente simultane.

Rezultă că datele impuse blocului de calcul sînt determinarea erorii unui contor în 10 ms pentru primele 3 variante ale blocului de achiziție și, respectiv, 1 ms pentru cea de a 4-a.

Este cunoscut faptul că instalațiile de determinare a erorilor, conform metodelor cunoscute, nu realizează aceste performanțe /61/. Metoda conversiei de frecvență realizează determinarea erorii prin hardware, individual. Metoda calculului cu minicomputer, care realizează calculul centralizat, secvențial, nu realizează timpi de calcul atât de scurți.

Pentru a realiza performanțele necesare, utilizând un microprocesor uzual, mai puțin performant decât minicalculatoarele cunoscute, se urmăresc 2 căi. O primă soluție este programarea microprocesorului în limbajul de asamblare (și nu într-un limbaj superior, caracteristic minicalculatoarelor) și utilizarea unor subrutine specializate (nu generale) mai rapide. O a doua soluție este de concepere a unor algoritmi de calcul care să permită determinarea erorii printr-un număr minim de operații, de durată cât mai scurtă.

Urmărind aceste căi de soluționare a problemei timpului de calcul, acest capitol prezintă 2 modalități originale de determinare a erorilor, destinate implementării alături de oricare din blocurile de achiziție prezentate în capitolul 5.

## 6.2. Schemă bloc

Eroarea de măsurare a contorului testat se determină cu relația definită în standarde / 75/:

$$e_r = \frac{W_{\text{măsurat}} - W_{\text{etalon}}}{W_{\text{etalon}}} \cdot 100 \%, \quad (1)$$

care în cazul utilizării unor impulsuri etalon, devine /54/:

$$e_r = \frac{N_{\text{nominal}} - N_{\text{măsurat}}}{N_{\text{măsurat}}} \cdot 100 \%. \quad (3)$$

În această relație  $N_{\text{măsurat}}$  este preluat din memoria RAM, pentru fiecare contor, iar  $N_{\text{nominal}}$  este o valoare constantă, în condiții date (constanta etalonului, constanta contoarelor testate, proba în care se testează contoarele).

Etalon poate fi un contor static de precizie, care furnizează un număr de impulsuri proporțional cu energia, sau un calibrator de putere împreună cu un generator de tact, unde, de asemenea, numărul de impulsuri de tact este proporțional cu energia, conform relației:

$$N_{\text{impuls}} = k_E \cdot W, \quad (11)$$

unde  $k_E$  este constanta etalonului, indiferent de modul de realizare a acestuia. Împărțind relația (11) cu timpul, rezultă

$$f_E = k_E \cdot P_E, \quad (12)$$

adică frecvența impulsurilor etalon este proporțională cu puterea din circuitul de măsură.

În cazul general, tensiunea și curentul nominali ai contorului etalon, respectiv ai calibratorului de putere,  $U_E$  și  $I_E$ , diferă de tensiunea și curentul la care sînt testate contoarele,  $U$  și  $I$ . Se introduce astfel constantele  $k_U = U_E / U$  și  $k_I = I_E / I$ , care reprezintă rapoartele de transformare existente între circuitul de măsură și cel de testare, corespunzătoare transformatoarelor conținute de simulatoarele de sarcină. În aceste condiții, frecvența impulsurilor etalon, funcție de puterea măsurată de contoarele testate,  $P$ , devine:

$$f_E = k_E \cdot k_U \cdot k_I \cdot P. \quad (13)$$

Din definiția constantei contorului  $k_C$ , conform relației (5), în rot/kWh, se poate determina energia înregistrată de un contor,  $W_1$ , în funcție de numărul de rotații  $n$  ale discului:

$$W_1 = \frac{3,6 \cdot 10^6 \cdot n}{k_C}, \quad (14)$$

unde numărul de rotații este dat de raportul dintre timpul de măsurare și perioada de rotație a discului:  $n = t / T$ . Perioada  $T$  este măsurată cu impulsurile etalon:

$$T = \frac{N_1}{f_E}, \quad (15)$$

$N_1$  fiind numărul de impulsuri etalon recepționate pe durata unei rotații a discului contorului 1.

Cu substituția dată de relația (15), relația (14) de determinare a energiei devine:

$$W_1 = 3,6 \cdot 10^6 \cdot \frac{f_E \cdot t}{k_C \cdot N_1}, \quad (16)$$

iar cu substituția dată de relația (13):

$$W_1 = 3,6 \cdot 10^6 \cdot \frac{k_E \cdot k_U \cdot k_I \cdot P \cdot t}{k_C \cdot N_1}, \quad (17)$$

respectiv:

$$W_1 = 3,6 \cdot 10^6 \cdot \frac{k_E \cdot k_U \cdot k_I}{k_C} \cdot \frac{1}{N_1} \cdot W. \quad (18)$$

Numărul  $N_{nominal}$  care ne interesează, intervenind în relația de calcul a erorii, poate fi determinat punând condiția, în relația (18), ca energia măsurată de contorul 1,  $W_1$ , să fie egală cu energia etalon,  $W$ , respectiv contorul să aibă eroare nulă:

$$N_{\text{nominal}} = 3,6 \cdot 10^6 \cdot \frac{k_E \cdot k_U \cdot k_I}{k_C} \quad (19)$$

În concluzie, determinarea erorilor contoarelor poate fi făcută pe baza relațiilor (3) și (19), blocul de calcul necesită următoarele date de intrare:

- $N_i$  - numărul de impulsuri etalon măsurat pe o tură, actualizat la fiecare rotație, preluat din RAM,
- $k_E$  - constanta etalonului, care poate fi memorată permanent în ROM sau poate fi citită de sistemul de calcul dintr-un preselector manual, dacă se lucrează cu mai multe etaloane,
- $k_U$  și  $k_I$  - constantele de probă, care se pot citi din tastatura de comandă a simulatorului de sarcină,
- $k_C$  - constanta contoarelor testate, care se preselectează manual, la fiecare nou tip de contoare.

Pentru preluarea acestor date de intrare și pentru desfășurarea operațiilor de determinare a erorilor, blocul de calcul trebuie să aibe configurația dată de schema bloc din figura 40.

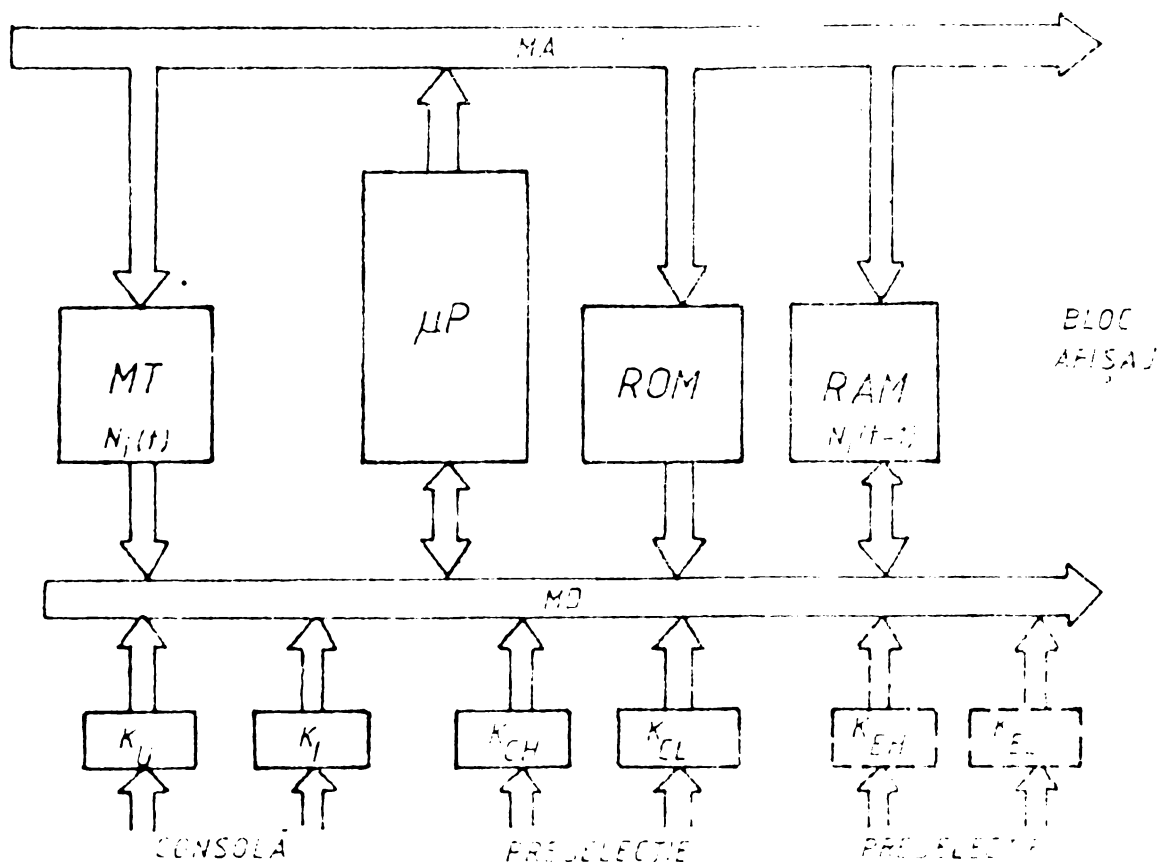


Figura 40

Sistemul cu microprocesor  $\mu P$  este într-o configurație standard, completată cu o memorie tampon MF, în care blocul de achiziție înregistrează numerele de impulsuri carente  $N_i(t)$ ,  $i = 1, 2, \dots, N$ , la adrese corespunzătoare fiecărui contor, la fiecare încheiere a unei rotații a discului. În memoria RAM se află precedentul număr de impulsuri,  $N_i(t-1)$ , corespunzător fiecărui contor. Numărul de impulsuri măsurat pe o rotație a discului,  $N_i$ , se obține ca diferență a numerelor corespunzătoare aflate în cele 2 memorii (care, fizic, pot fi aceeași). După efectuarea operației de scădere, noul număr este transferat din memoria MF în memoria RAM, fiind necesar pentru calculul erorii în următoarea rotație.

Datele de intrare sînt citite de microprocesor prin intermediul unor porturi de intrare. De la consola de comandă a simulatorului de sarcină se citesc toate tastele, cele apășate furnizînd "0" logic, celelalte fiind pe "1" logic. Numărul treptelor de tensiune nu depășește 3, cel al treptelor de curent nu depășește, de obicei, 10, motiv pentru care au fost alocate 2 porturi de intrare. În cazul simulatorilor de sarcină cu mai multe trepte de curent (cazul simulatorilor comandați automat, de calculator) se crește corespunzător numărul porturilor de intrare.

Constanta contoarelor este cuprinsă, în general, în intervalul 60 - 2000 rot/kWh, respectiv 4 ranguri zecimale sau 16 biți BCD. Sînt suficiente, deci, 2 porturi de intrare. Dacă nu este înscrisă în memoria ROM, constanta staiei, pentru a putea fi ușor modificată, poate fi citită similar, cu observația că, fiind selectată mult mai rar, poate fi înscrisă direct în binar, cu un preselector intern.

În concluzie, schema bloc a sistemului de calcul are o structură impusă de datele de intrare, elasticitatea și performanțele sale fiind dictate exclusiv de software. Complexitatea hardware a blocului fiind practic fixă, diversele modalități de realizare a blocului de calcul pot fi comparate prin următoarele caracteristici:

1. timpul de determinare a erorii unui contor,
2. spațiul de memorie ROM necesar,
3. memoria RAM necesară.

Soluțiile originale, propuse de autor în paragrafele următoare, urmăresc optimizarea acestor caracteristici, cu accent pe viteza de determinare a erorii, operație care trebuie efectuată în timp real.



### 6.3. Algoritm și program de calcul al erorilor

Pentru determinarea erorilor prin calcul, se utilizează cele 2 relații prezentate în paragraful 6.2.:

$$e_r = \frac{N_{\text{nominal}} - N_{\text{măsurat}}}{N_{\text{măsurat}}} \cdot 100 \% \text{ și} \quad (3)$$

$$N_{\text{nominal}} = 3,6 \cdot 10^6 \cdot \frac{k_E \cdot k_U \cdot k_I}{k_C} \quad (19)$$

Algoritmul original propus urmărește efectuarea acestor calcule într-un interval de timp cât mai scurt, utilizînd un spațiu de memorie program cât mai redus. În acest scop se iau următoarele măsuri:

1. Produsul  $3,6 \cdot 10^6 \cdot k_E \cdot k_U \cdot k_I$  nu se calculează, ci se memorează tabelar. Această soluție evită utilizarea unei subrutine de înmulțire, doar în acest scop, ceea ce ar crește dimensiunile programului, (timpul de calcul al acestui produs nu este critic, fiind efectuat o singură dată pentru toate contoarele). Pentru o singură constantă  $k_E$ , rezultă un tabel de dimensiunile  $n_U \times n_I$ , unde  $n_U$  și  $n_I$  sînt numerele de domenii de tensiune și respectiv curent ale simulatorului de sarcină.

2. Se execută împărțirea la  $k_C$ , pentru determinarea numărului nominal de impulsuri, conform relației (19). Pentru obținerea unei operații rapide, se utilizează o subrutină de împărțire în numere întregi. Este preferabilă această variantă, celei cu exponent și mantisă, din motive de viteză. Pentru reducerea la minimum a timpului de calcul trebuie ca dimensiunile operanzilor să fie aproximativ constante. În plus, pentru obținerea unui cit cu precizia necesară, este utilă împărțirea unui număr de 4 octeți la un număr de 2 octeți, pentru furnizarea unui cit ( $N_{\text{nominal}}$ ) pe 2 octeți, cu cel puțin 10 reanguri binare semnificative. Constanta etalonului are o astfel de valoare, încît operanzii se încadrează în aceste limite, pentru obținerea preciziei dorite.

3. Conform relației (3), eroarea se determină efectuînd, în ordine, operațiile de scădere, apoi împărțire. În aceste condiții, rezultatul împărțirii este subunitar și deci necesită o altă subrutină de împărțire. În scopul utilizării aceleiași subrutine, în numere întregi, de 4 octeți la 2 octeți, se calculează eroarea în ordinea împărțire, apoi scădere:

$$e_r = \left( \frac{N_{\text{nominal}}}{N_{\text{măsurat}}} - 1 \right) \cdot 100 \% \quad (20)$$

Dat fiind că operanzii sînt de același ordin de mărime, pentru încadrarea în limitele impuse de subrutina de împărțire, este necesară amplificarea deîmpărțitului. Amplificarea deîmpărțitului, anterior împărțirii, este preferabil să nu se facă artificial cu un număr de forma  $10^a$  sau  $2^b$ , ci cu o constantă utilă în calculul erorii. Se adoptă constanta 100 · 16. Înmulțirea cu 100 trebuie oricum realizată în final, dat fiind că eroarea se exprimă procentual. Amplificarea cu 16 este justificată de formatul afișajului: XX,X, ceea ce echivalează cu împărțirea rezultatului calculat cu un rând zecimal (prin plasarea virgulei cu un rang mai la stînga). Calculul se efectuează în binar, în final executîndu-se conversia rezultatului în BCD. Din acest motiv, rangului zecimal de după virgulă îi sînt alocate 4 ranguri binare, respectiv numărul 16. Deci, înaintea împărțirilor de la 4., se înmulțește deîmpărțitul cu 1600, înmulțire cu o constantă, care nu necesită subrutină generală de înmulțire.

Operațiile prezentate se execută o singură dată pentru toate contoarele. În continuare se execută operații pentru fiecare post, în timp real.

4. Se efectuează pentru toate posturile împărțirea  $1600 \cdot \frac{N_{\text{nominal}}}{N_{\text{măsurat}}}$ , cu aceeași subrutină, ceea ce asigură economie de memorie ROM. Datorită corecției de la 3., rezultatul asigură rezoluția necesară în determinarea erorii.

5. Se efectuează scăderea cu 1600, care fiind o operație cu o constantă, nu necesită subrutină generală de scădere. Se obține eroarea procentuală, amplificată cu 16.

6. Împărțirea cu 16 nu este o operație aritmetică, ci se realizează prin plasarea virgulei cu un rang mai la stînga, după ce s-a realizat conversia rezultatului din binar în BCD.

Rezultă următoarea formă de determinare a erorii, conform algoritmului original prezentat:

$$e_r = \frac{\frac{3,6 \cdot 10^6 \cdot k_R \cdot k_U \cdot k_I}{k_C} \cdot 1600}{16} \% \quad (21)$$

obținută din cele 2 relații de bază și artificii de calcul.

In concluzie, algoritmul original realizează calculul erorii de măsurare a contoarelor, utilizând doar operații cu constante și o subrutină de împărțire, în numere întregi, de 4 octeți la 2 octeți, apelată o dată pentru fiecare post, după ce a fost utilizată o dată la modificarea probei de testare.

Se prezintă în continuare un program original /54/ conceput în limbajul de asamblare al microprocesorului 8080, conform algoritmului original prezentat.

În cazul concret considerat, numărul de probe poate fi 64 (astfel că numărul domeniilor de curent poate lua valori de la 0 la 20, iar numărul domeniilor de tensiune poate lua valori de la 0 la 2, sau de la 0 la 15 pentru curent, respectiv de la 0 la 3 pentru tensiune) valoare acoperitoare pentru toate familiile de contoare și tipurile de simulatoare de sarcină. Numerele  $n_U$  și  $n_I$  se găsesc inițial în registrele interne B și C. Dimensiunea factorului memorat fiind de 4 octeți, valoarea lui se găsește în memoria ROM, începând cu adresa  $4 \cdot (3 \cdot n_I + n_U)$ , relativă la începutul tabelului, a cărui adresă este ADKP.

Constanta contoarelor testate,  $k_C$ , cu dimensiunea de 2 octeți, se găsește permanent în memoria RAM, începând cu adresa ADKC.

Numerele de impulsuri măsurate,  $N_1, N_2, \dots, N_N$ , pe 2 octeți, se găsesc în memoria RAM, începând cu adresa ADNI.

Erorile calculate, de valori cuprinse între -99,9 % și 99,9 %, reprezentate în cod BCD, se depun în memoria RAM, pe cite 2 octeți, începând cu adrese de forma ADNI + DEPL (sau se transmit direct blocului de afișare). Valoarea absolută a erorii se obține pe 12 biți, semnul este dat de bitul 13, restul biților fiind 0. În cazul în care eroarea depășește intervalul menționat, bitul 16 și cei 12 biți ai valorii absolute se poziționează pe 1, iar bitul 13 păstrează semnul.

Subrutina de împărțire reclamă de împărțitul de 4 octeți poziționat în RAM, începând cu adresa ADD, împărțitorul de 2 octeți poziționat în RAM, începând cu adresa ADI, iar citul se obține în registrele interne HL.

Conversia din binar în cod BCD a rezultatului se face în 2 etape. În prima etapă se obține partea întreagă a erorii, reprezentată pe biții 5 - 12, printr-o conversie binar-BCD uzuală. În etapa următoare, pentru biții 1 - 4, se folosește o conversie binar-BCD pentru partea zecimală a rezultatului (după virgulă), realizând astfel formatul dorit pentru afișarea erorii: XX.X.

Programul, în limbajul de asamblare al microprocesorului 8080, comentat, este prezentat integral în anexa 2.

El reprezintă structura de bază a programului de determinare a erorilor pentru 256 de contoare. Nu au fost incluse operațiile caracteristice fiecărei implementări, funcție de structura instalației: introducerea datelor de probă, constanta contoarelor, conversia acesteia din zecimal în binar, diferența dintre numerele de impulsuri transmise succesiv la aceeași adresă, etc. Nu a fost specificată subrutina de împărțire. Ea poate fi, în principiu, de orice tip, acoperitor pentru dimensiunile cerute (4 octeți la 2 octeți). Dar, dat fiind că algoritmul permite, și pentru că durata împărțirii reprezintă ponderea duratei de calcul, se recomandă utilizarea unei subrutine de împărțire, rapide, în numere întregi.

În forma prezentată, fără împărțire, programul ocupă aproximativ 300 de octeți ROM și necesită 20 octeți RAM pentru funcționarea programului, la care se mai adaugă câte 4 octeți pentru fiecare post de testare: numărul de impulsuri pe ultima rotație (2 octeți) și eroarea de măsurare calculată (2 octeți).

Durata programului, fără subrutina de împărțire, este de aproximativ 0,6 ms/post.

Sînt cunoscute din literatură subrutine de împărțire, în limbajul de asamblare al microprocesorului 8080, pentru operanzi de 32 de biți (deîmpărțitul) și 16 biți (împărțitorul), sau eventual dimensiuni în așa fel încît citul să rezulte de (exact) 16 biți, /12, 17, 76/. Aceste subrutine reprezintă niște cazuri particulare de împărțiri în numere întregi și nu sînt aplicabile în situații în care nu se cunoaște cu exactitate lungimea operanzilor sau citului, ca în cazul calculării erorilor contoarelor.

Pentru aplicarea acestora în algoritmul propus este necesară prelucrarea operanzilor, urmată de apelarea acestei subrutine și, în final, prelucrarea citului, pentru a corespunde operanzilor inițiali. O generalizare a acestei împărțiri cunoscute, care să permită divizarea unui deîmpărțit de lungime 0 - 32 biți cu un împărțitor de 0 - 16 biți, se prezintă în continuare.

Ordinograma împărțirii rapide, generalizate, este prezentată în figura 41.

Programul reclamă plasarea deîmpărțitului, de 4 octeți, în registrele interne ale microprocesorului HL și DE, iar a împărțitorului, de

2 octeți, în registrele BC. Impărțirea principală poate fi de orice tip, furnizând citul în registrele HL și restul în registrele DE.

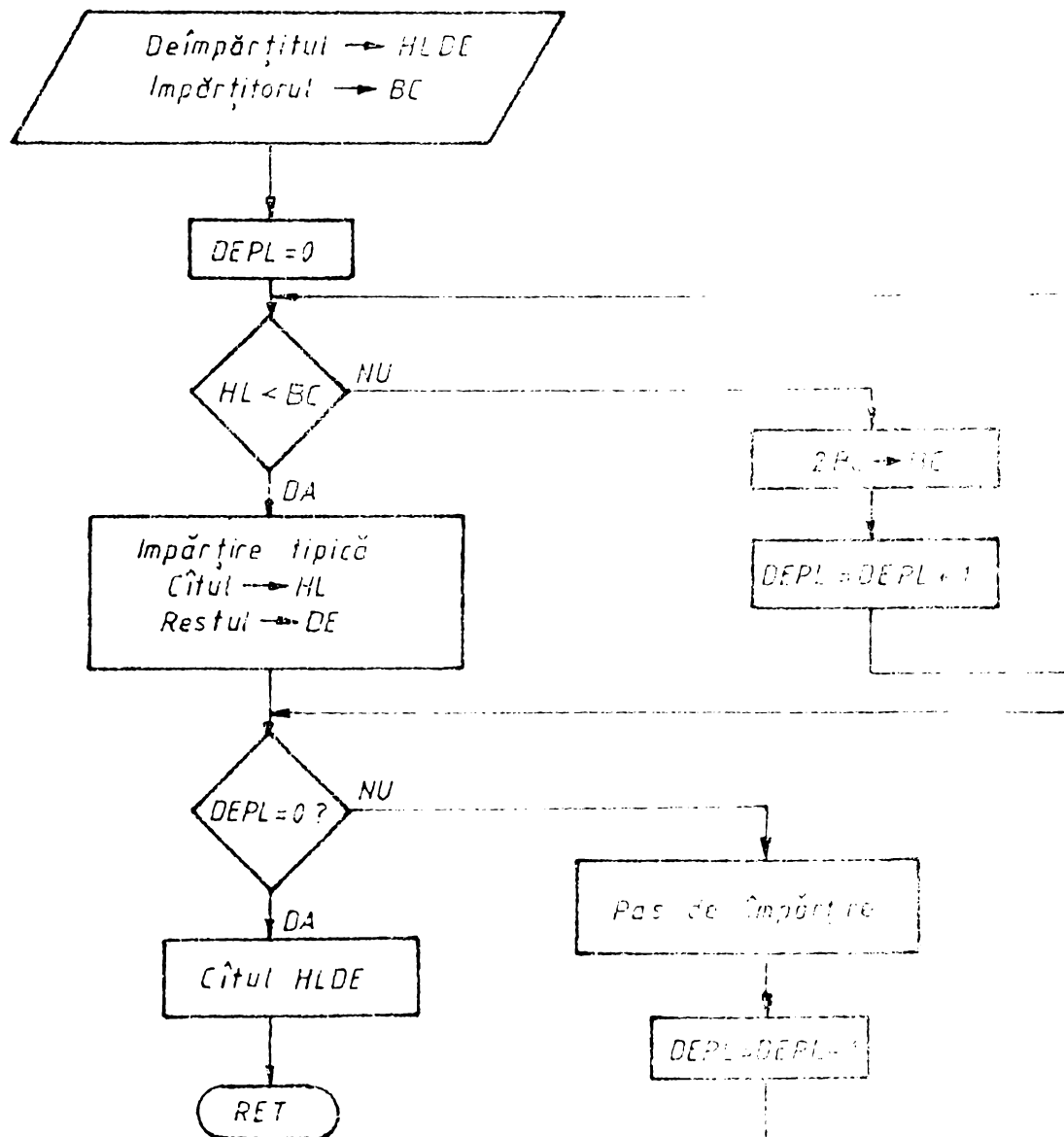


Figura 41

Impărțirea tipică se efectuează în condițiile în care împărțitorul este mai mare decât primii 2 octeți ai deîmpărțitului, rezultând un cit de cel mult 16 biți. În cazul în care împărțitorul este mai mic decât cei 2 octeți mai semnificativi ai deîmpărțitului, rezultând un cit mai mare de 2 octeți, se deplasează împărțitorul la stînga, centerisind deplasările DEPL, pînă cînd se ajunge la situația tipică. După executarea deplasărilor se efectuează, într-o primă fază, împărțirea tipică. Apoi, în funcție de numărul deplasărilor, se mai execută pași de împărțire, astfel că, în final, citul se obține în registrele interne HL și DE, avînd maxim 32 de biți.

Programul împărțirii generalizate, în limbajul de asamblare al microprocesorului 8080, este prezentat cu comentarii în anexa 3. El utilizează ca împărțire tipică un program cunoscut /17/, care reprezintă prima parte a acestui program. Intregul program ocupă aproximativ 200 octeți ROM și necesită memorie operativă RAM extrem de redusă.

Operația de împărțire este cea mai laborioasă dintre toate operațiile ce se efectuează în vederea determinării erorilor contoarelor. Din acest motiv, pe lângă utilizarea unei generalizări eficiente, care să conducă la un timp suplimentar minim, este necesară și utilizarea împărțirii tipice de 32 de biți la 16 biți cât mai rapidă. Din programele cunoscute în literatură, optimizate după diverse criterii, a fost ales cel care conduce la timp de execuție minim.

În aceste condiții, timpul de execuție al împărțirii este 1,4 ns, ceea ce evidențiază că, și în aceste condiții, ponderea timpului de determinare a erorii o reprezintă efectuarea acestei împărțiri. Este, deci, justificată utilizarea unei subrutine specializate, în numere întregi, pentru asigurarea timpului de calcul necesar unor instalații industriale cu zeci de posturi de testare.

Este de observat că se poate realiza o economie de timp dacă se cunoaște ordinal de mărime al operațiilor. Utilizând un divizor programabil al frecvenței impulsurilor etalon, se poate asigura un număr constant de ranguri binare pentru unii operații. Metoda este utilă în cazurile în care timpul de calcul este critic.

În concluzie, metoda calculului ciclic al erorilor, conform algoritmului original și al programelor prezentate, asigură un timp de calcul pe post de 2 ns, ceea ce permite utilizarea ei în asociație cu blocurile de achiziție cu prelucrare software și hardware paralel, în configurație uniprocessor, și cu blocul de achiziție cu prelucrare hardware serie, în configurație multiprocessor. În cazul achiziției hardware serie, cu un singur microprocesor, soluția corespunde doar la limită: timpul de reacție poate deveni deranjant, iar frecvențe mai mari ale impulsurilor etalon pot conduce la funcționarea necorespunzătoare a sistemului, datorită nerealizării prelucrării secundare în timp real.

Deși timpul de calcul este extrem de scurt (cu 1 - 2 ordine de mărime mai scurt decât în cazul minicalculatoarelor performante, programate în limbaje superioare) soluția prezentată în acest paragraf este aplicabilă în instalațiile industriale ce nu depășesc câteva zeci de posturi.

#### 6.4. Calculul și memorarea tabelară a erorilor posibile

Principala limită a soluției prezentată în paragraful 6.3. este numărul de posturi ce pot fi testate prin calcularea secvențială a erorilor. În cazul instalațiilor de testare cu număr foarte mare de posturi (în configurație multiprocesor sau bloc de achiziție cu prelucrare hardware serie) timpul disponibil de calcul pentru determinarea erorilor este insuficient pentru efectuarea calculului conform acestui algoritim.

Soluționarea acestei probleme se bazează pe observația că numărul erorilor posibile este relativ redus. Programul prezentat permite calcularea erorilor în intervalul  $-99,9\% + 99,9\%$ . Este prezentat în această formă pentru că formatul în care se efectuează operațiile permite această generalitate. Dar, în situațiile reale, nu se folosesc formate de afișare în afara intervalului  $-19,9\% + 19,9\%$ , pentru etalonare, și de ordinea procentelor, în verificarea metrologică.

În etalonare, interesează cu precizie eroarea în apropierea erorii admise de clasa de precizie ( $-5\% + 5\%$ ), cu aproximație în afara acestui interval ( $-19,9\% + 19,9\%$ ) și doar semnul pentru erori mult mai mari.

În verificarea metrologică interesează doar dacă contorul este admis sau respins, deci eroarea în formă explicită în intervalul  $-3\% + 3\%$  și doar indicația de depășire, în afara acestui interval.

Rezultă, în ambele cazuri, un număr limitat de erori (maximum 400) care pot apărea. Soluția originală, propusă de autor, constă în calcularea acestora, pentru datele concrete ale fiecărei probe, în primele momente ale începerii operațiilor de etalonare sau verificare, și memorarea lor într-un tabel, calculat linie cu linie, plasat în RAM, la adrese dependente de numărul de impulsuri ni. Determinarea erorii în timp real se reduce, conform acestei noi metode, la preluarea numărului de impulsuri recepționat pe ultima rotație a discului, prelucrarea lui cu operații elementare, pentru determinarea adresei din tabel, citirea erorii din RAM și transferarea ei într-o locație corespunzătoare din memorie în vederea unei prelucrări ulterioare sau pentru afișare.

Operațiile software necesare implementării, în blocul de cal-

cul, a acestei metode originale a autorului sînt prezentate în ordi-  
nograma din figura 42.

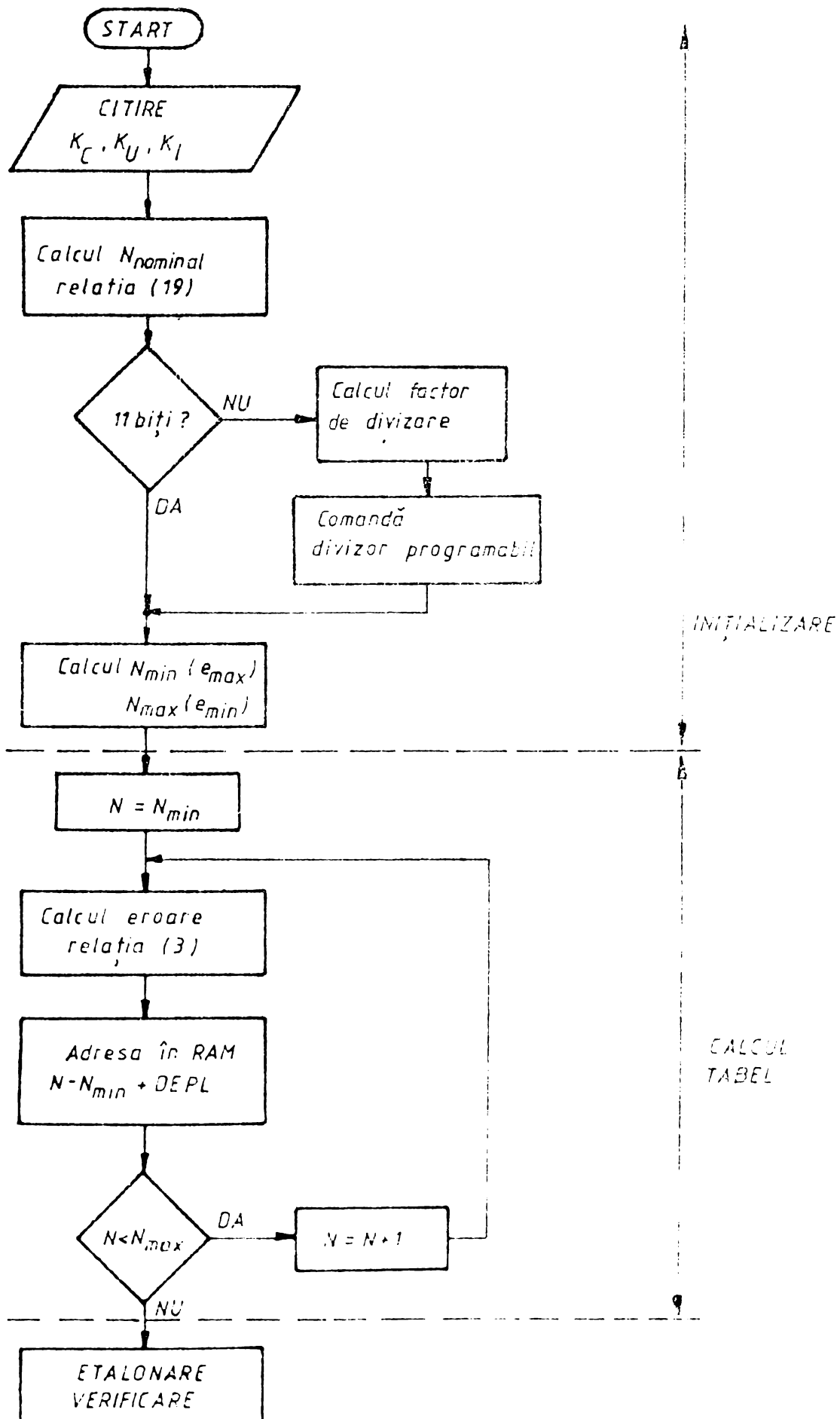


Figure 42



În prima fază, după modificarea unui parametru de intrare ( $k_C$ ,  $k_U$  sau  $k_I$ ), se determină prin calcul, cu relația (19), numărul de impulsuri etalon pentru eroare nulă  $N_{\text{nominal}}$ . Trebuie observat că dimensiunea acestui număr afectează direct dimensiunile tabelului ce se va calcula. În principiu,  $N_{\text{nominal}}$  este suficient să fie 1000, pentru a asigura rezoluția necesară de 0,1 %. În acest caz, numerele  $N_{\text{măsurat}}$  care conduc la erori în intervalul  $-19,9 \% \pm 19,9 \%$  se află în intervalul 835 - 1250, respectiv 475 linii în tabelul de erori. Dar, în funcție de probă, numărul  $N_{\text{nominal}}$  poate varia într-un raport de 1/1200 pentru același contor, și mai mult de la un tip de contor la altul. Astfel, pentru  $N_{\text{nominal}} = 1.000.000$ , intervalul numerelor ce conduc la erori în intervalul precizat este 835.000 - 1.250.000, respectiv 475.000 de linii în tabelul de erori. Într-o astfel de situație, metoda măsurării erorilor în tabel nu ar putea fi aplicată.

Se utilizează, conform unei soluții originale a autorului prezentată în capitolul 2, un divizor programabil al frecvenței impulsurilor etalon. Un divizor simplu poate realiza divizarea cu  $2^n$ , unde  $n$  este numărul de ranguri binare cu care numărul depășește limita impusă de programator. Această limită, conform rezoluției, se alege 1024, respectiv 100.0000.0000 în binar. Dacă fiindă că frecvența impulsurilor etalon, în cazul general, nu este o putere a lui 2, prin divizare rezultă un număr carecarea, care, însă, nu trebuie să fie mai mic decât 1024, dar nici mai mare decât dublu. Limita superioară a lui  $N_{\text{nominal}}$  rezultă 2047, respectiv 111.1111. 1111 în binar.

În aceste condiții, se verifică dacă numărul calculat are 11 biți. În caz contrar se divide, prin intermediul divizorului programabil, cu o putere a lui 2, astfel ca dimensiunea lui să se încadreze în limitele impuse.

Odată determinat numărul de impulsuri (divizat)  $N_{\text{nominal}}$ , se determină intervalul de numere  $N_1$  măsurate de blocul de achiziție, care conduc la erori în intervalul care prezintă interes pentru afișare explicită (în afara acestui interval se va indica doar semnul și un cod de depășire):  $N_{\text{min}}$  pentru  $e_{\text{max}}$  și, respectiv,  $N_{\text{max}}$  pentru  $e_{\text{min}}$ . De obicei  $e_{\text{max}} = -e_{\text{min}}$ . Cu aceste determinări se încheie faza de inițializare a blocului de calcul.

În a doua fază se construiește, prin calcul secvențial, tabelul de erori. Numărul de adrese pentru înscrierea erorilor este  $N_{\text{max}} -$

-  $N_{\min} + 1$ . Calculul erorilor se execută conform algoritmului prezentat în paragraful 6.3., pentru toate valorile, în intervalul  $N_{\min} - N_{\max}$ . Desebirea esențială față de metoda respectivă este faptul că aceste erori nu trebuiesc calculate în timp real, deoarece se calculează o singură dată pentru toate posturile, aflate într-o anumită probă.

Modul în care se realizează înscriserea rezultatelor în memorie determină capacitatea de RAM necesară implementării acestei metode. Soluția cea mai simplă și mai rapidă este de a înscrie eroarea la o adresă dată de funcții numărul pentru care s-a calculat eroarea. Aceasta prezintă dezavantajul unui spațiu de memorie mare, dat fiind că plaja numerelor se extinde după  $N_{\text{nominal}}$ , care nu este o constantă, ci variază în intervalul 1024 - 2047. Rezultă, pentru erori în intervalul  $-10,9\% \text{ și } +10,9\%$ , o plajă 853 - 1280 pentru  $N_{\text{nominal}} = 1024$  și o plajă 1705 - 2558 pentru  $N_{\text{nominal}} = 2047$ . Se obține, la limită, o plajă totală 853 - 2558, respectiv 1705 adrese. Dacă eroarea se memoriază pe 2 octeți, rezultă aproximativ 3,4 kiocteți RAM pentru implementarea metodei, ceea ce este mult comparativ cu celelalte dimensiuni de memorie necesare instalației pentru determinarea erorilor și cu necesarul algoritmului prezentat în paragraful 6.3. (Poate fi aplicată în această formă în cazul în care instalația este implementată pe un microcalculator cu destinație generală).

Pentru a ocupa un minimum de memorie RAM, se preferă construirea tabelului începând cu adresa 0 pentru  $N_{\min}$  și încheind cu adresa  $N_{\max} - N_{\min}$ . În aceste condiții tabelul are dimensiunile minime, date de plaja corespunzătoare numărului  $N_{\text{nominal}}$  maxim. Pentru 2047 sînt necesare 853 de adrese, respectiv, pentru 2 octeți/eroare, 1,7 kiocteți RAM. În implementarea practică nu se poate construi tabelul de la adresa 0, rezervată, în cazul microprocesorului 8080, altor funcții. Se folosește, în acest caz, o translație a tabelului, adunînd un deplasament DEPL la fiecare adresă determinată conform soluției prezentate mai sus.

După efectuarea celor  $N_{\max} - N_{\min} + 1$  calcule de eroare, tabelul este complet și se poate începe operația de etalonare sau verificare propriu-zisă, în timp real.

Modul în care se desfășoară determinarea erorilor, după calcularea tabelului, este prezentat în ordinoograma din figura 43

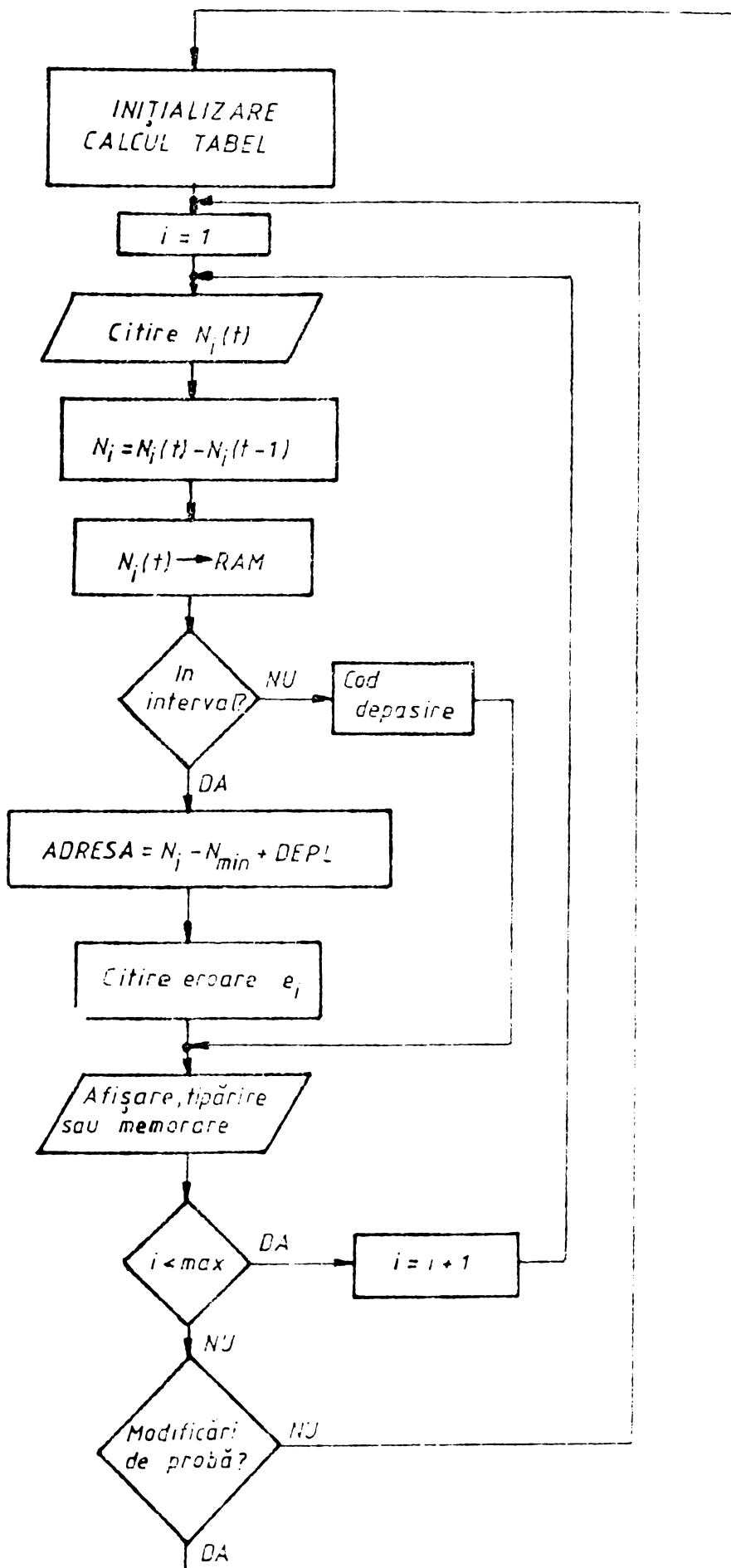


Figura 43

Se prezintă numărul de impulsuri măsurat pentru primul post de testare. Acesta, conform principiului de funcționare al blocului de achizi-

siție, se determină printr-o scădere, efectuată de microprocesorul blocului de calcul, între numărul recent și numărul precedent, memorat în RAM.

Se verifică dacă acest număr este în intervalul numerelor ce conduc la erori ce trebuie afișate în formă numerică. Dacă nu, se formează codul de depășire și se poziționează bitul de semn. Dacă se află în interiorul intervalului, se formează adresa de citire din tabel, cu relația  $N_1 - N_{\min} + DEPL$ . Se citește eroarea din tabel și se transmite blocului de afișare, tipărire sau memorare.

Operațiile se repetă pentru toate posturile, după care se verifică dacă datele de intrare s-au modificat. Dacă nu, se continuă determinarea ciclică a erorilor prin citirea tabelului. Dacă da, se reinițializează datele blocului de calcul, conform ordinogramei din figura 42.

Pentru estimarea performanțelor acestei metode de determinare a erorilor, se prezintă o modalitate concretă de implementare, împreună cu programul corespunzător de citire a tabelului de rezultate.

Implementarea concretă evită alocarea a 2 octeți fiecărei erori, din următoarele motive:

- ocupă un spațiu de memorie dublu,
- majoritatea erorilor se încadrează în intervalul  $-7,9 \% + 7,9 \%$ , care pot fi exprimate printr-un singur octet (1 bit de semn, 3 biți BCD pentru o cifră zecimală între 0 și 7, 4 biți BCD pentru un rang zecimal),
- în afara acestui interval, eroarea nu mai interesează cu precizie, deci poate fi exprimată în numere întregi:  $-19 + -8 \%$ ,  $8 + 19 \%$ , reclamând doar 6 biți (cu observația că nu toți sînt incluși în cei 8 precedenți).

Se preferă memorarea erorilor în BCD, deci în formatul în care se afișează, pentru a nu efectua operațiile de conversie binar - BCD după fiecare citire a tabelului. În binar ar putea fi exprimate exact erorile în intervalul  $-12,7 + 12,7 \%$ , dar domeniul nefiind critic, se preferă soluția mai rapidă, în cod BCD.

Soluția permite, deci, exprimarea tuturor erorilor în intervalul  $-19,9 \% + 19,9 \%$ , într-un singur octet, dar, în funcție de valoare, în 2 formate distincte. Pentru determinarea formatului de memorare a erorii, este necesară memorarea și a unui cod care să distingă cele 2 variante. Neputînd alocă un bit acestui scop, se înscrie un cod inexis-

tent (in BCD), in zona liberă a cifrei de după virgulă, pentru identificarea erorilor mari.

Cele 2 formate de memorare, cu codul distinctiv, sînt prezentate schematic in figura 44.

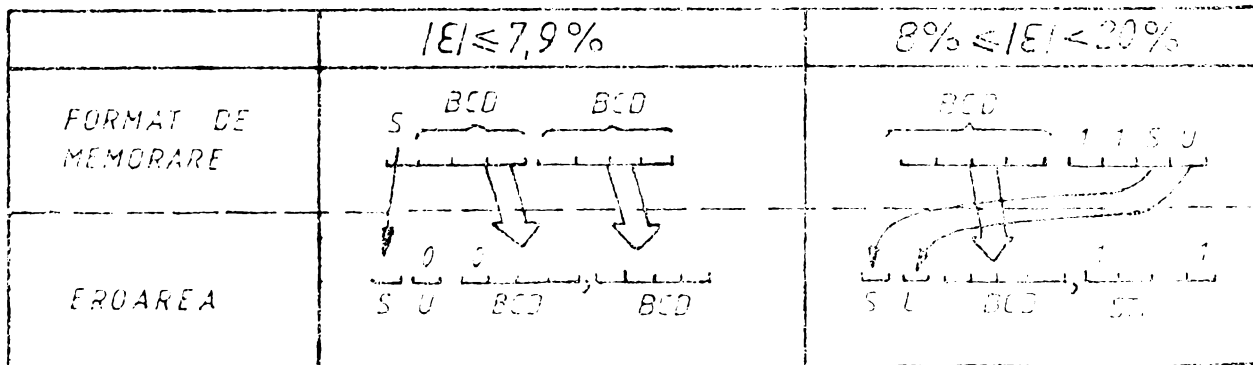


Figura 44

In cazul erorilor mai mici de 7,9 %, formatul de memorare este cel obișnuit in BCD, cu bitul de semn S in poziția cea mai semnificativă și, implicit, bitul de unitate zecimală U pe zero.

In cazul erorilor mai mari decît 8 % nu mai interesează rangul de după virgulă. In acest spațiu de 4 biți se înscriu:

- codul de identificare a formatului de memorare 11XX, care nu aparține codului BCD, utilizat in primul format de memorare,
- bitul de semn S,
- bitul de unitate zecimală U.

Cifra unităților se exprimă identic cu cazul precedent.

In cazul în care aparatul este utilizat doar in verificarea metrologică, este acoperitor intervalul  $-7,9\% \pm 7,9\%$ , care necesită alocarea unui spațiu pentru tabelul din RAM de doar 330 octeți.

In etalonare se preferă domeniul  $-19,9\% \pm 19,9\%$ , care necesită alocarea a 853 octeți RAM. Aceste valori <sup>se încadrează</sup> in ordinal de mărime al necesităților de memorie destinate celorlalte operații. (De exemplu, doar memorarea numărului de impulsuri actual și a celui precedent, pentru 128 de posturi necesită 512 octeți). Acest consum suplimentar de memorie RAM este compensat eficient de viteza de determinare a erorilor, imposibil de realizat prin calculul secvențial.

Programul, in limbajul de asamblare al microprocesorului 8080, cu comentariile corespunzătoare, este prezentat in anexa 4. Alocarea memoriei, pentru funcționarea programului de determinare a erorilor prin citirea tabelului, este necesar să se facă conform figurii 45.

REGISTRE INTERNE		MEMORIA RAM	
HL	Adresa $N(t-1)$ și $N(t)$	XY.00 XY.01 ..... XY.FF	$N(t-1)$ 128 x 2 oct.
DE	$N_i = N_i(t) - N_i(t-1)$	X(Y+1).00 X(Y+1).01 ..... X(Y+1).FF	$N(t)$ 128 x 2 oct.
BC	$X(Y+2).00 - N_{\min}$	X(Y+2).00 X(Y+2).01 ..... X(Y+9).FF	Tabel erori

Figura 45

Exemplul este pentru o instalație cu 128 de posturi. Primii 256 de octeți conțin numărul de impulsuri precedent  $N(t-1)$ , pentru fiecare conter, pe câte 2 octeți consecutivi. Următorii 256 de octeți conțin, în același format, numărul recent de impulsuri  $N(t)$ , actualizat continuu de sistemul de achiziție. Incepând cu adresa  $X(Y+2).00$  se formează tabelul de erori, de lungime dependentă de domeniul erorilor în care se lucrează, de numărul nominal de impulsuri etalon, fără, însă, a depăși 1 octet.

Destinația permanentă a registrelor interne ale microprocesorului este următoarea:

- HL - adresa din RAM la care urmează să se facă citiri sau scrieri, utilizând instrucții cu adresare indirectă, de tipul MOV M,r;
- DE - memorarea temporară a numărului măsurat de impulsuri  $N_i$  corespunzător conterului căruia i se determină eroarea;
- BC - memorarea permanentă a deplasamentului tabelului.

Programul prezentat în anexa 4 include toate operațiile necesare determinării în timp real a erorii: efectuarea scăderii între numerele de impulsuri transmise succesiv la aceeași adresă, verificarea domeniului în care se află numărul de impulsuri măsurat, citirea tabelului, prelucrarea rezultatului și transmiterea erorii spre blocul de afișare, cu scopul de a estima performanțele acestei modalități de determinare a erorilor.

Programul, în funcție de  $N_i$ , poate fi parcurs pe diverse căi. Durata maximă este de 423 microcicli, respectiv 211,5  $\mu$ s la frecvența

tipică de tact, de 2 MHz. Aceasta conduce la un timp de determinare a erorilor celor 128 de posturi în maximum 27 ms. La acesta se mai adaugă timpul destinat verificării datelor inițiale, care, însă, este neglijabil, dat fiind că se realizează o singură dată la un ciclu. În cazul în care unul din parametri s-a modificat, programul se reinițializează și se determină, prin calcul, un nou tabel de erori.

Lungimea programului prezentat este de aproximativ 100 de octeți, la care se adaugă rutinele DEP1 și DEP2, destinate formării și transmiterii codurilor de depășire a intervalului de erori afișabile. Comparând această lungime cu cea destinată calculării și construcției tabelului de erori, se observă că cea de a doua reprezintă ponderea memoriei ROM.

Memoria RAM necesară executării acestei bucle de determinare a erorilor este, pentru 128 de posturi, de 512 octeți pentru numerele de impulsuri, curent și precedent, 853 octeți pentru tabelul erorilor (în cazul cel mai defavorabil), la care se adaugă 2 octeți stivă și 2 octeți ADAP, pentru memorarea adresei curente de înscriere în blocul de afișare. Rezultă un total de aproximativ 1,5 kocteți necesari blocului de calcul, în care se include și memoria RAM necesară programului de achiziție a datelor generale (constante, probe).

În concluzie, metoda determinării erorilor prin memorarea tabelului conduce la un timp de reacție al aparatului insesizabil, chiar în cazul concurenței evenimentelor, necesitând capacități de memorie ROM și RAM suplimentară nesemnificativă față de necesitățile unui bloc de calcul realizat conform metodei prezentate în paragraful 6.3. Viteza de determinare a erorilor este cu 1 ordin de mărime mai mică mare, datorită evitării efectuării calculelor pentru fiecare post, la fiecare rotație a discului. Aceasta permite determinarea erorilor unui număr practic nelimitat de contoare, într-o configurație multi-microprocesor, cu n blocuri de achiziție și un bloc de calcul, realizat în acest mod. Limita teoretică a numărului de posturi este de 4000 - 5000 în probele rapide, ceea ce depășește de câteva ori numărul de contoare ce se fabrică într-un schimb, într-o întreprindere mare producătoare de contoare de energie.

Timpul în care se calculează tabelul depinde de numărul  $N_{\text{nominal}}$  care determină numărul calculelor de eroare ce trebuie efectuate. În cazul cel mai defavorabil se efectuează 853 de calcule de eroare, utilizând algoritmul prezentat în paragraful 6.3.

Rezultă un timp de inițializare a blocului de calcul de maximum 3 s, de dimensiunea unei perioade de rotație a discului în condiții nominale de funcționare.

Deși acest timp de calcul pentru inițializare este neglijabil față de timpul consumat în verificarea metrologică, într-o probă, și mai ales de timpul necesar etalonării contorului, se pot lua măsuri de reducere a timpului de calcul al erorilor tabelate.

În cazul etalonării, se determină, în cazul cel mai defavorabil, erorile pentru 853 de situații (numere de impulsuri măsurate) ce conduc la erori în intervalul  $-19,9\% + 19,9\%$ , deci la 400 de rezultate. Soluția mai rapidă de calculare a tabelului este determinarea, prin doar 400 de calcule, a grupurilor de numere de impulsuri care conduc la cele 400 de erori ce prezintă interes.

Relația (3) de determinare a erorilor trebuie utilizată considerând eroarea  $e_r$  cunoscută (în 400 de variante), iar  $N_{\text{măsurat}}$  necunoscut:

$$N_{\text{măsurat}} = \frac{N_{\text{nominal}} \cdot 100}{100 + e_r} \quad (22)$$

Numărul  $N_{\text{nominal}}$  se determină conform relației cunoscute (19) în fiecare probă. Pentru fiecare eroare care interesează se determină un număr de impulsuri limită. Între 2 valori limită, consecutive, se reține aceeași valoare a erorii, pentru memorarea tabelară. Calculul efectiv se poate realiza, ținând seama de faptul că eroarea conține un rang zecimal după virgulă, în forma:

$$N_{\text{măsurat}} = \frac{N_{\text{nominal}} \cdot 1000}{1000 + 10 \cdot e_r} \quad (23)$$

$N_{\text{nominal}}$  fiind cuprins în intervalul 1024 - 2047, numărătorul are 21 de biți. Eroarea fiind de maximum 20 %, numărătorul are 10 - 11 biți. Singura operație laborioasă în acest calcul este împărțirea de 21 biți la 11 biți, care poate fi realizată de aceeași subrutină de împărțire utilizată pentru determinarea numărului  $N_{\text{nominal}}$ , dar într-un timp, proporțional, mai scurt.

În concluzie, economia de timp ce poate fi realizată este dată atât de timpul mai scurt de calcul pentru o eroare, cât și de numărul mai mic de calcule efectuate. Se obține o scurtare a timpului de inițializare de cel puțin 2 ori. În plus, în varianta afișării erorilor în intervalul 8 - 19 % doar în numere întregi, numărul împărțiri-



lor scade sub 200, rezultând un timp total de calcul al tabelului de erori inacceptabil (sub 1 s).

O variație de aplicare a acestei metode este memorarea permanentă a tabelului de erori, condiția fiind menținerea constantă a  $N_{\text{nominal}}$  în toate probele. Această condiție este realizată, în alte scopuri, și de aparatele ce determină erorile prin metoda conversiei frecvenței impulsurilor etalon. În instalațiile cu microprocesor, condiția poate fi realizată utilizând un divizor programabil. Soluția stabilește numărul de impulsuri dorit în 2 etape. În prima etapă, în funcție de datele de probă, determină numărul  $N_{\text{nominal}}$  real, conform relației (19). În a doua etapă, în funcție de acest rezultat și de numărul  $N_{\text{nominal}}$  dorit, se determină factorul de divizare, cu care se programează divizorul.

În aceste condiții,  $N_{\text{nominal}}$  fiind o constantă absolută, tabelul de erori este fix și poate fi memorat în ROM. Condiția implementării soluției este ca frecvența impulsurilor etalon să fie suficient de mare (MHz), pentru ca prin divizare să nu introducă erori inacceptabile.

În cazul metodei timp-putere soluția este direct aplicabilă. În cazul contoarelor etalon, frecvența de ieșire nu este atât de ridicată, ceea ce reclamă utilizarea unui multiplicator de frecvență, similar metodei conversiei de frecvență /71/.

Avantajul metodei constă în eliminarea operațiilor de calcul al erorilor, în vederea inițializării sistemului cu un tabel de rezultate. Se pune problema eficienței acestui sistem, în condițiile în care necesită completări hardware.

Programele de calcul rapid se bazează, atât ca durată de calcul, cât și ca spațiu de memorie ROM, pe o împărțire. De observat că datorită necesității determinării numărului  $N_{\text{nominal}}$ , caracteristicile software ale metodei se păstrează (algoritm și subrutine de calcul rapid, capacitate ROM). Rezultă că singurul avantaj al soluției rămâne neefectuarea calculelor de eroare pentru formarea tabelului, care, însă, reclamă un timp de execuție neglijabil (1 - 3 s) și inacceptabil de operator, în momentul schimbării probei.

În concluzie, soluția memorării permanente a tabelului de erori este aplicabilă, dar nu conduce la avantaje semnificative decât în instalații care nu au programe rapide de determinare a erorilor și unde timpul de construcție a tabelului ar fi inacceptabil de lung.

### 6.5. Performanțele blocurilor de calcul

Performanțele care trebuie avute în vedere la compararea diferitelor variante de realizare a blocului de calcul al erorilor sînt:

1. timpul de determinare a erorii pentru un post,
2. spațiul de memorie ROM ocupat,
3. necesarul de memorie RAM,
4. posibilitatea implementării blocului de calcul în același sistem cu microprocesor care realizează și achiziția în timp real.

Metoda calculului ciclic al erorilor, conform algoritmului original prezentat, implementat cu programele propuse, conduce la un timp de calcul pe post de aproximativ 2 ms, ocupînd un spațiu de memorie ROM de 500 octeți și necesitînd puțin peste 0,5 kocteți RAM. Soluția este realizabilă în configurațiile uniprocessor cu prelucrare software și cu prelucrare hardware paralelă, care reclamă un timp limită de calcul de 20 ms. Rezultă, astfel, un timp de reacție al aparatului extrem de redus (0,1 s), chiar în situația defavorabilă a concurenței evenimentelor. În cazul utilizării în configurație uniprocessor, cu un bloc de achiziție cu prelucrare hardware serie, timpul de calcul este la limită (2,5 ms).

Metoda calculului ciclic al erorilor este deosebit de eficientă, datorită algoritmului original și a programelor rapide, specializate, utilizate, comparativ cu soluțiile implementate pe mini- sau micro-calculatoare, în limbaje superioare, asigurînd un timp de calcul cu 1 ordin de mărime mai scurt, în condițiile utilizării unui spațiu redus de memorie.

Metoda memorării tabelare AXKHXKXKXK a erorilor, conform metodei originale prezentate, implementată cu programul propus, realizează determinarea erorii pentru un post în 0,2  $\mu$ s, ocupînd un spațiu de memorie ROM de 600 de octeți și necesitînd 1,5 kocteți memorie RAM. Această metodă, cu prețul dublării memoriei (de la 1 k la 2 k) asigură o capacitate practic nelimitată de determinare a erorilor (teoretic 5000 de posturi). Soluția este implementabilă în orice configurație, împreună cu orice bloc de achiziție prezentat în capitolul 5.

Un alt parametru al acestei metode este timpul de formare a tabelului de erori, la modificarea probei. În varianta determinării erorii în funcție de numerele de impulsuri posibile este 3 s, în va-

rianta determinării numerelor de impulsuri limită în funcție de erorile posibile este sub 1 s. Soluția memorării fixe a tabelului de erori este utilă sistemelor cu programe de calcul ineficiente.

Metoda memorării tabelare a erorilor asigură un timp de calcul cu un ordin de mărime mai scurt decât metoda calculului ciclic, reprezentând o soluție deosebit de eficientă pentru un număr practic nelimitat de posturi de testare.

In concluzie, cu aceste 2 metode originale prezentate, problema blocului de calcul din instalațiile de testare a contoarelor poate fi considerată rezolvată, pentru orice configurație și orice capacitate. Capacitatea extrem de ridicată asigurată de metoda memorării tabelare a erorilor permite, în principiu, determinarea erorilor, în configurație multimicroprocesor, a tuturor contoarelor testate simultan, chiar pe simulatoare de sarcină și cu etaloane diferite, utilizând mai multe blocuri de achiziție.

## Capitolul 7

### MODALITATI DE REALIZARE A BLOCULUI DE AFISARE A ERORILOR

#### 7.1. Criterii de alegere a blocului de afisare

Blocurile de acaziție și calcul, într-o configurație corespunzătoare, permit determinarea erorii de măsurare a unui număr mare de contoare, în timp real, după încheierea fiecărei rotații a discului. Aceste erori, actualizate permanent, se află, în principiu, în memoria RAM a blocului de calcul. În funcție de operația tehnologică care se dorește executată, de configurația instalației pentru testarea contoarelor, de modul de utilizare a acestor rezultate, blocul de afișare a rezultatelor poate avea mai multe structuri.

Un prim criteriu ce determină modalitatea de realizare a blocului de afișare este operația tehnologică ce se dorește executată. În cazul etalonării, scopul este determinarea cât mai rapidă a efectului ultimului reglaj efectuat asupra fiecărui contor. Este, deci, de dorit ca fiecare post de etalonare să aibă un afișaj individual, plasat cât mai aproape de contorul corespunzător, în câmpul vizual al operatorului. În cazul verificării metrologice, interesează dacă eroarea determinată în regim permanent se încadrează între limitale admise pentru clasa de precizie respectivă. În această situație, operatorul nu lucrează cu contoarele testate și este interesat de o singură citire la fiecare post. Este preferabilă, în acest caz, multiplexarea erorilor corespunzătoare tuturor posturilor pe un afișaj unic, centralizat, unde se poate înregistra manual calificativul admis/respins, pentru contoarele testate într-o probă.

Un al doilea criteriu de determinare a structurii blocului de afișare este configurația instalației de testare. În cazul instalațiilor cu număr redus de posturi, se pot utiliza afișaje cu structură obișnuită: registru, decodificator, afișaj, cu încărcarea registrului la un semnal de comandă individual, sau decodificat de pe o magistrală. Dacă, însă, numărul posturilor este ridicat, această soluție devine neeconomică, datorită consumului ridicat de circuite logice. Se preferă, în acest caz, multiplexarea datelor pe o magistrală unică, cu o frecvență de comandă a afișajelor suficient de ridicată, pentru a

crea senzația de stabilitate. În cazul instalațiilor cu număr foarte mare de posturi, trebuie luate măsuri speciale, datorită faptului că dispozitivele de afișare electroluminiscente nu permit o supraîncărcare oricât de mare, pentru a putea fi comandate cu un factor de umplere oricât de mic /68/.

Un al treilea criteriu în determinarea structurii blocului de afișare este modul în care se utilizează aceste erori. În cazul etalonării manuale și al verificării metrologice neautomatizate, se utilizează afișaje individuale, respectiv multiplexate centralizat. În cazul verificării automate, afișajul nu mai este necesar să indice eroarea determinată. Se poate indica fie direct calificativul admis/respins pentru fiecare post, fie se tipărește la imprimant direct buletinul de calitate al produsului. În cazul în care se dorește prelucrarea statistică a erorilor sau memorarea lor pe suport magnetic, blocul de afișare este înlocuit cu un sistem de transfer al datelor spre un calculator cu destinație generală.

În funcție de aceste criterii, ca și de altele, specifice fiecărei aplicații, au fost elaborate mai multe tipuri de blocuri de afișare, care acoperă principalele categorii de necesități prezentate.

Soluțiile originale, prezentate în acest capitol, urmăresc obținerea performanțelor optime, într-o configurație hardware minimă, evitându-se utilizarea unor blocuri de afișare individuale complexe, caracteristice metodelor cunoscute.

## 7.2. Bloc de afișare distribuit

Blocul de afișare a erorilor se utilizează în varianta distribuită pentru operația de etalonare, plasând în câmpul vizual al operatorului afișaje individuale, corespunzător fiecărui contor testat.

Schema blocului acestui sistem de extragere a rezultatelor este prezentată în figura 46.

Sistemul cu microprocesor  $\mu P$  determină erorile de măsurare ale contoarelor și transferă, prin intermediul unui bloc de comandă, adresa postului testat împreună cu eroarea determinată pentru ultima rotație a discului, succesiv pentru fiecare contor. Pe aceste magistrale de adrese și date se conectează toate afișajele individuale.

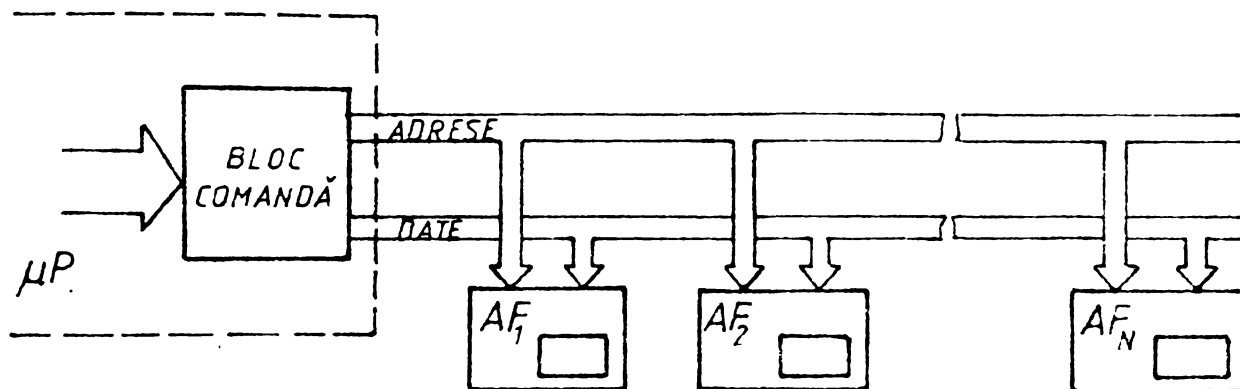


Figura 46

În cazul instalațiilor cu număr mic de posturi, în care nu deranjează complexitatea unui afișaj, se utilizează o configurație obișnuită a afișajului individual, reprezentată schematic în figura 47.

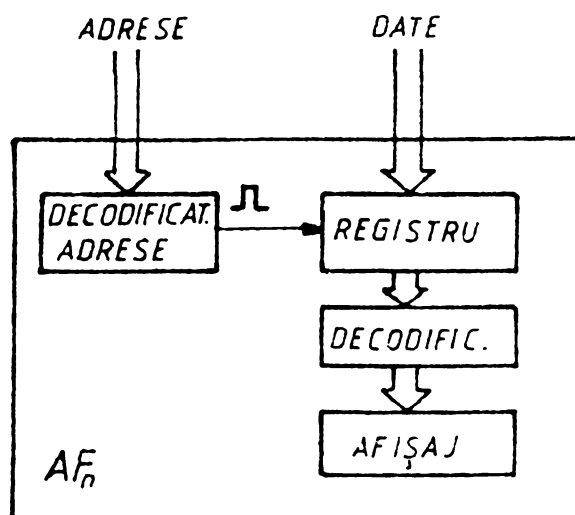


Figura 47

Această presupune existența unei memorii de afișare distribuite, în toate afișajele. În acest caz, blocul de comandă conține doar amplificatoare de magistrală, necesare datorită numărului mare de sarcini TTL ce se comandă. Pentru număr mic de posturi, se poate renunța la varianta magistrală de adrese - decodificator individual, înlocuind-o cu un decodificator de adrese centralizat și un sistem individual de conexiuni.

Pentru un post de afișare conform figurii 47, registrul de memorie se încarcă paralel în momentul când este adresat (la încăierea

unei rotații). Afișajul rămâne nemodificat între 2 inscrieri succesive, fiind comandat prin intermediul decodificatorului BCD - 7 segmente.

Pentru instalații cu număr mare de posturi, necesare în aplicațiile industriale, această structură cunoscută reclame un număr mare de circuite logice: 7 capsule TTL/post.

O soluție de reducere a complexității sistemului dez afișare este memorarea centralizată a datelor și comanda multiplexată a afișajelor individuale. Soluția, cunoscută pentru multiplexarea cifrelor într-un afișaj cu mai multe ranguri /1/, poate fi aplicată, conform unei implementări originale a autorului /57/, prin multiplexarea cuvintelor de afișare, într-un sistem distribuit.

Blocul central de comandă conține, în acest scop, o memorie cu datele de afișat, un decodificator BCD - 7 segmente și un numărător de adrese care citește ciclic toate datele. Dacă se asigură o frecvență de baleiaj mai mare de 50 Hz pentru fiecare post, se poate obține, în posturile individuale, un afișaj aparent continuu, iar dacă se supracomandă corespunzător, intensitatea luminoasă rezultă normală. În această configurație originală, structura postului individual de afișare are o complexitate mult redusă, conform figurii 48.

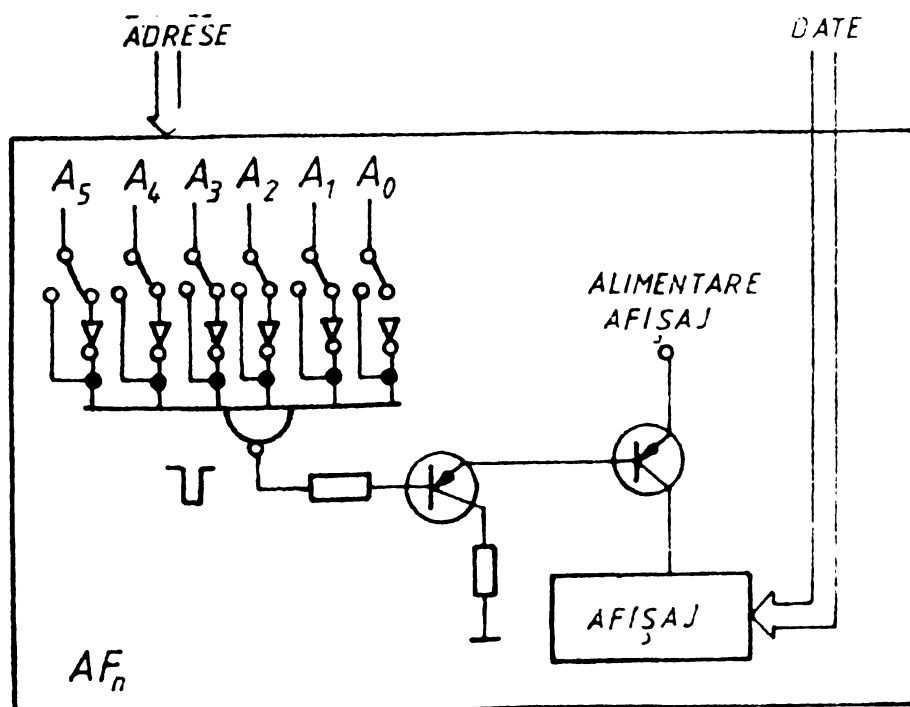


Figura 48

Decodificarea individuală de adrese, pînă la 64 de posturi se poate realiza cu 2 circuite TTL SSI (430 și 404), iar comanda în cu-

rent a dispozitivelor optoelectronice se face cu factor de umplere mic și curent mare /1/, realizată printr-un întrerupător de alimentare, realizat cu 2 tranzistoare.

În concluzie, utilizând comanda multiplexată, în locul a 5 circuite TN (registre și decodificatoare cu colectorul în gol) și 18 rezistoare, se utilizează 2 tranzistoare și 2 rezistoare, ca întrerupător de alimentare. Pentru o instalație industrială cu zeci de posturi, reducerea complexității devine apreciabilă.

Pentru implementarea acestei soluții este nevoie, însă, de o structură corespunzătoare a blocului de comandă a afișajului. Astfel, acesta trebuie să conțină o memorie tampon, cu erorile momentane pentru toate posturile, care să fie scaliată ciclic, cu o frecvență impusă de inerția ochiului uman. Pentru funcționare în timp real, această memorie trebuie să poată fi încărcată cu erorile momentane determinate de blocul de calcul, prin acces direct la memorie, DMA. Comanda magistralei de adrese trebuie să asigure un fan-out funcție de numărul posturilor distribuite  $N$ , iar comanda magistralei de date trebuie să asigure un curent suficient de mare, prin rezistențe de limitare, pentru a realiza intensitatea luminoasă nominală a dispozitivelor de afișare, comandate cu factorul de umplere  $1/N$ .

Schema de principiu a blocului de comandă a afișajului multiplexat distribuit, conform soluției originale propuse, este prezentată în figura 49.

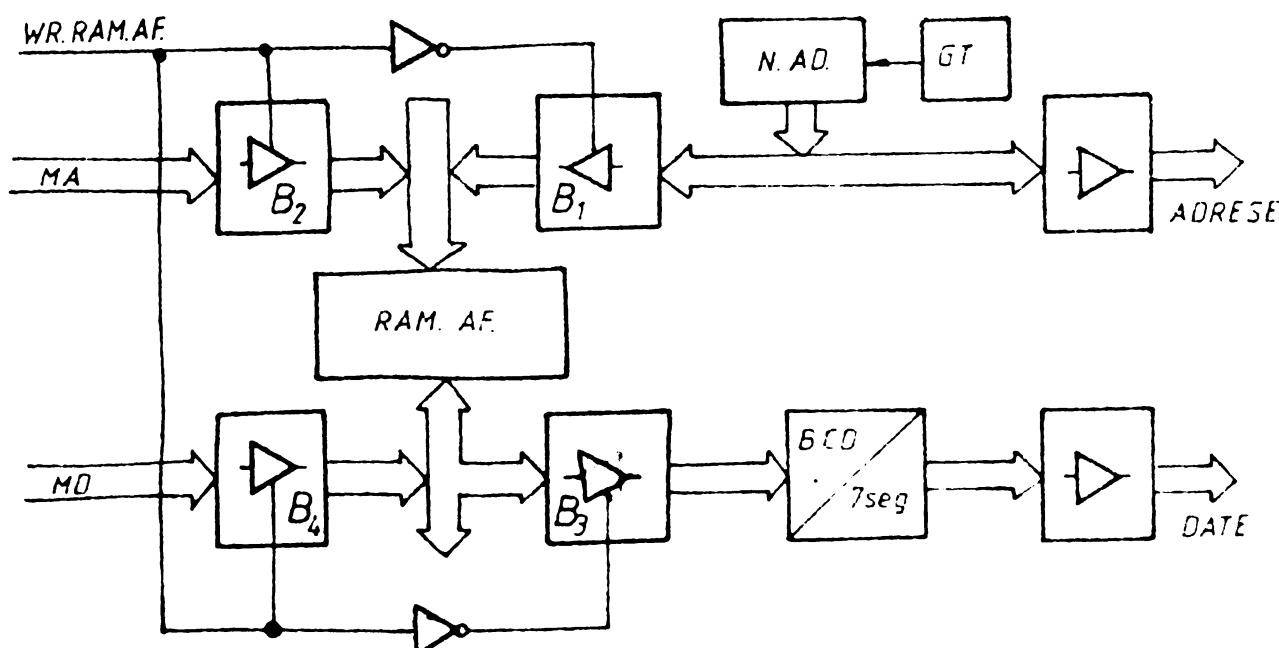


Figura 49



În funcția "citire",  $WR.RAM.AF = 0$ , memoria RAM este balciată ciclic cu numărătorul de adrese N.AB., cu frecvența impusă de generatorul de tact GT, bufferele  $B_1$  și  $B_2$  fiind descrise.

În funcția "scriere",  $WR.RAM.AF = 1$ , microprocesorul, care realizează determinarea erorii, comandă descălderea bufferelor  $B_2$  și  $B_4$ , oprind astfel citirea (pentru un timp de ordinul ciclului de mașină), și înscrie eroarea determinată, la adresa corespunzătoare (prin DMA).

Complexitatea părții centrale a afișajului multiplexat este dată de memoria RAM (2 octeți pentru un post), de bufferele de selecție a modului de lucru și de amplificatoarele de comandă ale magistralelor de adrese și de date, realizate cu tranzistoare.

În implementările practice, este necesară o frecvență de baleiaj de minimum  $50 \times N$  Hz, N fiind numărul de posturi, ceea ce asigură o comandă cu 50 Hz a fiecărui afișaj, cu un factor de umplere de  $1/N$ . Pentru  $N = 40 + 64$  (caracteristic blocurilor de achiziție cu prelucrare software sau hardware paralel), se poate obține o intensitate luminoasă corespunzătoare prin supracomandarea, la limită, a diodelor electroluminiscente ( $10 - 20 \times I_n$ ,  $I_n$  fiind curentul continuu nominal). Pentru obținerea acestei comenzi, se utilizează amplificatoare de curent cu tranzistoare. Schemele trebuie astfel realizate, încât căderea de tensiune serie pe tranzistoarele amplificatoare de curent și cele întrerupătoare de alimentare să fie minimă, pentru ca diferențele de tensiune pe diodele electroluminiscente să nu conducă la diferențe mari ale curenților de comandă și, deci, la stăluciri diferite, sesizabile.

Comparativ cu soluția cunoscută, metoda afișajelor distribuite multiplexate prezintă următoarele avantaje:

- asigură o complexitate totală redusă a blocului de afișare,
- complexitatea crește foarte puțin cu creșterea numărului de posturi, datorită simplității afișajelor individuale,
- pe magistrala de date apar succesiv, cu frecvență mare, erorile tuturor posturilor, ceea ce permite captarea lor în afișaje centralizate (paragraful 7.3.).

Pe lângă avantajele prezentate, soluția are o limită: diodele electroluminiscente nu pot fi comandate cu factor de umplere oricât de mic, dat fiind că nu suportă, chiar în impulsuri, curent de comandă oricât de mare (pentru a asigura o valoare medie apropiată de comanda în curent constant). Aceasta conduce la limitarea numărului de posturi de afișare ce pot fi multiplexate conform acestei implementări.

Avînd în vedere că există posibilitatea realizării unor instalații de testare a contoarelor cu peste 100 de posturi (cu bloc de așini-ziție cu prelucrare hardware serie) este necesară o soluție de afișare distribuită cu număr mare de posturi.

Datorită avantajelor prezentate, este utilă implementarea multiplexată a afișajelor. Soluția utilizării mai multor blocuri de multiplexare ar conduce la mai multe blocuri de memorie și de comandă, care ar crește complexitatea instalației. Dacă, însă, se utilizează un singur bloc de comandă, cu mai multe registre tampon, se poate crește factorul de umplere cu un factor egal cu numărul registrelor. Schema bloc a acestei implementări originale a autorului, destinată părții centrale a unui sistem de afișare distribuit, cu număr foarte mare de posturi, este prezentată în figura 50.

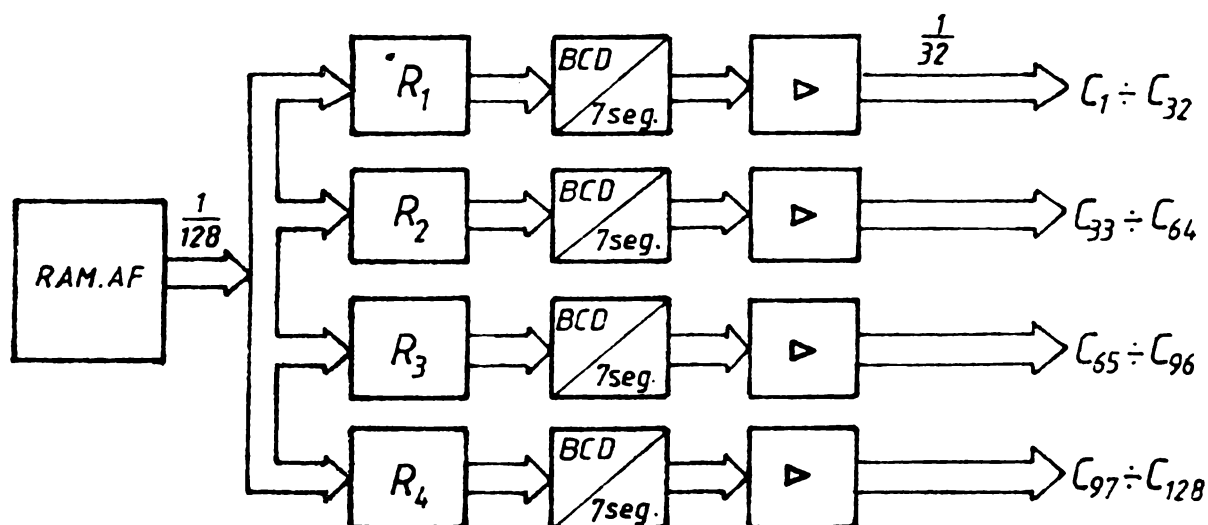


Figura 50

Memoria RAM este baleiată, în cazul unei instalații cu 128 de posturi, cu un factor de umplere de  $1/128$  pentru fiecare adresă. Inscrind succesiv datele în cele 4 registre tampon, rezultă la ieșirile acestora un factor de umplere de  $1/32$ , acceptabil pentru orice tip de diode electroluminiscente. Cu prețul câtorva registre și decodificatoare TTL, numărul posturilor multiplexate poate fi oricât de mare. Trebuie să facem următoarele observații:

1. Afișajele nu se mai conectează pe o magistrală unică, ci pe mai multe magistrale, ceea ce nu reprezintă un dezavantaj major, deoarece panoul de testare a contoarelor nu este, în cazul numerelor mari de posturi, un șir  $128 \times 1$  contor. Dacă contoarele sînt plasate pe mai multe rînduri sau pe ambele fețe ale panoului, ramificația de magis-

trale nu introduce lungimi mai mari de cablare.

2. Pentru obținerea, pe cele 4 magistrale, a datelor corespunzătoare unor posturi consecutive, este necesară citirea memoriei într-o secvență modificată. Folosind cei mai semnificativi 2 biți ai adresei posturilor de testare ca cei mai puțin semnificativi biți ai adresei de citire din RAM, se realizează secvența dorită. Este preferabilă, din acest mod de comandă, utilizarea unui număr de registre tampon  $N$  egal cu o putere a lui 2.

In concluzie, pentru sistemele de determinare centralizată a erorilor, cu sistem cu microprocesor, este recomandabilă metoda multiplexării afișajelor distribuite, care conduce la cea mai mică complexitate în cazul instalațiilor industriale, cu zeci de posturi de testare. În funcție de numărul de posturi și de caracteristicile dispozitivelor electroluminiscente de afișaj, se utilizează sisteme de comandă cu magistrală unică sau cu magistrală ramificată. Soluția acoperă practic toate necesitățile de afișare în etalonarea contoarelor, fiind mult mai economică decât afișarea cu memorare și decodificare distribuită.

De observat că soluțiile propuse pentru realizarea blocului de afișare nu sînt limitate la testoare cu achiziție centralizată cu microprocesor, fiind aplicabile și metodelor cunoscute, cu condiția memorării erorilor într-o memorie RAM centrală.

### 7.3. Bloc de afișare centralizat

Blocul de afișare centralizat este destinat verificării metrologice a contoarelor. În cadrul acestei operații, operatorul nu trebuie să vină în contact cu contoarele testate, ci doar să citească crearea acestora la un post centralizat de verificare, de exemplu pe panoul frontal al unității de determinare a erorilor. După încheierea unei rotații la fiecare contor, în memoria RAM se află erorile de măsurare corespunzătoare unei rotații. Acestea trebuie citite succesiv și acordat calificativul admis/respins, în fiecare probă.

O primă soluție ar fi citirea acestora direct din memorie, utilizînd un numărător de adrese cu avans manual. Aceasta prezintă dezavantajul imposibilității (sau complicării) afișării simultane pe afișajele individuale multiplexate. Pentru a realiza această compatibilitate-

te, se preferă reținerea de pe magistralele comune doar a acelor date multiplexate, care corespund postului dorit la un moment dat. Această soluție originală a autorului, care face obiectul unui brevet de invenție /51/, este prezentată schematic în figura 51.

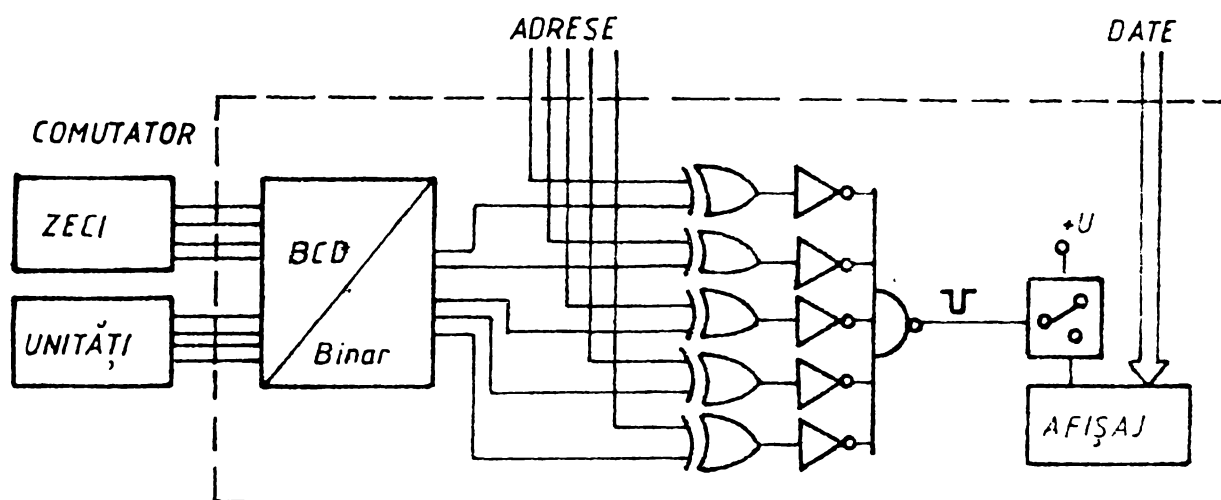


Figura 51

Pe aceleași magistrale multiplexate, destinate afișajelor distribuite, este conectat și afișajul centralizat, care ne interesează. Inscrierea datelor în acesta se face în momentele de coincidență a adresei curente (baleiate) pe magistrală cu cea preselectată manual de operator, printr-un comutator decodic. Uzual, baleiajul memoriei se face la toate adresele binare, ceea ce reclamă conversia numărului preselectat din BCD în binar. La fiecare coincidență, afișajul centralizat este comandat de datele corespunzătoare postului ales. Inscrierea cu frecvență mare, a sistemului de multiplexare, asigură continuitatea aparentă a afișării, ceea ce evită utilizarea unor registre tampon.

De observat că, în principiu, selecția afișajului centralizat se face identic cu cele distribuite. Deosebirea constă în faptul că cele distribuite realizează funcția de coincidență cu o adresă fixă (cablată), în timp ce afișajul centralizat realizează această funcție cu orice adresă, selectată.

În instalațiile industriale de verificare, cu număr relativ redus de posturi, soluția prezentată este utilă, operația constând în baleierea manuală a tuturor adreselor și înregistrarea rezultatelor de către operator. În cazul instalațiilor complexe, alegerea manuală a adresei devine neeficientă și se preferă o verificare automatizată a contoarelor. În acest scop, se utilizează facilitatea de avans cu-

tomat (lent sau rapid) a adreselor, cum afigerea utit a adresei con-  
torului, cit și a erorii corespunzătoare. Utilizarea microprocésoru-  
lui în aceste instalații permite și determinarea directă a califica-  
tivului admis/respins, cu oprirea avansului automat la detectarea u-  
nui contor respins.

Problema care se pune în această situație este de conversie a  
adresei binare de baleiaj a numărului în formă zecimală, pentru afigere.  
Realizarea prin hardware a acestei conversii, cu decodificatoare TTL,  
conduce, în cazul numerelor mari, la complexități inacceptabile /38/.  
Utilizarea doar a adreselor zecimale din memorie cu rezultate este ne-  
eficientă, prin utilizarea doar a 40 % din capacitatea disponibilă.

Soluționarea acestei probleme, conform implementării propuse  
în figura 52, se bazează pe observația că nu trebuie realizată conver-  
sia unor numere aleatoare, ci consecutive. Astfel, se utilizează 2  
numărătoare, în paralel: unul binar, pentru citirea memoriei, celăl-  
alt zecimal, pentru comanda afigajului. Dacă sînt simultan inițializate,  
ele conțin permanent numărul binar și echivalentul său zecimal.

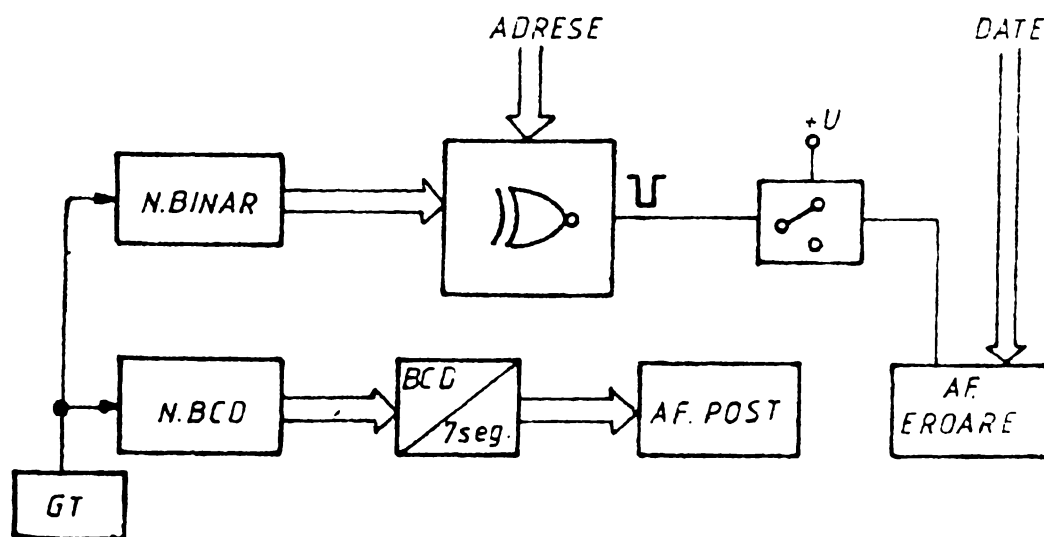


Figure 52

În concluzie, afișajul centralizat, destinat verificării metro-  
logice, este eficient prin utilizarea unei celule de afigere asemănă-  
toare celor distribuite, conectată pe aceeași magistrală, care permi-  
te afigerea erorii oricărui contor, prin selecția adresei corespunză-  
toare. Pentru număr mic de posturi poate fi utilizat un baleiaj manu-  
al al posturilor, pentru număr mare de posturi, este preferabilă ba-

leierea automată a erorilor, cu facilități de oprire la erori ce ies din clasa de precizie și înregistrarea automată a contoarelor respinse.

#### 7.4. Bloc de transfer al pachetelor de rezultate

Soluțiile prezentate în paragrafele 7.2. și 7.3. sînt destinate etalonării manuale și verificării metrologice manuale sau cu facilități de automatizare. Deoarece verificarea metrologică nu implică intervenția operatorului asupra contorului, această operație poate fi realizată complet automat.

Verificarea automată presupune următoarele operații, comandate de microprocesor:

- comanda probelor de testare, prin intermediul consolei simulatorului de sarcină,
- reglarea mărimilor electrice, în fiecare probă, la valorile nominale,
- determinarea erorilor pentru cel puțin o rotație, conform metodelor prezentate,
- extragerea rezultatelor pentru toate probele, în formă tipărită, ca buletine de verificare metrologică.

Pentru blocul de extragere a rezultatelor, aceasta presupune memorarea erorilor pentru toate posturile, în fiecare probă, iar după încuiera secvenței de verificare, transferarea acestora unui minicalculator destinat prelucrării rezultatelor, memorării pe suport magnetic sau tipăririi, sau transferarea lor directă, într-un format dat, unui periferic de tipărire /15/.

În scopul prelucrării în acest mod a rezultatelor, sistemul de centralizare mai reține rezultatul probelor de sensibilitate și mers în gol, ca și date generale ale producției (seria contorului, numărul de marcă al producătorului, al verificatorului, etc.).

Datele de intrare și rezultatele probelor, în funcție de capacitatea testorului și de formatul de memorare, ocupă 1 - 4 kocteți RAM. Acest pachet de date se transferă, la încuiera verificării, prin mijloacele caracteristice terminalelor cu transmisie serie unui calculator sau unei imprimante / 20, 47/. În principiu, un singur calculator cu destinație generală poate asigura recepția tuturor datelor, deoarece o transmisie nu durează mai mult de 1 minut, după o verificare de ordinul orei.

În concluzie, atît în cazul verificării automate, cît și în cazul verificării manuale, pentru extragerea în bloc a rezultatelor, în vederea memorării pe suport magnetic, prelucrării statistice sau tipăririi la o imprimantă comună, se utilizează un bloc de memorie RAM, distinct, de 1 - 4 kocteți, care se transmite serial unui calculator central, cu destinație generală, care deserveste toate testoarele dintr-o secție de verificare a contoarelor de energie.

### 7.5. Performanțele blocurilor de afișare

O comparație a performanțelor soluțiilor prezentate în acest capitol nu este necesară, dat fiind că, în principiu, variantele propuse sînt destinate unor scopuri și structuri de instalații diferite.

Sistemul de afișare distribuit, cu multiplexarea magistralelor, conduce la o reducere a complexității unității individuale de afișare cu 50 - 60 %, față de soluția cunoscută, cu memorare și decodificare distribuită, și, deci, devine mai economic la toate testoarele cu peste 8 posturi. Pînă la 32 - 40 de posturi, poate fi realizat cu multiplexare directă, peste această capacitate, cu registre tampon.

Sistemul de afișare centralizat este necesar în instalațiile în care operatorul ar trebui să se deplaseze pentru a citi toate afișajele individuale. În varianta manuală prezentată, complexitatea acestuia depășește cu puțin pe cea a unui afișaj individual. Pentru număr mare de posturi de verificare, soluția beleierii ciclice automate a erorilor, cu verificarea depășirii erorii maxime admise, conduce la creșterea considerabilă a vitezei de verificare, prin eliminarea citirii tuturor erorilor (admise).

Soluțiile prezentate, majoritatea contribuții originale ale autorului, reprezintă variante economice și productive pentru toate operațiile necesare (etalonare, verificare, centralizare de date) în instalații de testare a contoarelor cu diverse capacități.

## Capitolul 8

### ASUPRE ERORILOR DE DETERMINARE A ERORILOR DE MĂSURARE

#### 8.1. Surse de erori în testarea contoarelor

Orice instalație de determinare a erorilor contoarelor de energie are, în principiu, structura prezentată în figura 1. În cazul metodelor automatizate, ce furnizează direct eroarea relativă de măsurare pe ultima rotație a discului, schema bloc este cea prezentată în figura 7. Metoda originală a achiziției centralizate cu microprocesor, prezentată în capitolul 3, cu diversele variante de implementare, face parte din această categorie. În procesul de determinare a erorilor contoarelor, intervin următoarele categorii de erori:

1. eroarea cu care se măsoară energia reală  $W_{\text{etalon}}$
2. eroarea cu care se determină energia măsurată  $W_{\text{măsurat}}$  respectiv perioada de rotație a discului contorului testat,
3. eroarea cu care se determină eroarea relativă de măsurare, conform relației de definiție (1).

În prima categorie de erori sînt incluse erorile transformatoarelor de măsură, de curent și tensiune, între circuitul de putere, în care se află contoarele testate, și circuitul de măsură, în care se află etalonul (contor static sau calibrator de putere cu cronometru electronic). Aceste transformatoare se situează în clasele de precizie 0,1, 0,2, 0,5. Etaloanele de energie cele mai precise sînt contoarele statice, ce se realizează în prezent de clasă 0,05, 0,1, 0,2, 0,5 /26, 27, 28, 30, 37, 69, 77, 78, 83/. De observat, însă, că aceasta nu reprezintă eroarea relativă maximă în tot domeniul de măsurare /21, 62, 75/.

În cea de a doua categorie de erori sînt incluse erorile traductorului optoelectronic de rotație și cele date de măsurarea numerică a perioadei de rotație a discului. Pentru traductoarele optoelectronice de rotație, firmele producătoare nu indică eroarea de măsurare, nefiind vorba de o măsurare propriu-zisă /29, 69, 70/. În principiu, erorile lor sînt sistematice și nu afectează precizia măsurării, iar abaterile de la acestea se mediază în timp. Eroarea măsurării numerice a perioadei de rotație este eroarea sistemului de achiziție.



Din cea de a treia categorie fac parte erorile de calcul, conform relației (1), fiind date de algoritmul implementat în blocul de calcul al testorului.

În concluzie, pentru determinarea clasei de precizie a testorului de contoare, interesează eroarea de măsurare a perioadelor de rotație, în blocul de achiziție centralizată, și eroarea de calcul, în blocul de calcul al sistemului.

## 8.2. Erorile introduse de blocul de achiziție

Blocul de achiziție, indiferent de modul concret de realizare, efectuează măsurarea unor intervale de timp, în formă numerică. Erorile corespunzătoare sînt caracteristice măsurărilor cu numărătorul universal /42/.

Elementul nou este efectuarea acestei măsurări simultan pentru mai multe canale de intrare. Astfel, la fiecare impuls etalon, se verifică pentru fiecare canal dacă s-a încheiat sau nu intervalul de măsurat. Această verificare se face secvențial, ceea ce înseamnă că verificarea pentru un canal oarecare se face cu o anumită întârziere față de impulsul etalon, care declanșează această secvență de verificări. Dacă această întârziere este constantă pentru fiecare post, la fiecare impuls etalon, atunci blocul de achiziție nu introduce erori suplimentare. Este cazul blocului de achiziție cu prelucrare hardware serie (paragraful 5.3.), care execută o secvență de căutare fixă, independent de rezultatele verificării.

Dacă, însă, durata secvenței de verificări variază în funcție de încheierea sau nu a intervalelor de măsurat, se pune problema determinării erorilor suplimentare.

O soluție de evitare a acestor întârzieri (constante sau variabile) este de a eșantiona și reține, pentru durata verificărilor, stările logice ale canalelor de intrare, într-un moment bine precizat de impulsurile etalon. Se realizează astfel o eșantionare sincronă cu semnalul etalon, ceea ce conduce la analizarea tuturor canalelor în condiții identice (timpul fiind "oprit"). Erorile ce pot apărea în această situație sînt reprezentate în diagramele de timp din figura 53.

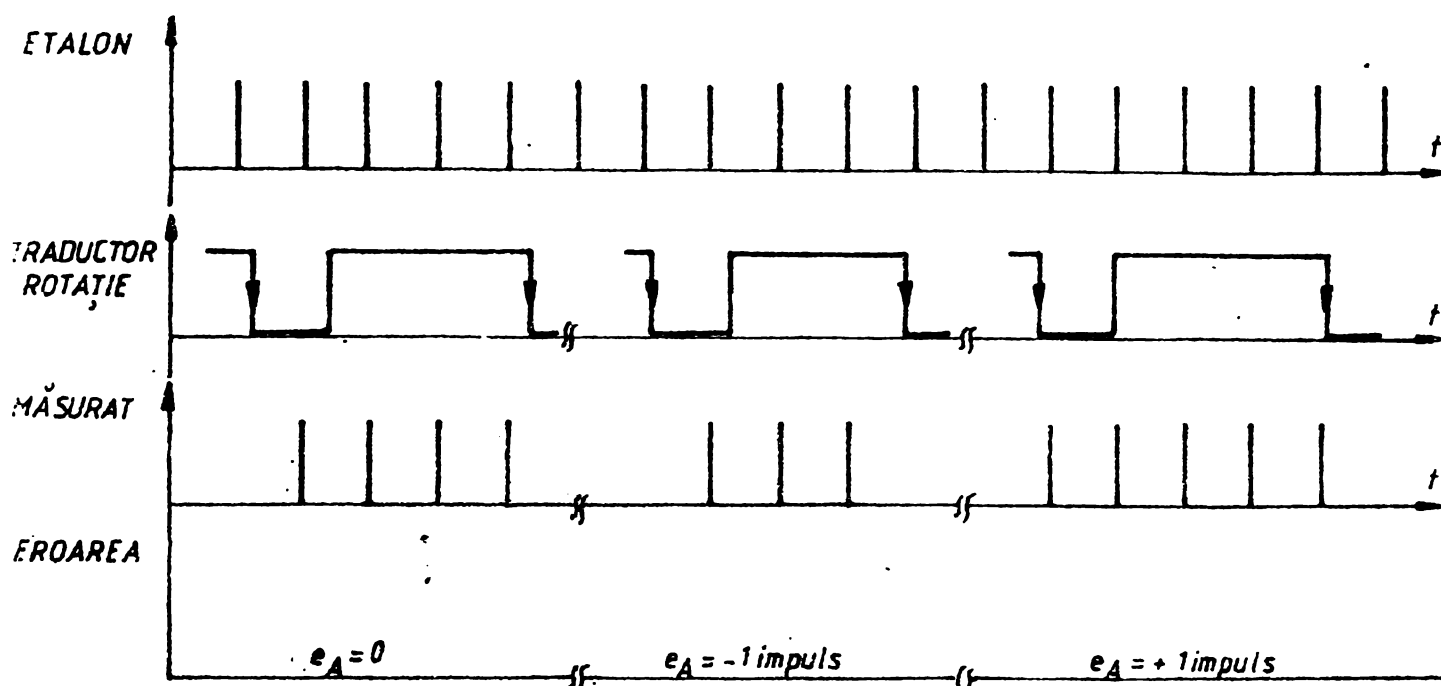


Figura 53

Diagramele de timp pun în evidență concluzia cunoscută: eroarea maximă este  $\pm 1$  impuls. Rezultă, deci, că pentru orice blocuri de achiziție prevăzute cu porturi de intrare, care realizează eşantionarea sincronă a semnalelor de intrare, eroarea maximă este de 1 impuls, iar eroarea relativă (cea care contează în măsurarea energiei) depinde de numărul impulsurilor etalon pe durata unei rotații a discului. Pentru blocul de achiziție cu prelucrare hardware serie, care realizează o întârziere constantă de citire a fiecărui post, se obține aceeași concluzie, chiar fără utilizarea porturilor de eşantionare. Acesta poate realiza aceleași performanțe utilizând doar buffere tri-state de intrare.

În cazul în care, pentru celelalte tipuri de blocuri de achiziție nu se utilizează porturi de eşantionare, se realizează o sondare a canalelor de intrare, secvențial, prin eşantionare asincronă cu impulsurile etalon, în momente de timp relative la impulsurile etalon cu întârzieri dependente de poziția contorului în seria de testare și de rezultatele verificărilor posturilor precedente.

Timpul de execuție necesar verificării unui canal în care nu s-a încheiat rotația  $t_0$  este mai scurt față de timpul de execuție necesar verificării unui canal în care s-a încheiat rotația și se face transferul de date  $t_1$ . Astfel, postul  $k$  poate fi citit (eşantionat) după o întârziere cuprinsă în intervalul  $T_{\min} = (k-1) \cdot t_0 + T_{\max} = (k-1) \cdot t_1$ .

Din estimările făcute în capitolul 5 rezultă, cu aproximație,  $t_1 = 10 \cdot t_0$ . Fenomenul apare mai evident (și deranjant) pentru posturile corespunzătoare sfârșitului secvenței de verificare (pentru ultimul post, la o frecvență a impulsurilor etalon de 1 kHz, timpul de întârziere a verificării după apariția impulsului etalon poate varia în intervalul  $T_{\min} = 0,1 \text{ ms} \pm T_{\max} = 1 \text{ ms}$ ).

Erorile ce pot apărea în cazul eșantionării asincronă sînt reprezentate în figura 54.

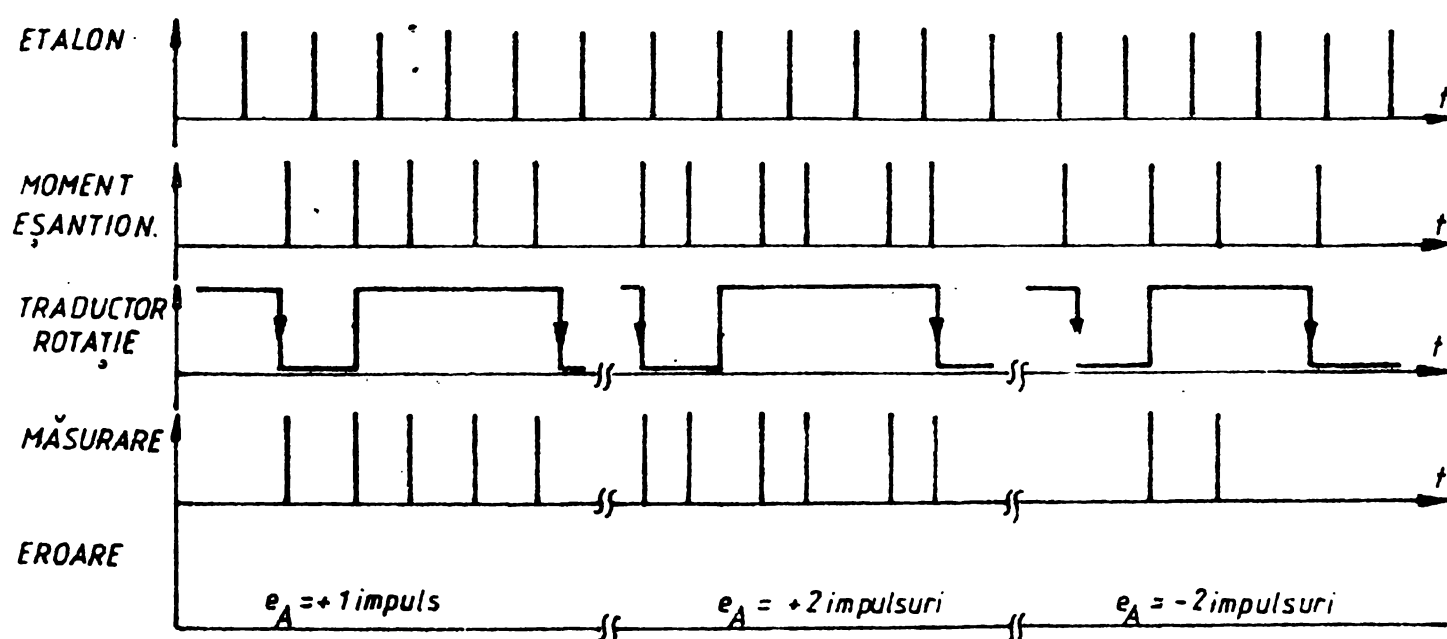


Figura 54

Se observă că, în situațiile în care erorile posibile în eșantionarea sincronă se asociază cu erorile datorate citirii în momente relative diferite, pot apărea erori de  $\pm 2$  impulsuri. Concluzia este importantă în alegerea structurii blocului de achiziție, deoarece ea evidențiază faptul că, deși măsurarea este inițializată la fiecare impuls etalon (care reprezintă rezoluția de măsurare și, aparent, și precizia măsurării), eroarea maximă posibilă este mai mare.

Rezultă, deci, că pentru blocurile de achiziție cu prelucrare software și, respectiv, cu prelucrare hardware paralel, se impune cu necesitate utilizarea porturilor de intrare pentru eșantionare sincronă, în scopul reducerii la jumătate a erorii maxime posibile.

În concluzie, pentru obținerea preciziei maxime în blocul de achiziție, este necesară eșantionarea semnalelor de intrare sincron cu impulsurile etalon, urmată de sondarea succesivă a stărilor reținute. Această soluție nu introduce erori datorate intervalelor de

timp diferite, de la un impuls la altul, după care este citit un post de testare, limitând eroarea la cea caracteristică măsurărilor numerice a intervalelor de timp, de  $\pm 1$  impuls. Eroarea relativă depinde de numărul impulsurilor de durata unei rotații a discului, fiind mai mică de 0,1 % pentru intervalul numărului nominal de impulsuri utilizat, 1024 - 2047.

Condiția de eșantionare sincronă este realizată implicit de blocul de achiziție cu prelucrare hardware serie și este realizată în porturile de intrare, pentru blocurile de achiziție cu prelucrare software și respectiv hardware paralel.

### 8.3. Erori introduse de blocul de calcul

Calculul erorii relative de măsurare a contoarelor se efectuează în formă numerică, conform relației (3), pe baze unor date numerice:  $N_{\text{nominal}}$  determinat prin calcul, cu relația (19), și numărul de impulsuri măsurat pe durata unei rotații a discului, furnizat de blocul de achiziție. Rezultă, deci, că blocul de calcul nu poate introduce erori. Totuși, erorile care pot apărea se datorează rezoluției limitate cu care se efectuează aceste calcule.

Astfel,  $N_{\text{nominal}}$  fiind în intervalul 1024 - 2047, poate fi determinat cu o incertitudine de 0,1 %, dacă se lucrează în numere întregi. Conform algoritmului de calcul propus în paragraful 6.3., însă, erorile introduse de calculul numeric pot fi reduse oricât de mult, în funcție de subrutinele de calcul folosite și de lungimea operanzilor. Astfel, dacă determinarea numărului  $N_{\text{nominal}}$  se face cu câteva ranguri zecimale după virgulă, după amplificarea cu 1600, numărul întreg obținut este cunoscut cu o incertitudine mai mică de 0,0001 %, deci neglijabilă față de oricare alte erori din sistemul de testare.

În concluzie, erorile de calcul pot fi de același ordin de mărime cu cele introduse de blocul de achiziție, în cazul în care numărul  $N_{\text{nominal}}$  este determinat ca întreg. Dacă determinarea acestuia se face cu câteva ranguri după virgulă, eroarea devine neglijabilă. Se observă că timpul de calcul nu reprezintă o limită în reducerea erorii, datorită faptului că  $N_{\text{nominal}}$  se calculează o singură dată în fiecare probă.

#### 8.4. Clasa de precizie a aparatului de testare a contoarelor

Clasa de precizie a aparatului pentru determinarea erorilor, într-o instalație pentru testarea contoarelor de energie, este determinată de eroarea cu care se obține eroarea relativă de măsurare a aparatului testat. În principiu, relația de calcul este :

$$e_r = \left( \frac{N_{\text{nominal}}}{N_{\text{măsurat}}} - 1 \right) \cdot 100 \quad (20)$$

rezultând o eroare totală egală cu suma erorilor de determinare a celor 2 factori:

$$e_e = e_c + e_A \quad (23)$$

unde  $e_c$  este eroarea blocului de calcul, în determinarea lui  $N_{\text{nominal}}$  iar  $e_A$  este eroarea blocului de achiziție, în determinarea lui  $N_{\text{măsurat}}$ .

1. Factorul  $N_{\text{nominal}}$  este determinat prin calcul din constante memorate sau citite și, deci, eroarea poate fi scăzută oricât de mult prin utilizarea unor subrutine corespunzătoare și a unor operații de dimensiuni mai mari. Dacă se lucrează exclusiv în numere întregi,  $e_c = e_A$ , numerele având același ordin de mărime. Clasa de precizie rezultă din relația  $e_e = 2 \cdot e_A$ . Dacă se determină câteva ranguri zecimale pentru  $N_{\text{nominal}}$ , eroarea  $e_c$  devine neglijabilă, iar eroarea testorului este  $e_e = e_A$ , dată exclusiv de blocul de achiziție.

2. Factorul  $N_{\text{măsurat}}$  este determinat de blocul de achiziție. Pentru eșantionare sincronă, eroarea maximă este  $1/n$ ,  $n$  fiind numărul impulsurilor etalon pe durata unei rotații, adică:

$$e_A = \frac{1}{n} = \frac{T_{\text{etalon}}}{T_{\text{disc}}} \quad (24)$$

unde  $T_{\text{etalon}}$  este perioada de repetiție a impulsurilor etalon, iar  $T_{\text{disc}}$  este perioada de rotație a discului. Si această eroare poate fi redusă, teoretic, oricât de mult, fie prin măsurarea pe mai multe perioade  $T_{\text{disc}}$ , fie prin scăderea perioadei etalon. Medierea rezultatului pe mai multe perioade nu este convenabilă datorită creșterii timpului de testare, ceea ce scade considerabil productivitatea, mai ales în etalonare. Scăderea perioadei  $T_{\text{etalon}}$ , respectiv creșterea frecvenței de eșantionare, conduce la scăderea numărului de posturi

ce pot fi analizate în timp real, deci la scăderea productivității aparatului, situație care se analizează în continuare.

În funcție de configurație, de eficiența programelor, de viteza de execuție a microprocesorului, se poate stabili timpul maxim necesar prelucrării primare a datelor corespunzătoare unui canal:  $t_{TEST}$ . Acest interval de timp include și operațiile corespunzătoare sfîrșitului unei rotații a discului, de transfer al datelor.

Perioada minimă a impulsurilor etalon  $T_{etalon}$  trebuie să asigure testarea tuturor celor  $N$  canale de intrare, deci la limită:

$$T_{etalon} = N \cdot t_{TEST} \quad (25)$$

Din relațiile (24) și (25), numărul impulsurilor etalon pe o rotație se poate exprima în forma:

$$n = \frac{T_{disc}}{N \cdot t_{TEST}} \quad (26)$$

de unde:

$$n \cdot N = \text{constant} \quad (27)$$

Concluzia este că produsul rezoluție-capacitate de testare este o constantă și că, deci, mărirea rezoluției de măsurare ( $n$ ), pentru o instalație dată, se poate face doar în detrimentul numărului de posturi ( $N$ ). Ca un compromis între cele 2 caracteristici, se stabilește rezoluția blocului de achiziție, care determină, practic, eroarea totală a testorului:

$$e_e = e_A + e_C = e_A = \frac{1}{T_{disc} \cdot f_{etalon}} \quad (28)$$

Aparent, precizia crește la probele lente ( $T_{disc}$  mare), dar, din motive funcționale, se modifică în același raport și  $T_{etalon}$ , precizia păstrîndu-se în tot domeniul de testare.

În concluzie, pentru condițiile tipice în care au fost comparate diversele implementări ale metodei originale de determinare a erorilor contoarelor de energie ( $T_{disc}$  minim 1 s,  $f_{etalon} = 1 \text{ kHz} \pm 20 \%$ ), se obține, pentru capacitățile calculate în paragraful 5.4., o eroare maximă de 0,1 %.

Precizii superioare se pot obține cu toate blocurile de achiziție prezentate, asociate oricărui bloc de calcul, prin scăderea corespunzătoare a capacității de testare. Pentru precizii superioare este recomandat blocul de achiziție cu prelucrare hardware serie, datorită capacității deosebit de ridicate, care permite realizarea unei instalații de clasă 0,01 %, cu 16 - 24 de posturi.

Pe de altă parte se pune problema eficienței unor instalații cu precizie superioară celor de clasă 0,1 %. Pentru testarea contoarelor de clasă 2 și 1 este suficientă o eroare totală a instalației de 0,3 %. În aceste condiții, clasa 0,1 % a aparatului este suficientă, restul de eroare revenind etalomului și, mai ales, transformatoarelor de măsură. Pentru etalonarea contoarelor de clasă 0,5, date fiind condițiile severe impuse transformatoarelor de măsură, este utilă reducerea de câteva ori a erorii aparatului (prin reducerea capacității de testare). Această ultimă concluzie nu reprezintă un dezavantaj al sistemului, deoarece producția contoarelor de clasă 0,5 este cu câteva ordine de mărime mai mică decât cea a contoarelor uzuale. Dintr-o parte, ea pune în evidență optimizarea caracteristicilor și adaptabilitatea sistemului la cerințele concrete de precizie și capacități de testare.

## Capitolul 9

### REALIZARI SI REZULTATE PRACTICE

Experianța acumulată de autor în domeniul testării contoarelor de energie este legată nemijlocit de activitatea sa continuă, timp de 4 ani, în acest domeniu, în cadrul Intreprinderii de Aparate Electrice de Măsurat din Timișoara, care este unul din marii producători de contoare din lume. Rezultatele teoretice și practice obținute de autor sînt consecința acestei experiențe și, în plus, verificarea, experimentarea și aplicarea acestor rezultate are loc în cadrul aceleiași întreprinderi.

Rezultatele cercetărilor teoretice, sintetizate în această lucrare, sînt eficient exploatate prin realizarea unor testoare industriale de contoare de energie, ale căror caracteristici, performanțe și eficiență sînt tratate în acest capitol.

Aparatele realizate, Minex-32 și Minex-128, reprezintă invenții brevetate ale autorului, au fost premiate în diverse concursuri, au fost prezentate în cadrul tîrgului internațional TIB-80, sînt atestate de Institutul Național de Metrologie și sînt utilizate în producție, în cadrul Intreprinderii de Aparate Electrice de Măsurat din Timișoara, cu o eficiență economică deosebită.

#### 9.1. Aparatul Minex-32

Aparatul Minex-32 este un testor destinat etalonării și verificării metrologice manuale a 32 de contoare de energie simultan și reprezintă prima implementare, în țara noastră, a unei metode cu afișarea directă a erorilor (fotografia din figura 55).

Aparatul este realizat într-o configurație cu 2 microprocesoare 8080-A (paragraful 4.2.), în care primul sistem realizează achiziția, iar al doilea efectuează calculele. Blocul de achiziție este realizat conform metodei originale de achiziție centralizată (capitolul 3) și este implementat în configurația cu prelucrare software (paragraful 5.1.). Blocul de calcul efectuează continuu operațiile de determinare a erorilor, conform algoritmului original (paragraful 6.3.). Transferul datelor între cele 2 sisteme cu microprocesor se realizează



prin accesul direct al blocului de achiziție la memoria sistemului de calcul, inversând rolurile magistralelor de adrese și, respectiv, de date. Pentru etalonare, testorul este prevăzut cu un bloc de afigare a erorilor, distribuit, cu multiplexarea datelor (paragraful 7.2.), iar pentru verificarea metrologică, realizează afigarea centralizată pe panoul frontal al aparatului, cu un bloc compatibil cu magistrala multiplexată (paragraful 7.3.).

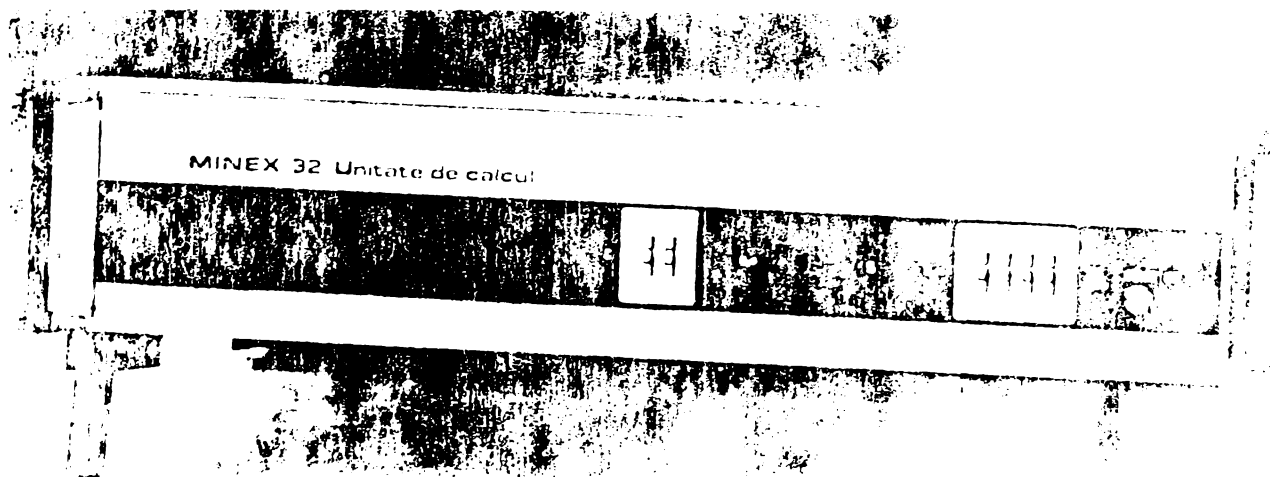


Figura 55

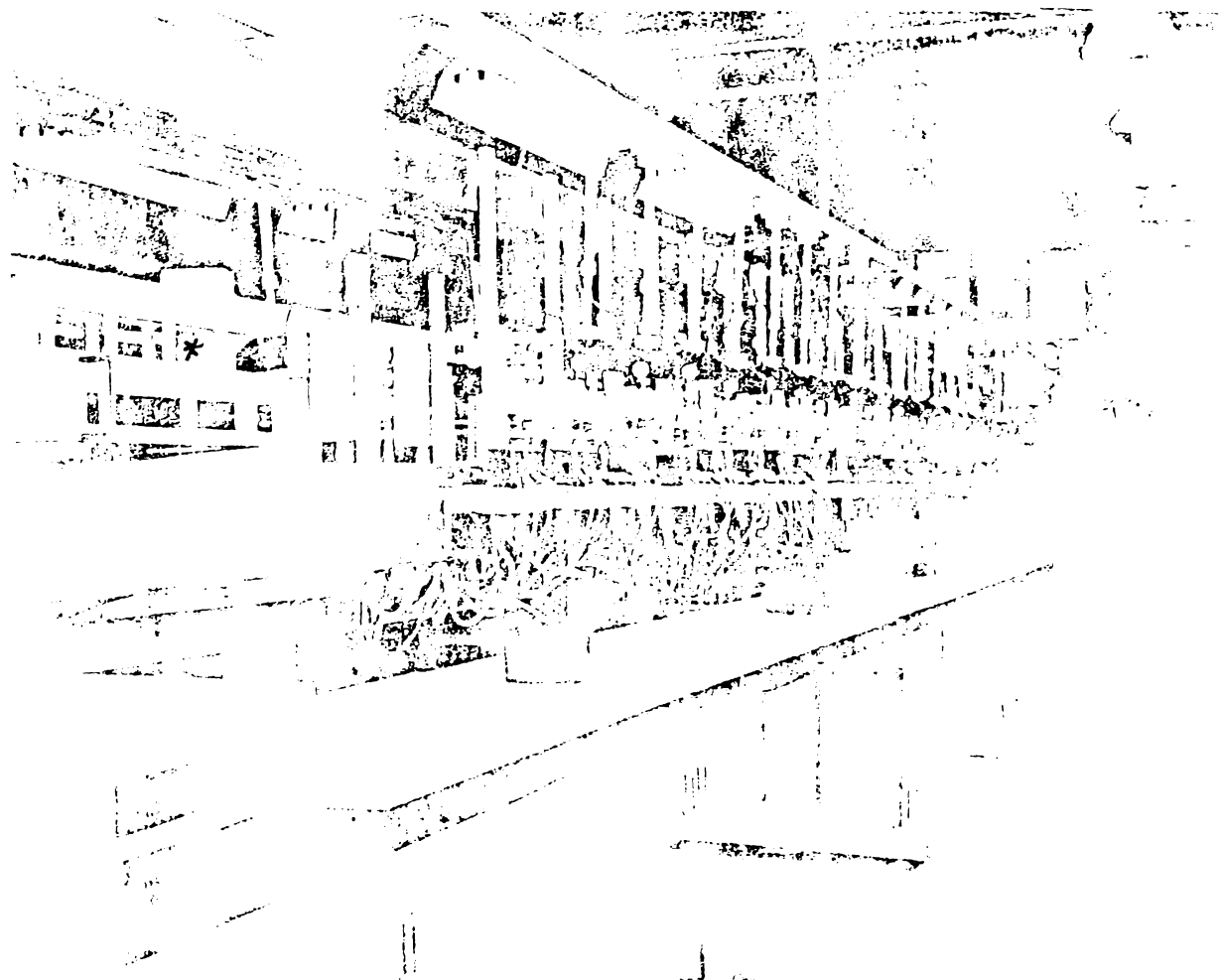
Principalele caracteristici tehnice ale aparatului sînt următoarele:

- numărul posturilor de testare simultană: 32,
- timpul de reacție al aparatului la afigarea erorilor: max. 100 ms,
- clasa de precizie: 0,1 %,
- domeniile de curent, tensiune și frecvență a impulsurilor etalon: programabile fix, în EPROM,
- pentru localizarea rapidă a defectelor din instalație: program de autotest.

Testorul Minex-32 poate fi utilizat atât în etalonare, cît și în verificarea metrologică, pentru orice tipuri de contoare de energie: monofazate și trifazate, active și reactive.

Testorul este utilizat continuu în producția de contoare, în cadrul atelierului de contoare trifazate al Intreprinderii de Aparatură Electrice de Măsurat din Timișoara, începînd cu anul 1980. Implementarea s-a făcut în simulatoarele de sarcină existente, modificările afectînd doar circuitul de măsură (contor static în loc de wattmetre

și cronometre manuale), conform imaginii din figura 56 (testorul este marcat cu \*). Instalația asigură 8 domenii de curent și 3 domenii de tensiune, frecvența nominală a impulsurilor etalon fiind 900 Hz.



**Figura 56**

**Eficiența aparatului în producție poate fi apreciată din următoarele puncte de vedere:**

- 1. economia realizată prin implementarea aparatului Minex-32, comparativ cu soluții bazate pe alte metode de testare,**
- 2. creșterea productivității muncii în etalonare și verificare, ca urmare a reducerii timpului de determinare a erorilor,**
- 3. creșterea productivității muncii ca urmare a creșterii procentului de contoare admise la verificarea metrologică,**
- 4. creșterea preciziei de etalonare.**

**1. Testorul Minex-32 este un aparat care furnizează în mod automat eroarea de măsurare, după încheierea ultimei rotații a discului, pentru toate cele 32 de posturi testate. Performanțe similare pot realiza doar instalațiile implementate conform metodelor ce furnizează direct eroarea de măsurare: conversia de frecvență a impulsurilor e-**

talon, calculul cu minicalculator și întreruperile într-un sistem cu microprocesor.

Conform primei variante, o instalație similară ca performanțe în domeniul afișării erorilor poate fi asamblată din module produse de firma Siemens: 3 blocuri de conversie a frecvenței (fan-out 10), 32 de blocuri de calcul individual și 7 blocuri de alimentare, împreună cu traductoarele optoelectronice de rotație și elementele de afișare corespunzătoare. În această configurație, sistemul de determinare a erorilor are o complexitate de aproximativ 3000 de circuite integrate SSI și MSI, plus 32 circuite integrate LSI (destinate calculului individual) și costă 100.000 DM, /69, 70/.

Soluții recente, conform aceleiași metode a conversiei de frecvență, realizate în țară, permit obținerea unei capacități de 32 de posturi, utilizând 2 aparate SETAC-16, cu o complexitate totală de aproximativ 800 circuite integrate SSI și MSI, dar fără afișaje individuale. O variantă modulară a instalației SETAC utilizează un bloc de conversie a frecvenței și module individuale de calcul și afișare, similar soluției propuse de firma Siemens, cu o complexitate de aproximativ 400 circuite integrate SSI și MSI pentru capacitatea menționată /74/.

Toate implementările conform metodei conversiei de frecvență se caracterizează prin complexitate ridicată și pierderea, în timp, a rezultatelor, datorită dispersiei acestora spre perifericele de afișare și necentralizării ei, în funcționarea normală. De asemenea, soluțiile nefiind ușor programabile, impun restricții asupra frecvenței impulsurilor etalon, asupra constantei contoarelor. Absența unui sistem cu microprocesor nu permite realizarea unor autoteste eficiente și nu permite prelucrarea superioară a rezultatelor obținute.

Conform celei de a doua variante, singura instalație cu minicalculator care permite etalonarea contoarelor (furnizarea erorii în timp real) este realizată de firma Landis-Gyr. Cu o capacitate de 54 de posturi, instalația are o complexitate extrem de ridicată, la care se adaugă un minicalculator PDP-11 cu perifericele sale, rezultând un preț total ce depășește 1.000.000 SFr /61/. Majoritatea instalațiilor cu minicalculatoare, însă, produse de firmele Siemens și Landis-Gyr, nu permit etalonarea în timp real, fiind destinate exclusiv verificării automate, din cauza timpului de calcul inacceptabil de lung /25, 67, 69, 70/.

În țară, încercările de realizare a unor astfel de instalații automate de verificare nu au fost extinse, datorită complexității și prețului exagerate și datorită imposibilității utilizării lor în etalonare /32/.

Instalații care utilizează capacitatea de comandă, control și calcul a microprocesoarelor sînt realizate de firme mari producătoare de contoare de energie, ca Iskra și Landis-Gyr. Firma Iskra produce testorul de contoare TEMP5, care conține un contor static de clasă 0,05 % și un sistem de determinare a erorilor bazat pe întreruperi vectorizate. Deși utilizează microprocesoare din aceeași generație cu cele utilizate în Minex-32 (M6800), capacitatea testorului este limitată la 5 posturi, ceea ce conduce la utilizarea a 7 aparate TEMP5 pentru a egala performanțele acestuia.

Comparativ cu cele 3 tipuri de instalații prezentate ca alternative, Minex-32 prezintă următoarele avantaje:

- complexitatea cea mai scăzută (60 de circuite integrate, inclusiv 2 sisteme cu microprocesor, plus 2 circuite integrate SSI pentru fiecare post de afișare);
- prețul cel mai scăzut;
- capacitate superioară de testare față de soluțiile cunoscute care utilizează microprocesoare, datorită implementării unei metode originale, mai eficiente;
- timp de calcul mai scurt decît cel realizat cu minicalculatoare performante, datorită utilizării unui algoritm original mai eficient și a unor subrutine specializate rapide;
- posibilitățile cele mai bune pentru automatizări, autotest, prelucrări centralizate superioare.

Rezultă, deci, conform criteriului de comparație cu sisteme de testare asemănătoare, că eficiența implementării testorului Minex-32 poate fi estimată în economii valutare, respectiv în complexitate și preț mai mici, pentru performanțe superioare.

2. Creșterea productivității muncii, ca urmare a reducerii timpului de etalonare, se estimează prin rezultatele obținute în perioada de 2 1/2 ani de exploatare a aparatului Minex-32, în atelierul de contoare trifasate al Întreprinderii de Aparatură Electrică de Măsurat din Timișoara.

Metoda timp-putere, cu măsurarea manuală atât a puterii, cît și a timpului, pe care testorul își propune să o înlocuiască, permite etalonarea unei serii de 102 contoare în 4 ore, utilizînd 8 operatori

pentru etalonarea propriu-zisă și 1 operator pentru reglarea puterii din circuit. Rezultă o productivitate a personalului de 2,8 contoare/cm.oră. /55/.

Utilizînd aparatul Minex-32, etalonarea unei serii de 32 de contoare este realizată în 3 ore, de 2 operatori, rezultînd o productivitate a personalului de 5,3 contoare/cm.oră.

Creșterea productivității muncii, datorită reducerii timpului de etalonare, posibilității reglării mai multor contoare simultan și a eliminării reglajului puterii, este de 90 %, adică aproximativ la dublu.

Pentru verificarea metrologică, metoda utilizată în mod obișnuit este cea a sincronismului cu un contor pilot. Aceasta prezintă dezavantajul că pentru asigurarea unei rezoluții suficiente în măsurare, se mediază măsurarea pe 10 rotații ale discului, chiar în probele foarte lente de ordinul minutului. Pentru contoarele trifazate, verificarea metrologică, conform acestei metode, durează 3 ore, pentru o serie de 32 de contoare, cu un operator.

Minex-32 furnizează eroarea după fiecare rotație a discului, realizînd aceeași operație în maximum 1 oră, respectiv o creștere de 3 ori a productivității muncii, în verificarea metrologică.

Aceste creșteri de productivitate a muncii sînt datorate, în principal, modului de afigare a erorii, distribuit în etalonare și centralizat în verificare, și a comodității de exploatare a aparatului, care se programează doar cu constanta contoarelor.

3. Creșterea productivității muncii în etalonare se realizează și prin creșterea procentului de contoare admise la verificarea metrologică. Contoarele se etalonează prin efectuarea unei serii de reglaje, într-o anumită succesiune a probelor. Dacă reglajele nu sînt strict independente, contorul poate ieși din cîșă pentru probele anterioare, datorită ultimului reglaj. Pe de altă parte, alura curbei de erori a unui contor este cunoscută /62, 63,80/. Nu se poate încadra în clasa de precizie un contor, dacă se încearcă reglarea lui pentru eroare nulă în primele probe. Din aceste motive, cunoscînd cu exactitate eroarea optimă în fiecare probă, se poate obține o mai bună încadrare în clasa de precizie. Această încadrare este cu atît mai necesară, cu cît verificarea metrologică se face cu o altă instalație, cu un alt etalon, iar erorile celor 2 instalații, în cazul cel mai defavorabil, se pot aduna.

Pentru estimarea eficienței economice în acest domeniu, au fost determinate procentul de contoare etalonate cu metoda timp-putere admise la verificarea cu metoda sincronismului și respectiv procentul de contoare etalonate cu aparatul Minex-32 admise la verificarea cu aparatul Minex-32 sau altă metodă. Rezultatele reprezintă media pentru mii de contoare, produse în perioada 10.02.1983 - 01.03.1983, în atelierul de contoare trifazate al întreprinderii de Aparate Electrice de Măsurat din Timișoara.

Creșterea procentului de contoare admise este de 40 %, ceea ce conduce la o creștere suplimentară a productivității muncii atât în etalonare, cât și în verificare, și în plus, la o creștere corespunzătoare a capacității de producție.

4. Precizia testorului Minex-32 este de 0,1 %, dată de numărul impulsurilor etalon pe durata unei rotații a discului, ca în cazul tuturor metodelor automatizate, cu impulsuri etalon. Precizia ridicată permite atât o etalonare optimă, conform curbei de erori (punctul 3), cât și testarea contoarelor de precizie, operație imposibilă sau inacceptabil de laborioasă utilizând metodele obișnuite: timp-putere și sincronism.

Din rezultatele practice obținute, ca urmare a utilizării timp de 2 1/2 ani în producție a testorului Minex-32, și din analiza comparativă prezentată, rezultă următoarele concluzii:

1. implementarea soluției originale și realizarea pentru prima dată în țară a unei instalații de testare a contoarelor, cu afișarea directă a erorilor, reprezintă un important salt tehnologic, fără efort valutar;
2. soluția implementării unui microprocesor conduce la performanțe superioare (automatizare, timp de calcul, grad de prelucrare a datelor) oricăror soluții experimentate în țară, înainte sau după realizarea testorului Minex-32;
3. metoda originală de determinare a erorilor conduce la performanțe superioare (capacitate de testare, timp de calcul) altor metode implementate în sisteme cu sau fără microprocesor, de firme străine.

## 9.2. Aparatul Minex-128

Aparatul Minex-128 este destinat etalonării manuale și verificării metrologice automatizate a 128 de contoare de energie simultan și reprezintă o generație de testeare superioară celei reprezentată de aparatul Minex-32.

Testorul Minex-128 este realizat într-o configurație cu 1 microprocesor (paragraful 4.3.), în care sistemul 8080-a implementează atât blocul de achiziție, cât și cel de calcul. Blocul de achiziție, conform metodei originale a achiziției centralizate (capitolul 3) este realizat în configurația cu prelucrare hardware serie (paragraful 5.3.). Blocul de calcul este realizat conform soluției originale a calculării și memorării tabelare a tuturor erorilor posibile (paragraful 6.4.). Sistemul de afișare este realizat distribuit, cu magistrale multiplexate și registre tampon (paragraful 7.2.) pentru etalonare și cu câteva afișaje centralizatoare, conectabile pe magistralele multiplexate (paragraful 7.3.).

Aparatul Minex-128 are următoarele caracteristici tehnice:

- numărul posturilor de testare simultană: 128,
- timpul de reacție al testorului la afișarea erorilor: max.30 ms,
- clasa de precizie: 0,1 %,
- domeniile de curent, tensiune și frecvența impulsurilor etalon: programabile,
- pentru localizarea rapidă a defectelor din instalație: programe de autotest,
- posibilități de cuplare a unui periferic (video sau cu imprimare) cu transmisie serie, pentru introducere și extragere de date,
- posibilități de transfer la un calculator central a pachetelor de rezultate.

În etalonare, testorul este utilizat în mod identic cu Minex-32, reglajele făcându-se pe baza erorilor afișate individual, în formă numerică.

În verificarea metrologică, testorul oferă facilități suplimentare. Citirea erorilor se face pe unul sau mai multe afișaje centralizatoare, în următoarele moduri de lucru:

- MANUAL, este destinat verificării manuale, operatorul citind poziția contorului și eroarea corespunzătoare și dă calificativul admis/respiciu, în ritmul unui avans manual;

- **AUTOMAT**, realizează un baleiaj rapid al erorilor tuturor contoarelor, oprindu-se în mod automat, la fiecare eroare ce depășește o limită impusă de clasa de precizie, oprire necesară înregistrării de către operator a contorului respins.

Pentru prelucrarea superioară a rezultatelor, memorarea pe suport magnetic sau tipărirea automată a buletinelor de verificare, testorul Minex-128 este prevăzut cu interfață de intrare pentru conectarea unui terminal video cu tastatură (DAF) pentru introducerea datelor necesare (paragraful 7.4.) și interfață de ieșire pentru transferul pachetelor de date către un microcalculator cu destinație generală (M18).

Aparatul Minex-128 este experimentat în atelierul de contoare monofazate al Intreprinderii de Aparate Electrice de Măsurat din Timișoara, în verificarea metrologică, începând cu anul 1983. Este implementat în instalațiile existente, cu simulator de sarcină ce asigură 8 domenii de curent și 1 domeniu de tensiune.

Eficiența implementării acestui testor trebuie analizată în funcție de criteriile prezentate în paragraful 9.1.:

1. Compararea testorului Minex-128 cu instalații similare evidențiază faptul că nu se produce nici un tip de testor compact cu capacitate atât de ridicată. Realizarea din blocuri de capacitate mai mică conduce la instalații cu complexitate foarte ridicată, prezentate comparativ cu testorul Minex-128. Dacă din punctul de vedere al complexității, Minex-128 oferă caracteristici superioare cu 1 - 2 ordine de mărime, din punctul de vedere al capacității de testare, problema poate fi analizată comparativ.

Singura metodă care oferă capacitate, teoretică, nelimitată este cea a conversiei de frecvență, cu condiția asigurării unui fan-out corespunzător. Implementarea acestei soluții, în țară, s-a făcut cu maximum 102 posturi /74/. Pe de altă parte, simulatoarele de sarcină, cu putere de ieșire ridicată, care să asigure testarea a mai mult de 100 de contoare nu se produc. În concluzie, capacitatea de 128 de posturi nu reprezintă o limită a testorului, ci o valoare acoperitoare limitei impuse de simulatoarele de sarcină.

Comparând performanțele acestui aparat cu variantele cunoscute, rezultă următoarele avantaje ale testorului Minex-128:

- complexitatea cea mai scăzută (80 de circuite integrate, inclusiv sistemul cu microprocesor, plus 2 circuite integrate SSI pentru fiecare afișaj individual);
- raportul minim capacitate/preț;
- posibilități de automatizare, autotest, prelucrări centralizate.



Performanțele superioare obținute se datoresc eficienței implementării a metodei originale a achiziției centralizate și datorită soluției originale de determinare tabelară a erorilor.

2. Creșterea productivității muncii în etalonare este identică cu cea determinată în paragraful 9.1. pentru Minex-32 (de 2 ori), condițiile de calibrare fiind aceleași.

În verificarea metrologică, creșterea productivității muncii față de metoda sincronismului este, în regimul manual, identică cu a testorului Minex-32 (de 3 ori), iar în regim automat de 5 ori.

3. Reducerea procentului contoarelor respinse la verificare conduce la o creștere a productivității și capacității de producție de 40 %.

4. Avantajele date de precizia testorului, de clasă 0,1 %, sînt similare celor prezentate în paragraful 9.1.

Din analiza comparativă a performanțelor testorului Minex-128 rezultă următoarele concluzii:

1. aparatul asigură performanțe în domeniul capacității, preciziei și productivității acoperitoare pentru toate necesitățile industriale de testare a contoarelor;
2. asigură cel mai bun raport performanțe/cost în raport cu instalațiile cunoscute realizate pe baza metodei conversiei de frecvență sau utilizînd microprocesoare sau micro- și minicalculatoare;
3. oferă posibilitatea oricăror tipuri de automatizări, caracteristice sistemelor inteligente, realizate cu calculatoare.

## Capitolul 10

### CONCLUZII. CONTRIBUTII

#### 10.1. Concluzii

Lucrarea și-a propus elaborarea unor noi posibilități (metode și instalații) de testare industrială a contoarelor de energie, ca urmare a dezvoltării recente a circuitelor integrate LSI, asociată cu scăderea accentuată a prețului lor.

Pornind de la stadiul mondial al metodelor și instalațiilor cunoscute, prezentate în /61/, prima parte a tezei (capitolul 1 și 2) evidențiază metodele automatizabile cunoscute: conversia frecvenței impulsurilor etalon urmată de calculul individual al erorilor, achiziția individuală a impulsurilor etalon urmată de efectuarea calculelor cu un minicalculator și achiziția cu un microprocesor prin întrepreri vectorizate. Se demonstrează că, implementând microprocesoare în instalații realizate conform acestor metode, se obțin unele caracteristici superioare instalațiilor cunoscute: centralizare a rezultatelor, reducere a complexității, creștere a vitezei de calcul, scădere a prețului. Principalele dezavantaje, însă, cele care reprezintă caracteristica fiecărei metode în parte, se păstrează: calculul în unități individuale, respectiv achiziția în unități individuale. Aceste dezavantaje nu pot fi eliminate doar prin utilizarea microprocesoarelor, ci se impune elaborarea unei noi metode de determinare a erorilor, mai eficientă, destinată implementării eficiente într-un sistem cu microprocesor (și nu adaptarea microprocesorului unei soluții existente).

Cea de a doua parte a tezei (capitolele 3 - 9) prezintă contribuțiile originale ale autorului. Este elaborată o nouă metodă de determinare a erorilor contoarelor, bazată pe achiziția centralizată, realizată cu microprocesor, care elimină caracterul individual al unor operații și sînt propuse mai multe configurații de realizare a unui testor, cu unul sau mai multe microprocesoare. Capitolele 5 - 7 prezintă soluții originale de implementare a metodei originale pentru realizarea blocurilor componente ale unui testor de contoare: achiziție, calcul și, respectiv, afișare.

Blocul de achiziție este implementat în 3 modalități originale, urmărind asigurarea unei capacități maxime de testare într-o configurație hardware minimă, precum și posibilitatea implementării blocului de calcul în același sistem cu microprocesor. Blocul de achiziție cu prelucrare software asigură o capacitate de testare medie (40), într-o complexitate hardware minimă, cu posibilități de efectuare a calculelor în același sistem. Blocul de achiziție cu prelucrare hardware paralel permite o ușoară creștere a capacității (48), cu prețul creșterii substanțiale a complexității, și asigură un timp maxim pentru efectuarea calculelor. Blocul de achiziție cu prelucrare hardware serie asigură capacitatea de testare maximă (128), într-o configurație de complexitate relativă minimă, asigurând, însă, un timp redus pentru efectuarea calculelor.

Implementarea blocului de calcul este prezentată în 2 variante originale. Prima, bazată pe un algoritm original, foarte eficient, și pe utilizarea unor subrutine de calcul specializate, asigură calculul succesiv al erorilor, pentru 400 de posturi într-o secundă. Este utilizabilă în instalațiile de testare de capacitate medie. Cea de a doua determină prin calcul tabelul erorilor posibile, calculul erorilor în timp real fiind redus la citirea automată a acestui tabel. Cu o capacitate de 4000 posturi pe secundă, soluția este aplicabilă în orice instalație industrială.

Sistemele de afișare a rezultatelor prezentate oferă soluții originale, destinate operațiilor de etalonare, verificare metrologică sau prelucrare centralizată a rezultatelor.

În capitolul 8 sînt prezentate sursele de erori din testarea industrială a contoarelor conform metodei și implementărilor propuse, împreună cu modalități de reducere a acestora.

În încheiere sînt prezentate realizările practice ale autorului, pe baza rezultatelor teoretice prezentate, evidențindu-se eficiența lor economică în utilizarea în producție, în cadrul întreprinderii de Aparat Electric de Măsurat din Timișoara.

În fiecare capitol în parte, ca și în analiza din capitolul 9, sînt reliefate caracteristicile superioare ale testoarelor realizate conform metodei originale și a implementărilor propuse. Se subliniază faptul că aceste caracteristici nu sînt rezultatul utilizării microprocesoarelor (există metode care utilizează calculatoare performante, care conduc la performanțe inferioare, iar implementarea microprocesoarelor în instalațiile cunoscute nu conduce la per-

formanțe superioare), ci al elaborării unei noi metode, destinată implementării microprocesorului, și a soluțiilor eficiente elaborate în acest scop.

Comparativ cu instalațiile realizate conform metodei conversiei de frecvență, soluțiile originale prezintă următoarele avantaje:

- complexitate cu 1 ordin de mărime mai redusă,
- inteligență a testorului, care permite automatizări, autotest, prelucrări superioare ale rezultatelor și care conferă elasticitate sistemului,
- posibilitate de centralizare a rezultatelor, în verificarea metrologică, pentru memorare sau tipărire.

În comparație cu instalațiile bazate pe achiziția individuală urmată de calculul centralizat cu minicalculator, soluțiile originale prezintă următoarele avantaje:

- capacitate de testare superioară,
- complexitate cu mai multe ordine de mărime mai redusă,
- viteză de calcul superioară, care permite utilizarea testorului în etalonarea în timp real,
- utilizarea testorului ca un aparat inteligent și nu ca un calculator care trebuie programat pentru o aplicație.

Față de soluțiile care utilizează microprocesoare în instalații pentru testarea contoarelor, variantele originale au următoarele avantaje:

- capacitate cu peste un ordin de mărime mai mare,
- exploatare mai eficientă a posibilităților de comandă, control și calcul ale microprocesoarelor.

Comparațiile prezentate evidențiază caracteristicile ce au fost îmbunătățite prin utilizarea metodei originale și a implementărilor propuse, față de cele mai bune realizări cunoscute în domeniul testării industriale a contoarelor de energie. Este de remarcă faptul că performanțele superioare obținute comparativ cu fiecare soluție cunoscută au fost obținute fără reducerea altora, respectiv metoda și implementările originale nu prezintă dezavantaje, comparativ cu oricare din soluțiile cunoscute.

## 10.2. Tendințe și perspective

Tendințele actuale, în multe domenii ale producției industriale, sînt de automatizare, electronizare, robotizare. Se analizează, în continuare perspectivele testoarelor de contoare realizate conform metodei originale a achiziției centralizate, implementată conform soluțiilor originale propuse, în contextul acestor tendințe.

Automatizarea a impus, ca prim pas în testarea contoarelor, afișarea directă a erorii. Au făcut față acestui progres doar 3 metode, din multitudinea de soluții posibile: conversia de frecvență, calculul cu minicalculator și achiziția cu microprocesor (inclusiv metoda originală a autorului). Noi automatizări s-au impus în domeniul verificării metrologice: comanda automată a simulatorului de sarcină, reglajul fin al mărimilor electrice, acordarea directă a calificativului admis/respins, tipărirea automată a buletinului de verificare. Aceste automatizări pot fi implementate eficient doar în instalații inteligente: pentru început minicalculatoare, în prezent, testoare cu microprocesoare, din motive economice. Tendințele de centralizare a rezultatelor, cu scopul memorării lor pe suport magnetic, sau prelucrării lor statistice, sînt realizate cu aceleași instalații inteligente.

În concluzie, metoda și implementările propuse nu numai că fac față tendințelor prezente și viitoare de automatizare, dar oferă un cadru optim pentru dezvoltarea acestora.

Electronizarea pe care o avem în vedere se referă la contoarele testate, nu la testoare, deoarece acestea se bazează, deja, pe tehnologiile de vîrf ale electronicii. O tendință constantă, dar cu un progres foarte lent, este de înlocuire a contoarelor cu inducție cu contoare electronice, statice /8/. Acestea prezintă avantajele cunoscute ale aparatelor statice, dar nu pot concura încă pe cele tradiționale, ca preț /36/. Se realizează în prezent o varietate de contoare statice de precizie, utilizate ca etalon, dar în domeniul erorilor inaccesibile celor cu inducție /21/. În domeniul clasei de precizie 2 sau 1 soluțiile eficiente sînt încă așteptate /36, 64/.

În cazul dezvoltării unei industrii de contoare statice, se pune problema compatibilității metodei și implementărilor propuse cu testarea acestor contoare (de remarcat că aceeași problemă apare în cazul tuturor metodelor de testare cunoscute).

Orice contor static va trebui să aibă o ieșire cu impulsuri de frecvență scăzută (Hz sau fracțiuni de Hz) cu care să comande un mecanism totalizator, sau un afișaj electronic permanent, alimentat cu baterii sau acumulatori. Frecvența impulsurilor de ieșire depinde de tipul etajului integrator al contorului. Dacă este realizat cu un integrator cu histereză / 37, 77, 78, 27/, frecvența este, din principiu, joasă, iar dacă este realizat cu un cuantizor de curent /28, 30, 83/, frecvența este ridicată (kHz) și trebuie divizată în câteva trepte decadice, pentru afișare. Rezultă că, independent de soluție, există o frecvență de ieșire cu același ordin de mărime cu frecvența de rotație a discului contorului cu inducție. Utilizând semnalul de această frecvență ca semnal de intrare în testor, metoda și testoarele realizate cu blocurile propuse își păstrează toate caracteristicile și avantajele. În plus, se elimină necesitatea traductoarelor optoelectronice de rotație a discului, ceea ce conduce la scăderea complexității instalației și la creșterea productivității muncii în etalonare și verificare.

O a doua problemă ce apare în testarea contoarelor electronice este timpul pe care se mediază eroarea. În cazul contoarelor cu inducție, timpul minim este o rotație, datorită vitezei de rotație variabile pe o rotație. Astfel de probleme de neliniaritate nu apar în cazul contoarelor statice și, deci, durata de testare, în probele lente, nu trebuie să fie mai mare decât în probele rapide (curent de sarcină mare). În cazul contoarelor cu cuantizor de curent, pot apărea mai multe ieșiri, cu frecvențe în raport decadic. Rezultă, deci, că utilizând o frecvență de ieșire de 10 ori mai mare decât cea nominală, în probele de curenți mici, se poate reduce timpul de testare, comparativ cu contoarele cu inducție. Soluțiile originale au fost prezentate pentru perioade de repetiție de minimum 1 s, ceea ce este acoperitor, dat fiind că reacția operatorului, în etalonare, nu este mai rapidă.

În concluzie, metoda originală a achiziției centralizate și implementările propuse permit testarea atât a contoarelor cu inducție actuală, cât și a contoarelor statice, fiind acestea vor deveni produse de serie mare. În plus, testarea contoarelor electronice cu această metodă conduce la următoarele avantaje: reducerea complexității instalației și creșterea productivității muncii.

În principiu, toate instalațiile de testare a contoarelor pot

fi adaptate la testarea contoarelor statice, dar modificările și automatizările de selecție a ieșirii de frecvență optimă sînt mai ușor de implementat în instalațiile cu microprocesoare, care sînt cele mai flexibile.

Robotizarea este o tendință generală în producția industrială, care se poate impune și în etalonarea contoarelor (verificarea metrologică fiind o operație care se desfășoară automat). Problema de principiu este de efectuare automată a reglajelor contorului (cu inducție sau static) pe baza ultimei indicații de eroare.

În acest scop, trebuie luate măsuri în proiectarea reglajelor contorului: să fie ușor accesibile, ușor manipulabile și total independente. Pentru un reglaj eficient ar trebui cunoscută caracteristica reglaj-eroare, care este neliniară și diferă de la un contor la altul. Din acest motiv, comanda elementului de reglare trebuie făcută conform unui algoritm adaptiv, de liniarizarea a caracteristicii, între ultimele 2 valori măsurate. Implementarea robotizării implică, deci, memorarea unor rezultate și efectuarea unor calcule, conform algoritmului ales, pentru fiecare post în parte, în timp real. Soluția poate fi deci implementată doar într-un sistem cu putere de control ridicată, ca cele realizate conform metodei achiziției centralizate.

Celelalte metode cunoscute, a conversiei de frecvență și a calculului cu minicomputer, nu pot implementa eficient robotizarea etalonării contoarelor. Metoda conversiei de frecvență nu dispune de erorile anterioare și nu este prevăzută cu un sistem ce poate lucra algoritmic. Robotizarea instalației pe baza acestei metode ar implica dezvoltarea exagerată a fiecărei unități individuale, ceea ce exclude această metodă în cazul robotizării instalației. Metoda calculului cu minicalculator, deși se bazează pe un sistem de calcul puternic, nu permite determinarea nici a erorilor în timp real, cu atât mai puțin de rulare a unui program suplimentar, conform algoritmului de liniarizare necesar.

În concluzie, tendința de robotizare impune metoda achiziției centralizate, implementată în sisteme cu microprocesor, singura care oferă capacitatea de control necesară acestei operații.

Tendințele de automatizare, electronizare și robotizare prezentate evidențiază, fiecare în parte, ca metodă optimă în dezvoltări prezente și viitoare, metoda originală a achiziției centralizate și a implementărilor originale ale acestei metode.

### 10.3. Principalele contribuții originale

Principalele contribuții ale autorului, în domeniul testării industriale a contoarelor de energie, sînt cuprinse în această lucrare, bazată pe 5 invenții brevetate și pe 9 lucrări științifice comunicate și publicate în țară și peste hotare. Realizările concrete în acest domeniu au fost prezentate la târgul internațional IIB-80, premiate în concursuri, atestate de Institutul Național de Metrologie și utilizate în producție, la întreprinderea de aparate Electrice de Măsurat din Timișoara.

Contribuțiile autorului, în ordinea prezentării în teză, sînt următoarele:

1. Studiul posibilității îmbunătățirii performanțelor instalațiilor de testare a contoarelor de energie, realizate conform metodelor cunoscute, prin implementarea microprocesoarelor.

1.1. Autorul prezintă o analiză comparativă originală a posibilităților de obiectivare și automatizare a metodelor cunoscute, trăgînd concluzia că singurele metode automatizabile sînt cele care utilizează un etalon de energie (contor sau calibrator de putere și cronometru electronic) în impulsuri.

1.2. Elaborează o configurație originală pentru implementarea microprocesoarelor în metoda conversiei de frecvență, care conduce la reducerea complexității, centralizarea rezultatelor în vederea unei prelucrări superioare, posibilității de automatizare și autotest.

1.3. Propune o configurație originală de implementare a microprocesoarelor într-o instalație cu calcul secvențial al erorilor, care conduce la reducerea complexității instalației, efectuarea calculelor în timp real și îmbunătățirea condițiilor de utilizare a aparatului (programare și întreținere), păstrînd toate caracteristicile de automatizare ale soluției cunoscute, cu minicalculator.

1.4. Evidențiază că implementarea microprocesoarelor în instalații realizate conform metodelor cunoscute conduce la avantaje semnificative (economice și productive), dar că acestea prezintă limite de metodă: complexitatea hardware ridicată, datorită principiului individual al achiziției hardware, paralel, în cazul metodelor conversiei de frecvență și al calculului secvențial cu minicalculator, respectiv capacitate insuficientă, în cazul achiziției cu microprocesor, bazată pe sistemul întreruperilor vectorizate.

2. Elaborarea unei metode originale de determinare a erorilor contoarelor de energie, destinată implementării în sisteme cu microproce-



soare, bazată pe efectuarea operațiilor de achiziție și calcul, pentru mai multe posturi de testare, într-o unitate compactă.

2.1. Efectuează o comparație originală, în condițiile hardware și software concrete ale aplicației studiate, a metodelor de tratare a canalelor de intrare, cunoscute din calculatoare: întreruperi vectorizate și sondare secvențială prin program, concluzionând că nici una din acestea nu este optimă pentru aplicațiile industriale cu multe canale de intrare, care necesită prelucrări sumare, dar în timp real.

2.2. Propune o modalitate originală de tratare a canalelor de intrare, în aceste condiții, bazată pe sondarea secvențială prin program, comandată de întreruperi asincrone cu evenimentele urmărite, care elimină dezavantajele soluțiilor cunoscute, asigurând cea mai mare capacitate de monitorizare.

2.3. Elaborează o metodă originală de determinare a erorilor contoarelor de energie, bazată pe achiziția centralizată, cu microprocesor, utilizând sondarea secvențială, comandată de întreruperi asincrone. Metoda elimină dezavantajele metodelor cunoscute, date de caracterul individual al achiziției sau calculului, asigurând productivitate ridicată, complexitate redusă, grad înalt de automatizare.

2.4. Elaborează 3 configurații originale de implementare a metodei, în funcție de performanțele blocurilor de achiziție și, respectiv, de calcul și de caracteristicile impuse instalației industriale de testare. Configurația originală cu 2 microprocesoare master-master realizează în paralel prelucrarea primară a datelor, în microprocesorul destinat achiziției, cu prelucrarea secundară, în microprocesorul destinat calculului și este destinată utilizării într-un sistem cuplor-calculator, sau în condițiile în care timpul total de execuție depășește durata minimă disponibilă. Configurație cu 1 microprocesor, care efectuează atât achiziția în timp real, cât și calculul erorilor, în momentele (90 % din timp) când nu trebuie efectuată achiziție, conduce la complexitate minimă. Configurația originală cu  $n$  microprocesoare de achiziție și 1 pentru calcul este utilă în instalațiile de foarte mare capacitate și în sistemele de centralizare a datelor, în vederea prelucrării statistice, memorării sau tipăririi. Schemele originale propuse prezintă și modalitățile de transfer al datelor, în sistemele multi-microprocesor, în condiții restrictive de timp real.

3. Elaborează 3 tipuri distincte de implementări, fiecare cu multiple variante particulare, a blocului de achiziție, conform metodei originale a achiziției centralizate cu microprocesor.

3.1. Soluția originală a blocului de achiziție cu prelucrare software asigură complexitatea minimă a testorului, capacitate, în condiții tipice, de 40 - 48 de posturi și posibilități de implementare în orice configurație uni- sau multiprocesor. Sînt analizate în detaliu mijloacele hardware și software care conduc la viteze maxime de achiziție prin variante originale de detectare a evenimentelor, de transfer al datelor și de structură a sistemului.

3.2. Implementarea originală a blocului de achiziție cu prelucrare hardware paralel a semnalelor de intrare asigură microprocesorului timp de calcul maxim, realizînd detectarea evenimentelor prin mijloace hardware individuale. Soluția asigură capacitate de testare sporită, de 48-56 de posturi, cu prețul creșterii complexității hardware cu 25 - 50 %. Este recomandabilă în implementările uniprocessor, det fiind că timpul total de achiziție nu depășește 4 % din timpul total, restul de 96 % fiind destinat efectuării calculului.

3.3. Configurația blocului de achiziție cu prelucrare hardware serie se bazează pe efectuarea prin mijloace hardware rapide a detecției evenimentelor și a transferului de date corespunzătoare, succesiv pentru fiecare canal, ceea ce asigură capacitatea maximă a sistemului de achiziție, controlat de microprocesor: în condiții tipice, 200 de posturi. Soluția asigură capacitatea maximă, complexitatea relativă minimă și poate fi implementată în configurații uni- sau multiprocesor.

Prezintă o analiză comparativă a performanțelor diferitelor implementări originale, conform celor 3 tipuri de blocuri de achiziție propuse, reținînd 4 dintre acestea ca cele mai performante și utile în diverse configurații, impuse de caracteristicile aplicației particulare. Ele acoperă toate necesitățile practice ale testoarelor industriale de contoare, avînd performanțe superioare tuturor instalațiilor cunoscute, bazate sau nu pe utilizarea microprocesoarelor.

4. Elaborează 2 modalități originale de determinare a erorilor, într-un bloc de calcul realizat cu microprocesor, care, în funcție de configurația utilizată, poate fi același sau nu cu microprocesorul care realizează achiziția.

4.1. Propune un algoritm original de calcul al erorilor, care per-

mite efectuarea calculelor în virgulă fixă, ceea ce asigură viteză mare de calcul și respectiv capacitate mare de testare. Programul original, în limbajul de asamblare al microprocesorului 8080, utilizează subrutine specializate de calcul rapid, care asigură determinarea erorilor a 400 de contoare în timp real (1 s), respectiv cu cel puțin un ordin de mărime mai productiv decât cele mai bune performanțe obținute cu minicalculatoare mai performante.

4.2. Elaborează o modalitate de determinare a erorilor, bazată pe observația că numărul erorilor posibile este relativ mic, ceea ce permite ca în utilizarea în timp real să conducă la transformarea operației complexe de determinare a erorii în citirea automată a unui tabel, anterior construit. Programul original, conceput în limbajul de asamblare al microprocesorului 8080, permite determinarea erorilor pentru 4000 de contoare, în timp real. Performanțele superioare obținute acoperă toate necesitățile practice ale testării industriale a contoarelor de energie, inclusiv în instalații de centralizare, care determină erorile pentru n blocuri de achiziție.

5. Elaborează modalități originale de extragere a rezultatelor în vederea afișării, tipăririi sau transferului erorilor unui calculator centralizator.

5.1. Propune o soluție originală de realizare a sistemului de afișare distribuit, necesar în etalonare, bazat pe multiplexarea unei magistrale comune și decodificarea individuală, care conduce la o scădere a complexității afișajului comandat de microprocesor, comparativ cu soluțiile cunoscute, bazate pe memorare și decodificare individuală.

5.2. Prezintă o soluție originală de implementare a unui afișaj centralizator, destinat verificării metrologice, compatibil cu magistrala multiplexată a sistemului distribuit.

6. Efectuează o analiză originală a surselor de erori într-un tester industrial realizat conform metodei originale a achiziției centralizate și a implementărilor propuse.

6.1. Estimează erorile blocului de achiziție în cazul eşantionării canalelor de intrare sincron cu impulsul etalon și respectiv asincron, cu o întârziere dată de poziția canalului și de starea particulară a canalelor anterior analizate. Evidențiază posibilitatea reducerii la jumătate a erorilor, dacă se realizează o eşantionare sincronă, prin reținerea, pe durata sondării, a datelor în porturi

de intrare.

6.2. Analizează clasa de precizie a testorului, evidențiind că erorile blocului de calcul pot fi făcute neglijabile (cu 3 ordine de mărime mai mici) față de cele ale blocului de achiziție. Demonstrează că produsul rezoluție·capacitate de testare este o constantă pentru o instalație dată, ceea ce subliniază adaptabilitatea configurației la necesitățile concrete: capacitate mare pentru contoare uzuale, produse în serie mare, respectiv capacitate mică, dar precizie ridicată pentru contoarele de precizie, produse în serie mică.

7. Proiectarea, realizarea și implementarea în producție a unor teste industriale, conform metodei și soluțiilor originale prezentate.

7.1. Testorul Minex-32 este utilizat din 1980 în etalonare și verificare în atelierul de contoare trifazate al întreprinderii de Aparate Electrice de Măsurat din Timișoara, cu o capacitate de 32 de posturi. Este realizat în configurația multinicroprocesor master-master, achiziția fiind realizată cu un bloc cu prelucrare software, calculul erorilor fiind efectuat secvențial, conform algoritmului original prezentat. Are un sistem de afișare distribuit pentru etalonare, realizat prin multiplexarea magistralei, și un afișaj centralizat, compatibil cu această magistrală. Este atestat de Institutul Național de Metrologie și a fost prezentat la târgul internațional TIB-80.

7.2. Testorul Minex-128, aflat în experimentări, este destinat verificării metrologice automatizate în atelierul de contoare monofazate al întreprinderii de Aparate Electrice de Măsurat din Timișoara. Are o capacitate de 128 de posturi, asigurată de utilizarea blocului de achiziție cu prelucrare serie și a blocului de calcul bazat pe memorarea tabelară a erorilor calculate. Sistemul de prelucrare a rezultatelor permite detectarea automată a contoarelor respinse și permite transferul datelor unui calculator pentru prelucrări ulterioare.

7.3. Eficiența economică a implementării acestor teste este estimată prin economii valutare, creștere a productivității muncii, reducere a procentului de contoare respinse la verificarea metrologică. Utilizarea testoarelor în producție a condus la o creștere a productivității muncii cu 100 % prin reducerea timpului de etalonare și cu încă 40 % prin reducerea procentului de respingere. Prin reducerea timpului de verificare metrologică, rezultă o creștere a

productivității muncii cu 200 % pentru operația manuală, cu Minex-32, respectiv cu 400 % pentru operația automatizată, cu Minex-128. Este evidențiată importanța preciziei de etalonare pe care o asigură testearele, ceea ce permite reducerea considerabilă a procentului de contoare respinse, ceea ce echivalează cu o creștere a capacității de producție a întreprinderii.

8. Efectuează o analiză originală a perspectivelor metodei și implementărilor originale studiate în contextul actualelor tendințe de automatizare, electronizare și robotizare, evidențiind ca soluție optimă pentru realizări actuale și de viitor metoda achiziției centralizate, cu microprocesor, în configurațiile originale propuse.

Având în vedere aceste contribuții teoretice și practice ale autorului, problema testării industriale a contoarelor de energie poate fi considerată rezolvată, prin metoda originală propusă și prin performanțele superioare necesităților practice realizate de blocurile de achiziție și calcul implementate.

ANEXA 1

Program de achiziție pentru 32 de posturi:

INT	INX H	Se mășcă impulsurile etalon
	IN P1	Se citește informația reținută în portul P1
	XRA B	Se detectează fronturile prin comparare cu
	ANA B	stările precedente, memorate în registrul B
	IN P1	Se reține starea actuală în registrul B,
	MOV B,A	pentru analiza următoare.
E11	JZ B2	Se verifică dacă există vreun eveniment
	RRC	Se analizează primul canal
	JNC E12	Dacă nu este eveniment se continuă căutarea
	SHLD AD11	Dacă este, se transferă conținutul HL la
E12	RRC	adresa corespunzătoare contorului 11: AD11
	JNC E13	Se repetă de 8 ori
	SHLD AD12	
E13	RRC	
	JNC E14	
	SHLD AD13	
E14	RRC	
	JNC E15	
	SHLD AD14	
E15	RRC	
	JNC E16	
	SHLD AD15	
E16	RRC	
	JNC E17	
	SHLD AD16	
E17	RRC	
	JNC E18	
	SHLD AD17	
E18	RRC	
	JNC B2	
	SHLD AD18	
E2	IN P2	Se citește portul următor și se repetă ope-
	XRA C	rațiile de detectare a fronturilor, compa-
	ANA C	rativ cu stările precedente, memorate în C,
	IN P2	și de căutare bit cu bit, urmată de trans-
	MOV C,A	ferurile corespunzătoare de date.
	JZ B3	

E21 RRC  
JNC E22  
SHLD AD21

.....

E28 RRC  
JNC E3  
SHLD AD28

E3 IN P3 Se repetă programul pentru celelalte por-  
XRA D turi  
ANA D  
IN P3  
MOV D,A  
JZ E4

E31 RRC  
JNC E32  
SHLD AD31

.....

E38 RRC  
JNC E4  
SHLD AD38

E4 IN P4  
XRA E  
ANA E  
IN P4  
MOV E,A  
JZ E5

E41 RRC  
JNC E42  
SHLD AD41

.....

E48 RRC  
JNC E5  
SHLD AD48

E5 EI Se permit intreruperi, în continuare  
RET Se revine în programul de calcul sau în sta-  
rea de așteptare, cu instrucția HLT.

ANEXA 2

Programul de calcul secvențial al erorilor:

```
START  MOV A,C          Se calculează codul probei:  $4 \cdot (3 \cdot n_I + n_U)$ 
      ADD C
      ADD C
      RLC
      RLC
      MOV C,A
      MOV A,B
      RLC
      RLC
      ADD C
      MOV E,A
      MVI D,ADKP       Se citește constanta de 4 octeți din tabel
      LXI H,ADD
      MVI B,05h
B1     DCR B
      JZ E1
      LDAX D
      MOV M,A
      INX H
      INX D
      JMP B1
E1     LHL D ADKC       Se execută împărțirea pentru determinarea
      SHLD ADI         numărului  $N_{nominal}$ 
      CALL IMPARTIRE
      CALL X1600       Se amplifică noul deîmpărțit cu 1600 și se
      SHLD ADD         pregătește executarea calculului de eroare
      XCHG             SUCCESIV, PENTRU TOATE posturile
      SHLD ADD+2
      MVI A,FFH
      STA ADNUM
      LXI SP,ANI
B2     LXI H,ADNUM
      INR M           Se contorizează numărul de posturi pentru
      MVI A,NRCOPTOARE care s-a efectuat calculul (maximum 256)
      CMP M
      JZ START
      POP D           Se preia numărul măsurat de impulsuri  $N_1$ .
```



	LXI H, 00H 00H	pentru ultima rotație a discului
	DAD SP	
	SHLD ADSP	
	XCHG	
	SHLD ADI	
	LXI SP, STIVA	
	CALL IMPARTIRE	Se determină eroarea amplificată cu 16,
	LXI B, 40H 06H	printr-o împărțire la $N_1$ și o scădere
	MOV A, L	cu 1600
	SUB C	
	MOV L, A	
	MOV A, H	
	SBB B	
	MOV H, A	
	JP SEMN	Se stabilește semnul erorii
	MVI E, 10H	Dacă este minus, se completează rezul-
	MOV A, L	tatul
	CMA	
	INR A	
	MOV L, A	
	MOV A, H	
	CMA	
	JNC E5	
	INR A	
E5	MOV H, A	
	JMP COMP	
SEMN	MVI E, 00H	
COMP	MOV A, H	Se verifică dacă rezultatul se încadrează
	CPI 06H	în limitele dorite (în acest caz $-99,9\%$ +
	JC E6	+ $99,9\%$ ) amplificate cu 16
	JZ E7	
DEP	MOV A, E	In cazul în care nu se încadrează, se for-
	ORI 8FH	mează codul de depășire
	LHLD ADSP	
	LXI D, DEPL	
	DAD D	
	XCHG	
	STAX D	
	DCX D	

	MVI A,FF	
	STAX D	
	LHLD ADSP	
	SPHL	
	JMP B2	
E7	MOV A,L	
	CPI 40H	
	JNC DEF	
E6	LXI B, 00H 04H	
	XRA A	
E8	MOV A,H	Modulul erorii amplificate cu 16 se deplasează cu 4 biți la dreapta, în vederea obținerii erorii
	RAR	
	MOV H,A	
	MOV A,L	
	RAH	
	MOV L,A	
	MOV A,C	
	RAR	
	MOV C,A	
	DCR B	
	JNZ EB	
	CALL BINBCD1	Se convertește în BCD partea întreagă a erorii și se repositionează
	DAD H	
	DAD H	
	DAD H	
	DAD H	
	MOV A,H	
	ORA B	
	MOV H,A	
	CALL BINBCD2	Se convertește în BCD PARTEA ZECIMALĂ a erorii
	MOV A,L	
	ORA B	
	MOV L,A	
	XCHG	
	LHLD ADSP	
	LXI B, DEPL	
	DAD B	
	XCHG	

MOV A,H	Se transmite eroarea (2 octeți) într-o me-
STAX D	morie RAM sau spre afișaj
DCX D	
MOV A,L	
STAX D	
LHLD ADSP	
SPHL	
JMP E2	Se continuă bucla pentru postul următor

**Subrutine:**

X1600	MOV C,L	Inmulțirea unui număr de 2 octeți aflat în
	MOV B,H	registrele HL, cu 1600, rezultatul fiind
	LXI D, 00H 00H	plasat în registrele HL și DE
	CALL RAL	
	CALL RAL	
	DAD B	
	JNC E2	
	INX D	
E2	CALL RAL	
	PUSH D	
	PUSH H	
	CALL RAL	
	CALL RAL	
	POP B	
	DAD B	
	JNC E3	
	INX D	
E3	POP B	
XCHG	XCHG	
	DAD B	
	XCHG	
	MVI A,05H	
E4	CALL RAL	
	DCR A	
	JNZ E4	
	RET	

BINBCD1	MOV A,L	Conversia unui număr binar întreg (maximum
	LXI D, 00H 0AH	99) în cod BCD, în registrul L
E9	CMP D	
	JC E10	
	SUB D	
	IER E	
	JMP E9	
E10	MOV L,A	
	ORA A	
	MOV A,E	
	RAL	
	RAL	
	RAL	
	RAL	
	ORA L	
	MOV L,A	
	RET	
BINBCD2	LXI D, 64H 10H	Conversia unui număr binar după virgulă,
	XRA A	de 4 biți, în cod BCD, în registrul C
	MOV B,A	
E11	XRA A	
	MOV A,D	
	RAR	
	MOV D,A	
	JC E12	
	MOV A,E	
	RAR	
	MOV B,A	
	MOV A,C	
	AKA D	
	JZ E11	
	MOV A,3	
	ADD B	
	MOV B,A	
	JMP E11	
E12	MOV A,B	
	LXI D, 00H 0AH	
<del>...</del>	<del>...</del>	

E13       CMP D  
          JC E14  
          INR E  
          SUB D  
          JMP E13

E14       RET

RAL       XCHG  
          DAD H  
          XCHG  
          DAD H  
          JNC E15  
          INR D

E15       RET

Notația la stînga pe 2 octeți în HL

ANEXA 3

Programul împărțirii generalizate de 4 octeți la 2 octeți:

	XRA A	
	PUSH PSW	Inițializare contor de deplasări DEPL = 0
DIV	MOV A,L	Se verifică dacă conținutul registrelor HL
	SUB C	este mai mic decât conținutul registrelor BC
	MOV A,H	
	SBB B	
	JNC CRCT	
	XRA A	Dacă nu s-a trecut prin bucla DIMP, bitul
	PUSH PSW	1 al citului se poziționează pe 0
	MOV A,B	Se completează față de 2 împărțitorul
	CMA	
	MOV B,A	
	MOV A,C	
	CMA	
	MOV C,A	
	INX B	
ET10	XRA A	Impărțire tipică de 32 de biți la 16 biți
	PUSH PSW	
LOOP	MOV A,D	
	MOV D,E	
	MVI E, 8H	
LOOP1	DAD H	
	JC OVER	
	ADD A	Se plasează un 0 în cit
	JNC SUB	
	INX H	
SUB	PUSH H	
	DAD B	
	JC OK	
	POP H	
	DCR E	
	JNZ LOOP1	
	MOV E,A	
	POP PSW	
	JM ET1	
	ADI OFFH	
	PUSH PSW	

	<b>JMP LOOP</b>	
<b>OK</b>	<b>INX SP</b>	
	<b>INX SP</b>	
	<b>INR A</b>	
	<b>DCR E</b>	
	<b>JNZ LOOP1</b>	
	<b>MOV E, A</b>	
	<b>POP PSW</b>	
	<b>JM ET1</b>	
	<b>ADI OFFH</b>	
	<b>PUSH PSW</b>	
	<b>JMP LOOP</b>	
<b>OVER</b>	<b>ADC A</b>	<b>Citit se formează în pozițiile eliberate</b>
	<b>JNC OVERS</b>	<b>din A (se plasează 1 în cit)</b>
	<b>INX H</b>	
<b>OVERS</b>	<b>DAD B</b>	
	<b>DCR E</b>	
	<b>JNZ LOOP1</b>	
	<b>MOV E, A</b>	
	<b>POP PSW</b>	<b>Se testează numărul de bucle de împărțire</b>
	<b>JM ET1</b>	<b>efectuate</b>
	<b>ADI OFFH</b>	
	<b>PUSH PSW</b>	
	<b>JMP LOOP</b>	
<b>POP PSW</b>	<b>POP PSW</b>	<b>Se verifică dacă e necesar un 1 înaintea</b>
	<b>ADI OH</b>	<b>citului (pornind de la bucla DIMP)</b>
	<b>JZ ET12</b>	
	<b>POP PSW</b>	<b>Se testează valoarea DEPL</b>
	<b>PUSH H</b>	<b>Se salvează restul</b>
	<b>LXI H, 01H</b>	
	<b>JMP ET110</b>	
<b>ET12</b>	<b>POP PSW</b>	<b>Se testează valoarea DEPL</b>
	<b>PUSH H</b>	
	<b>LXI H, OH</b>	
<b>ET110</b>	<b>JZ POP</b>	
<b>ET11</b>	<b>JZ FINAL</b>	<b>Se mai efectuează un număr de pași de în-</b>
	<b>XTHL</b>	<b>părțire egal cu conținutul DEPL</b>
	<b>DCR A</b>	
	<b>DAD H</b>	
	<b>JC E1</b>	

```

PUSH H
DAD B
JC E2
POP H
XTHL
DAD H
XCHG
DAD H
XCHG
JNC ET11
INX H
BT2    JMP ET11
E2     INX SP
       INX SP
       XTHL
       DAD H
       XCHG
       DAD H
       XCHG
       JNC ET3
       INX H
BT3    INX D
       JMP ET11
E1     XTHL
       DAD H
       XCHG
       DAD H
       XCHG
       JNC ET4
       INX H
BT4    INX D
       XTHL
       DAD B
       XTHL
       JMP ET11
CRCT   MOV A,B
       ADI 0H
       JMP DIMP
```

Se verifică dacă primul bit e 1 sau 0



	MOV A,C	Impărțitorul se deplasează cu o poziție
	ADD A	la stînga
	MOV C,A	
	MOV A,B	
	ADC A	
	MOV B,A	
	POP PSW	
	INR A	
	PUSH PSW	
	JMP DIV	
DIMP	MOV A,B	Dacă primul bit al împărțitorului este 1
	CMA	și conținutul lui HL este mai mare decît
	MOV B,A	conținutul lui BC, diferența lor se pla-
	MOV A,C	sează în HL
	CMA	
	MOC C,A	
	INX B	
	MVI A, 01H	Se poziționează pe 1 primul bit al citului
	PUSH PSW	
	DAD B	
	JMP ET10	
FINAL	RET	
POP	POP D	
	RET	

ANEXA 4

Programul de determinare a erorilor, prin citirea tabelului:

```
LXI H, X(Y+1) OOH
BUCLA  MOV A,M          Se efectuează scăderea N(t) - N(t-1) și
      MOV D,A          se transferă numărul N(t) în locația co-
      DCR H            respunzătoare lui N(t-1)
      SUB M
      MOV B,A
      MOV A,D
      MOV M,A
      INR H
      INR L
      MOV A,M
      PUSH PSW
      DCR H
      SBB M
      MOV D,A
      POP PSW
      MOV M,A
      LDA NMAXH        Se compară numărul N cu Nmax
      CMP D
      JC DEP1
      JNZ MIN
      LDA NMAXL
      CMP E
      JNC MIN
DEP1   .....        Se transmite cod de depășire cu semn +
MIN    PUSH D          Se compară numărul N cu Nmin
      XCHG
      DAD B
      MVI A, X(Y+2)
      CMP H
      XCHG
      POP D
      JC TAB
      JZ TAB
DEP2   .....        Se transmite cod de depășire cu semn -
TAB    INR H
      INR L
      XCHG
```

	DAD B	Se formează adresa corespunzătoare din
	MOV A,M	tabel și se citește codul memorat
	LHLD ADAP	
	ICHG	
	PUSH PSW	
	ORI F3	Se prelucrează codul citit în vederea
	INR A	obținerii erorii și transferării ei în
	JZ MARE	blocul de afișare, la o adresă memorată
MIC	POP PSW	în locația ADAP, corespunzătoare postului
	ORA A	curent
	RAL	
	RFC	
	STAX D	
	INX D	
	RAL	
	RAL	
	ANI 02	
	JMP SF	
MARE	POP PSW	
	ORI OFH	
	STAX D	
	INX D	
	DCX SP	
	DCX SP	
	POP PSW	
	ANI 03	
SF	STAX D	
	INR E	
	ICHG	
	SHLD ADAP	
	ICHG	
	JNZ BUCLA	După parcurgerea celor 128 de posturi, se
	JMP INIT	verifică dacă nu s-au schimbat datele ini-
		țiale

Bibliografie

1. Alfke, P., Larsen, I. (editori): The TTL Applications Handbook, Fairchild Semiconductor, S.U.A., 1973
2. Altman, L. (editor): Microprocessors, McGraw-Hill, S.U.A., 1975
3. Altman, L., Scrupski, S. E. (editori): Applying Microprocessors. New hardware, software and applications, McGraw-Hill, S.U.A., 1976
4. Bishop, R.: Basic Microprocessors and the 6800, S.U.A., 1979
5. Burton, D. P., Dexter, A. L.: Microprocessor Systems Handbook, Analog Devices, S.U.A., 1977
6. Ciorăscu, P., Spînulescu, I.: Măsurări electrice și electronice, București, 1973
7. Dăncea, I.: Microprocesoare. Arhitectură internă, programare, aplicații, Cluj-Napoca, 1979
8. Dekold, D.: Integrated multiplier simplifies wattmeter design, Electronics Designer's Casebook, McGraw-Hill, S.U.A., 1976
9. \* \* \* Digital Equipment Corporation: Microcomputer Interfaces Handbook, S.U.A., 1980
10. Drăgănescu, M. (coordonator): Viitorul electronicii și informației, București, 1979
11. Drăgănescu, M.: A doua revoluție industrială. Microelectronica, automatica, informatica - factori determinanți, București, 1980
12. Flechter, A.: 8080 efficiently computes 32-by-16 bit quotient. Electronics, 27 March 1980, vol.53, nr.7
13. \* \* \* Ganz: Measuring Instruments Works - Basic Production Program, Ungaria, 1980
14. \* \* \* Ganz: Pupitre d'étalonnage pour compteurs, Ungaria, 1980
15. Geber, T., Vuici, M., Constantinescu, T., Misișeanu, M., Popescu, G., Băleanu, C.: Echipamente periferice, București, 1981
16. Giacoletto, L. J. (editor): Electronics Designers Handbook, McGraw-Hill, S.U.A., 1977
17. Goodrich, J. L.: Very efficient 8080 program multiplies and divides, Electronics, 24 February 1982, vol.55, nr.4
18. \* \* \* Integrated Computer Systems: Microprocessors and Microcomputers - Manufacturers Literature, Belgia, 1975
19. \* \* \* Integrated Computer Systems: Microprocessors and Microcomputers - Reprints, Belgia, 1976

20. \* \* \* Intel: Using the 8251 USART, in Peripheral Design Handbook, S.U.A., 1980
21. \* \* \* International Electrotechnical Commission: Static Watthour-meter class C,2 - Metrological Specifications, Elveția, 1975
22. \* \* \* Iskra: TEMP5 - 0,05 error gauge, Iugoslavia, 1979
23. Korn, G. A.: Microprocesoare, microcalculatoare, minicalculatoare, București, 1982
24. Jiveț, I., Oteșteanu, M., Jurca, I.: Configurație optimă de I/O pentru sistemele cu microprocesoare în aplicații industriale de timp real, Al VII-lea simpozion de informatică și conducere, Cluj-Napoca, 20-23 mai 1981
25. \* \* \* Landis-Gyr: Eichstationen für Wirk- und Blindverbrauchszähler, Elveția, 1978
26. \* \* \* Landis-Gyr: Elektronischer Präzisionszähler TVH 1, Elveția, 1975
27. \* \* \* Landis-Gyr: Statischer Präzisionszähler, Klasse 0,2, ZCR, ZFR, ZMR, Elveția, 1979
28. \* \* \* Landis-Gyr: Statischer Präzisionszähler, Klasse 0,5 nach IEC, ZFS1, ZMS1, Elveția, 1979
29. \* \* \* Landis-Gyr: Fotoelektrische Abtastköpfe für die Zählerprüfung, TVS 6, TVS 7, Elveția, 1975
30. Laumann, H., Petr., T.: Compteur de précision de la classe C,5 avec système de mesure statique, Revue Landis-Gyr, nr.4, 1974
31. Lessa, A., Zaks, R.: Microprocessors Interfacing Techniques, S.U.A., 1978
32. Leția, I., Poenaru, M., Stoian, I., Negru, C., Pusztai, K.: Set de programe pentru instalația de verificare metrologică a contoarelor, Informatica pentru conducere - Progrese în informatica românească, Cluj-Napoca, 1980
33. Lupu, C., Tepelea, V., Purice, E.: Microprocesoare - aplicații, București, 1982
34. \* \* \* Metra Blansko: Digitale messtechnik, Cenoslovacia, 1976
35. Mick, J., Brick, J.: Bit-slice Microprocessor Design, McGraw-Hill, S.U.A., 1980
36. Millea, A.: Măsurări electrice - principii și metode, București, 1980

37. Millea, A., Brătulescu, T., Buță, V., Magdici, M., Matache, D., Toma, C.: Contor electronic trifazat de energie electrică, Lucrările simpozionului național de metrologie, București, 29-31 octombrie 1981
38. Morris, I. L., Miller, J. L. (editori): Proiectarea cu circuite integrate TTL, București, 1974
39. \* \* \* Motorola Semiconductor: M6800 Application Manual, Elveția, 1975
40. \* \* \* Motorola Semiconductor: Microprocessor Course, Elveția, 1979
41. Mureșan, T., Strugaru, C., Stoinescu, N., Petriu, E.: Microprocesorul 8080 în aplicații, Timișoara, 1981
42. Nicolau, E., Belig, M.: Măsurări electrice și electronice, București, 1979
43. Nicolau, E. (coordonator): Manualul inginerului electronist. Măsurări electronice, București, 1979
44. Norris, B. (editor): Semiconductor Circuit Design, vol.I, Texas Instruments, Anglia, 1972
45. Norris, B. (editor): Semiconductor Circuit Design, vol.II, Texas Instruments, Anglia, 1973
46. Norris, B. (editor): Semiconductor Circuit Design, vol.III, Texas Instruments, Anglia, 1974
47. Norris, B. (editor): Semiconductor Circuit Design, vol.IV, Texas Instruments, Anglia, 1975
48. Norris, B. (editor): Semiconductor Circuit Design, vol.V, Texas Instruments, Anglia, 1977
49. Oteșteanu, M., Jiveț, I.: Brevet O.S.I.M. nr.75722 din 30.10.1980: Metodă și instalație de determinare a erorilor contoarelor energie
50. Oteșteanu, M.: Brevet O.S.I.M. nr.79122 din 10.02.1982: Metodă și instalație de centralizare și prelucrare a erorilor contoarelor de energie
51. Oteșteanu, M.: Brevet O.S.I.M. nr.78943 din 28.01.1982: Bloc de afișare pentru verificarea metrologică a contoarelor de energie
52. Oteșteanu, M.: Brevet O.S.I.M. nr.78944 din 28.01.1982: Aparat pentru determinarea erorilor contoarelor de energie
53. Oteșteanu, M.: Brevet O.S.I.M. nr.78947 din 28.01.1982: Metodă și aparat de determinare a erorilor contoarelor de energie

54. Oteşteanu, M., Popa, M., Jiveţ, I.: Algoritm şi program pentru determinarea erorii relative de măsurare a contoarelor de energie, *Metrologia aplicată*, vol.XVII, nr.4/1980
55. Oteşteanu, M., Jiveţ, I., Popa, M.: Utilizarea aparatului Minex-32 în etalonarea şi verificarea contoarelor de energie, *Sesiunea de comunicări ştiinţifice pentru tineret Tehnic 2000*, Timişoara, 20-21 martie 1981
56. Oteşteanu, M., Popa, M., Jiveţ, I.: Cuplor "time-sharing" pentru determinarea erorilor contoarelor de energie, *Al VII-lea simpozion de informatică şi conducere*, Cluj-Napoca, 20-23 mai 1981
57. Oteşteanu, M., Jiveţ, I.: Metodă economică de comandă din microprocesor a posturilor de afişare distribuite, *Informatica pentru conducere - Orizont 1981 - Realizări şi aplicaţii*, Cluj-Napoca, 1981
58. Oteşteanu, M., Jiveţ, I.: Metode şi aparate pentru determinarea erorilor contoarelor de energie, *Simpozionul naţional de metrologie*, Bucureşti, 29-31 octombrie 1981
59. Oteşteanu, M., Jiveţ, I.: Impact of Microprocessors on Watthour-meter Calibrating and Testing Methods and Equipment, *9th World Congress IMEKO, Technological and Methodological Advances in Measurement*, vol.II, Berlin (West), 1982
60. Oteşteanu, M., Jiveţ, I.: Fogyasztásmérő hitelesítő és ellenőrző módszer és berendezés mikroprocesszorok alkalmazásával (rezum.), *Mérés és automatika*, vol.30, nr.12/1982
61. Oteşteanu, M.: Modalităţi industriale de etalonare şi verificare a contoarelor de energie, *Referatul nr.2 în cadrul pregătirii pentru doctorat*, I.P.T.V.Timişoara, 12 iunie 1982
62. Patachi, M., ş.a.: *Memoretor de măsurii electrice*, Cluj-Napoca, 1973
63. Pop, E., Chivu, M.: *Măsurii electrice şi magnetice*, Timişoara, 1969
64. Pop, E., Stoica, V.: *Principii şi metode de măsurare numerice*, Timişoara, 1977
65. Queysse, D. (editor): *Understanding Microprocessors*, Motorola Inc., Elveţia, 1974
66. Kony, P. K., Larsen, D. G., Titus, J. A.: *Microcomputer Interfacing and Programming*, S.U.A., 1977
67. Hügger, M.: Stations d'étalonnage ETALOGYK pour énergie active et réactive, *Revue Iandis-Cyr*, nr.1/1978

68. Sahn, W. H.: Optoelectronics Manual, General Electric, S.U.A., 1976
69. \* \* \* Siemens: Measuring Equipment, Catalog MP54, 1977/1978
70. \* \* \* Siemens: Testing Equipment for Electricity Meters, R.F.Germania, 1976
71. \* \* \* Siemens: Digitaler Fehleranzeigergerät - zum Prüfen von Elektrizitätszählern, R.F.Germania, 1976
72. \* \* \* Siemens: Gerät zur digitalen Fehleranzeige beim Prüfen von Elektrizitätszählern, R.F.Germania, 1978
73. Sippl, C. J., Kidd, D. A.: Microcomputers and Microelectronics Dictionary and Guide, Belgis, 1976
74. Stoian, A., Popa, M., Panich, A.: Etalonarea și verificarea numerică a contoarelor electrice cu inducție, Sesiunea de comunicări științifice cu ocazia celei de a 60-a aniversări a U.T.C., București, 1982
75. \* \* \* STAS 4193/1 și 4193/2 din 1968
76. Swift, G. W., Eisenstein, J. P.: 8080 program computes 32-by-16 bit quotient, Electronics, 30 May 1979, vol.52, nr.10
77. Tipomăț, V., Oteșteanu, M.: Contor electronic de energie activă, Buletinul științific și tehnic al Institutului Politehnic "Traian Vuia", Timișoara, fascicula 3/1979
78. Vonarburg, H., Vries, J. H.: Compteur électronique de haute précision, Revue Randis-Gyr, nr.1/1972
79. Vostroknutov, N. G.: Elektricheskie scetki i in ekspluatziia, Moskva, U.S.S.S., 1947
80. Vostroknutov, N. G.: Remont elektriceskikh scetcikov, U.R.S.S., 1952
81. Weisberger, A. J.: Microprocessors expand industry applications of data acquisition, in Large Scale Integration, McGraw-Hill, S.U.A., 1976
82. Wester, J. G., Simpson, W. D.: Software Design for Microprocessors, Texas Instruments, S.U.A., 1976
83. \* \* \* Yokogawa Electric Works: Digital Integrator Type 2513, Japan, 1980