

# **CONTRIBUȚII LA CONCEPȚIA UNUI CONVERTOR NUMERIC/ANALOGIC ÎN TEHNOLOGIE CMOS**

Teză destinată obținerii  
titlului științific de doctor inginer  
la  
Universitatea "Politehnica" din Timișoara  
în domeniul Inginerie electronică și telecomunicații  
de către

**Ing. Mircea Tomoroga**

Conducător științific: prof.dr.ing. Corneliu Toma  
Prof.dr.ing. Mircea Ciugudean  
Referenți științifici: Prof.dr.ing. Mircea Bodea  
Prof.dr.ing. Corneliu Rusu  
Prof.dr.ing. Virgil Tiponuț

Ziua susținerii tezei: 11.07.2009

Seriile Teze de doctorat ale UPT sunt:

- |                        |   |
|------------------------|---|
| 1. Automatică          | 7. Inginerie Electronică și Telecomunicații |
| 2. Chimie              | 8. Inginerie Industrială                    |
| 3. Energetică          | 9. Inginerie Mecanică                       |
| 4. Ingineria Chimică   | 10. Știința Calculatoarelor                 |
| 5. Inginerie Civilă    | 11. Știința și Ingineria Materialelor       |
| 6. Inginerie Electrică |   |

Universitatea „Politehnica” din Timișoara a inițiat seriile de mai sus în scopul diseminării expertizei, cunoștințelor și rezultatelor cercetărilor întreprinse în cadrul școlii doctorale a universității. Seriile conțin, potrivit H.B.Ex.S Nr. 14 / 14.07.2006, tezele de doctorat susținute în universitate începând cu 1 octombrie 2006.

Copyright © Editura Politehnica – Timișoara, 2009

Această publicație este supusă prevederilor legii dreptului de autor. Multiplicarea acestei publicații, în mod integral sau în parte, traducerea, tipărirea, reutilizarea ilustrațiilor, expunerea, radiodifuzarea, reproducerea pe microfilme sau în orice altă formă este permisă numai cu respectarea prevederilor Legii române a dreptului de autor în vigoare și permisiunea pentru utilizare obținută în scris din partea Universității „Politehnica” din Timișoara. Toate încălcările acestor drepturi vor fi penalizate potrivit Legii române a drepturilor de autor.

România, 300159 Timișoara, Bd. Republicii 9,  
tel. 0256 403823, fax. 0256 403221  
e-mail: editura@edipol.upt.ro

## Cuvânt înainte

Această lucrare cumulează rezultatele studiilor, cercerărilor și simulărilor desfășurate de mine în ultimii ani sub îndrumarea permanentă, competentă și riguroasă a conducătorilor științifici și folosind experiența acumulată de grupul de colegi din Catedra de Electronică Aplicată a Facultății de Electronică și Telecomunicații care au preocupări științifice în același domeniu.

De la bun început doresc să îmi exprim călduroasele mulțumiri domnului prof. dr. ing. Mircea Ciugudean pentru îndrumarea continuă atât la realizarea acestei lucrări cât și pentru întreaga mea carieră profesională, începută în momentul în care, student fiind, am fost acceptat ca preparator la laboratorul în care dînsul își desfășura activitatea, laborator în care am lucrat mai apoi ca asistent și o perioadă ca șef de lucrări.

Mulțumesc de asemenea domnului prof. dr. ing. Corneliu Toma care m-a acceptat la doctorat și, prin binecunoscuta sa perseverență, precum și prin bunele sfaturi și îndrumări, a reușit să mă determine să finalizez această teză.

De asemenea doresc să aduc mulțumiri, cu această ocazie, colegului meu sef. lucr. dr. ing. Lucian Jurcă pentru multele ore petrecute pentru a mă ajuta la numeroasele simulări și testări necesare finalizării acestei lucrări.

Mulțumesc tuturor colegilor de catedră pentru suportul moral și sfaturilor utile la finalizarea materialului precum și a articolelor publicate în comun în legătură cu aceste preocupări.

În mod deosebit doresc să îmi exprim recunoștința Decanului Facultății de Electronică și Telecomunicații prof. dr. ing. Marius Oteșteanu și Șefului Catedrei de Electronică Aplicată prof. dr. ing. Ivan Bogdanov, pentru asigurarea condițiilor logistice și organizatorice necesare finalizării tezei.

Am toată considerația și recunoștința pentru membrii comisiei pentru susținerea publică a tezei, prof. dr. ing. Mircea Bodea ( Universitatea " Politehnica " din București ), prof. dr. ing. Corneliu Rusu ( Universitatea Tehnică din Cluj Napoca ) și prof. dr. ing. Virgil Tiponut ( Universitatea " Politehnica " din Timișoara ) pentru atenția acordată materialului, criticile și aprecierile formulate, precum și pentru indicațiile și sfaturile primite.

Nu în ultimul rînd doresc să mulțumesc călduros soției mele Melania și copiilor Andrei și Laura pentru suportul moral permanent pe care l-am simțit din partea lor.

Timișoara, iunie 2009

Mircea Tomoroga

Tomoroga, Mircea

**Contribuții la concepția unui convertor numeric/analogic în tehnologie CMOS**

Teze de doctorat ale UPT, Seria 7, Nr. 15, Editura Politehnica, 2009, 112 pagini, 55 figuri, 2 tabele.

ISSN: 1842-7014

ISBN: 978-973-625-916-6

Cuvinte cheie: CNA in tehnologie CMOS, CNA suprapus peste o sursă de tensiune de referință, topologie CNA, segmentare cod, algoritm de comutare optima a surselor de curent ale unui CNA

**Rezumat:**

Autorul își dezvoltă întreaga lucrare pe proiectarea și optimizarea funcționării unui CNA pornind de la ideea suprapunerii unui CNA peste o sursă performantă de tensiune de referință. Se urmărește utilizarea unei tehnologii ieftine (CMOS standard), scăderea tensiunii de lucru, a consumului și a suprafeței ocupate pe cip în paralel cu obținerea unor performanțe ridicate în funcționarea în regim static și dinamic. Se concepe o nouă topologie de CNA, cu control în curent, bazată pe o configurație originală de segmentare și codare termometrică a segmentului mai semnificativ, care generează la ieșire tensiuni sub-bandgap având la bază o sursă de referință optimizată termic, care prezintă un comportament mai bun decât alte realizări obținute în tehnologii mai pretențioase. Se demonstrează că eroarea integrală a structurii propuse nu depinde de rezistența de sarcină și se concepe un algoritm original pentru deducerea secvenței optime de comutare a surselor de curent astfel încât eroarea integrală să fie cât mai mică, indiferent de poziția cipului pe wafer. Se deduc formule pentru deviația standard a tensiunii maxime de ieșire și se stabilesc condițiile necesare la dimensionarea componentelor pentru menținerea erorii integrale în limitele admisibile. Se deduc formulele teoretice pentru puterea erorii de neîmperechere stohastică a tranzistoarelor și a parametrului SINAD. Se introduce o nouă tehnică de reducere a glicurilor tensiunii de ieșire care crește gama dinamică a convertorului. Rezultatele numeroaselor simulări efectuate pe baza schemei propuse după optimizare și pe baza algoritmilor și regulilor deduse în teză au fost comparate cu cele din lucrări științifice recente și au prezentat evidente îmbunătățiri. Autorul prezintă în cadrul lucrării și numeroase contribuții aplicative dintre care amintim: proiectarea codorului termometric, concepția unei scheme originale pentru verificarea INL la orice CNA, stabilirea unei secvențe numită minimală de comutare a surselor de curent care permite compensarea în proporție de 50% a efectului impedanței de ieșire, implementarea în MATLAB a modelelor matematice ale convertorului propus și studiul în acest mediu al parametrilor dinamici. Autorul prezintă unele perspective de studiu pentru îmbunătățirea și dezvoltarea în continuare a schemei.

# Cuprins

<b>Introducere</b> .....	7
<b>Capitolul 1.</b> Caracteristicile convertoarelor numeric-analogice cu mod de lucru în curent .....	11
1.1 Motivarea utilizării CNA cu mod de lucru în curent. Noțiuni introductive .....	11
1.2 Parametrii convertoarelor numeric-analogice .....	18
1.2.1 Parametrii de regim static ai convertoarelor numeric-analogice .....	19
1.2.2 Parametrii de regim dinamic ai convertoarelor numeric-analogice .....	21
1.3 Topologii de CNA cu control în curent .....	25
<b>Capitolul 2.</b> CNA suprapus peste sursa de tensiune de referință, cu cod de intrare segmentat .....	30
2.1 Referința de tensiune de tip sub-bandgap .....	30
2.2 Principiul CNA suprapus peste sursa de tensiune de referință .....	36
2.3 CNA segmentat, cu cod termometric .....	41
2.4 Evaluarea prin simulare a comportamentului termic al CNA .....	45
2.5 Concluzii la capitolul 2 .....	48
<b>Capitolul 3.</b> Studiul funcționării în regim static a convertorului numeric-analogic propus .....	50
3.1 Măsuri pentru reducerea influenței erorilor deterministice asupra preciziei convertorului .....	52
3.1.1 Efectul la joasă frecvență al impedanței de ieșire finite a surselor de curent unitare .....	52
3.1.2 Compensarea efectului erorilor graduale de împerechere a surselor de curent .....	62
3.1.3 Reducerea efectului impedanței de ieșire limitate folosind secvențe de comutare speciale .....	70
3.2 Măsuri pentru reducerea influenței erorilor de natură stohastică asupra preciziei convertorului .....	72
3.3 Concluzii la capitolul 3 .....	76
<b>Capitolul 4.</b> Analiza funcționării dinamice a CNA propus și soluții pentru îmbunătățirea performanțelor .....	78
4.1 Analiza influenței impedanței de ieșire limitate asupra comportamentului în regim dinamic al CNA .....	78
4.2 Influența erorilor de împerechere a tranzistoarelor asupra regimului dinamic al convertorului .....	88
4.3 Considerații privind adoptarea tipului de ieșire a convertorului. Reducerea glicierilor semnalului de ieșire .....	95
4.4 Concluzii la capitolul 4 .....	99
<b>Concluzii, contribuții și perspective</b> .....	101
<b>Bibliografie</b> .....	104

## Introducere

În perioada actuală capacitatea de prelucrare digitală a informației cunoaște o tot mai amplă dezvoltare iar gama de aplicații în care se folosesc tehnici computerizate extrem de sofisticate devine din ce în ce mai diversificată. Câteva dintre realizările de vârf ale ultimilor ani se regăsesc în domeniul comunicațiilor cu și fără fir, al prelucrării semnalelor video și audio, al instrumentației digitale, sintezei digitale sau rețelilor de senzori.

Cu toate acestea, lumea reală este și va rămâne întotdeauna un mediu analogic. Pentru a putea beneficia de procesare digitală și de atuurile ei în aplicațiile din lumea reală, semnalul analogic trebuie translatat într-un format pe care calculatorul numeric îl poate utiliza. Această funcție este îndeplinită de convertorul analog-numeric (CAN). După prelucrarea cu un computer sau procesor dedicat, fluxul de informație binară rezultat trebuie reconvertit în formă analogică cu ajutorul unui **convertor numeric-analogic (CNA)**. Din nou analogică, informația poate fi recepționată de simțurile umane, cel mai adesea văz și auz, pentru a putea fi apoi utilizată sau interpretată.

Pentru aplicațiile în timp real, dar nu numai, aceste dispozitive devin componente critice în precizia și viteza vehiculării informației. De aceea, cercetători din firme de prestigiu și din institute de învățământ superior din întreaga lume le-au acordat o atenție sporită, cu atât mai mult cu cât tendința generală în fabricația de circuite integrate analogice și mixte este de a utiliza procese tehnologice care să fie accesibile în termeni de preț, așa cum este cazul **tehnologiei CMOS standard**. Adoptarea acestei tehnologii ca mediu de proiectare în lucrarea de față este pe deplin justificată și de numărul foarte mare de lucrări științifice recente din literatura în domeniu, comparativ cu numărul de realizări similare raportate în alte tehnologii.

Desigur, în aplicații speciale de foarte mare viteză, sau de bandă foarte îngustă, unde prețul de cost și puterea consumată contează mai puțin, se face apel și la tehnologia BiCMOS [15], [43], sau la tehnologii ce utilizează tranzistoare de tip HBT pe bază de arseniură de galiu sau fosforură de indiu [18],[34].

Totuși tendința actuală în fabricația de circuite integrate, și în particular de convertoare analog-numerice și numeric-analogice, face ca tensiunile lor de alimentare să fie din ce în ce mai mici. Pe această cale se întrunesc și dezideratele de **consum redus** reclamate odată cu cererea crescândă pe piață de sisteme electronice cu rețea distribuită **autonomă** de senzori și de echipamente electronice **portabile**. O serie de articole științifice publicate sau prezentate în străinătate, **inclusiv de autor**, raportează concepția de convertoare sau referințe de tensiune dedicate acestora, care să fie alimentate la tensiuni de cel mult 2,5V, uneori chiar sub 1V: [4], [5], [6], [11], [16], [17], [20], [28], [30], [35], [36], [39], [41], [42], [46], [52], [53], [54], [56], **[59]**, [74], [82].

Acest aspect este însă indisolubil legat de scalarea în jos a tehnologiei. Pentru circuite CMOS pur digitale, raportul performanță-preț se îmbunătățește în ritm cu creșterea densității de integrare a cărei evoluție este prefigurată de legea lui Moore. În schimb, pentru circuitele analogice, odată cu micșorarea dimensiunilor tranzistoarelor și deci cu creșterea gradului de neîmperechere a acestora, trebuie

menținută aceeași precizie și viteză ca și în cazul unor alimentări obișnuite și într-un spațiu redus din punct de vedere al posibilităților de polarizare și al excursiei de tensiune la ieșire.

În lucrarea de față se va prezenta un CNA cu mod de lucru în curent conceput în **tehnologie CMOS** și care nu necesită operații suplimentare de calibrare sau *trimming*. Convertorul a fost ales de tipul «**cu control în curent**» pentru că avantajele intrinseci ale acestui mod de funcționare îl fac candidatul potrivit pentru aplicații în comunicații și/sau de precizie și consum redus. Această opțiune este de asemenea susținută de un număr important de lucrări științifice din reviste de înalt nivel. Marea majoritate a bibliografiei citate se referă la acest tip de CNA, din care peste 50 de titluri prezintă convertorul ca atare, în diverse variante și 10 alte titluri prezintă convertoare analog-numerice delta-sigma sau cu aproximații succesive ce includ în buclele de reacție tot CNA-uri cu control în curent. De asemenea, o mare parte din convertoarele numeric-analogice care utilizează tehnici BIST (*buil-in-self-test*) și care se găsesc în bibliografia citată, au la bază un CNA de acest tip.

Studii prealabile [84], [85], referitoare la alte tipuri de convertoare numeric-analogice au identificat limitările acestora și au contribuit, de asemenea, la adoptarea modului de lucru în curent pentru convertorul ce constituie obiectul acestei teze.

Convertorul numeric-analogic descris aici prezintă un mare grad de originalitate, unul din motive fiind acela că include o referință de tensiune peste care este suprapusă schema convertorului propriu-zis. Practic, întregul convertor este inclus într-un mecanism de generare de tensiuni de referință de tip bangap [57], [58], [86], formă în care el prezintă avantaje nete față de alte implementări. Acestea din urmă, fie utilizează o referință de tensiune externă cipului, dezavantajele fiind evidente în acest caz, fie au referință internă dar obligă la efectuarea unei conversii tensiune-curent. Acest lucru implică integrarea unor componente suplimentare dintre care cel puțin un amplificator operațional de precizie sau o rețea rezistivă care ar necesita *trimming* [17], [40], [46], [64], [72], ceea ce conduce evident la efecte parazite suplimentare și la creșterea costului de fabricație.

Proiectarea în tehnologie CMOS a unui astfel de convertor implică o analiză amănunțită a realizărilor anterioare în domeniul CNA cu mod de lucru în curent și apoi o activitate de concepție complexă în care trebuie găsit optimul sau compromisul atunci când, cel mai adesea, indici diferiți de performanță ai convertorului sunt obținuți prin măsuri contradictorii. Se pun astfel în balanță precizia sa, viteza, aria ocupată pe cip, consumul de curent, tensiunea de alimentare scăzută și nu în ultimul rând costul de fabricație și testare.

Metodologia abordată a presupus elaborarea unor modele matematice pentru fiecare tip de comportament neideal al componentelor CNA folosind abordări teoretice sau mediul Matlab, modele care au fost apoi confruntate cu rezultatul simulărilor de înalt nivel comportamental de tip PSpice realizate în mediul de proiectare OrCAD.

Întrucât convertorul utilizează tehnica elementului unitar (surse de curent de ponderi diferite se realizează prin punerea în paralel a mai multor surse de curent unitare) a fost studiat în primul rând modul în care erorile graduale (sau deterministice) de împerechere a tranzistoarelor influențează performanța statică și dinamică a convertorului [1], [7], [12], [38], [48], [60], [61], [69], [86], [87]. Au fost analizate măsurile ce pot fi luate pentru reducerea efectului acestor erori, în special prin utilizarea unor tehnici de layout cu geometrii întrețesute, sau matriciale cu centrul comun de ordinul unu, doi (cu centrul comun de centre comune) sau chiar trei [7], [12], [13], [15], [24], [36], [38], [62], [63], [64], [70], [71], [86], [87].

O atenție deosebită a fost acordată mecanismului de generare și acțiune a erorilor de împerechere de natură stohastică sau statistică [4], [8], [21], [25], [48], [49], [60], [61], [69], [71], [86] și au fost identificate căi prin care se poate diminua influența lor [3], [5], [26], [34], [47], [51], [53], [68]. Au fost adoptate strategii proprii, optimizate, ce au necesitat resurse hardware mai puține față de alte realizări pentru a obține performanțe statice sau dinamice comparabile cu acestea ([60], respectiv [77]).

De asemenea, valoarea finită a impedanței de ieșire a surselor de curent unitare face ca impedanța de ieșire a CNA să fie dependentă de codul de comandă, afectând astfel liniaritatea convertorului, prin componenta sa rezistivă variabilă, dar și funcționarea sa în regim dinamic [14], [68], [71], [86]. În același timp se generează întârzieri diferite la acționarea în contratimp a comutatoarelor de curent de pe cele două căi complementare ale convertorului. Apar astfel **gliciuri** în tensiunea de ieșire și **armonici parazite** în spectrul semnalului de ieșire, fiind necesare soluții suplimentare pentru reducerea lor [2], [8], [13], [14], [21], [41], [58]. La acestea se adaugă efectele parazite asociate strict comutatoarelor de curent, precum pătrunderea semnalului de clock sau injecția de sarcină în nodul de ieșire, care de asemenea au fost luate în calcul în activitatea de proiectare.

Aspectele discutate mai sus au fost abordate în mod sistematic în capitolele acestei teze. Astfel în **capitolul 1** se vor prezenta principalele caracteristici ale convertorului numeric-analogic cu mod de lucru în curent și se va justifica adoptarea lui în urma comparării cu alte tipuri de convertoare numeric-analogice. Vor fi prezentați și discutați principalii parametri care caracterizează funcționarea în regim static și în regim dinamic a convertorului și vor fi analizate principalele topologii ale CNA cu mod de lucru în curent.

În **capitolul 2** se va descrie modul în care a derivat schema de bază a convertorului propus în această lucrare pornind de la o sursă de tensiune de referință de tip sub-bandgap și adoptând în continuare o arhitectură segmentată pentru a reduce numărul de tranzistoare necesare în implementarea convertorului. Alegând ca baza de proiectare a fiecărui segment tehnica elementului unitar de circuit, vor fi construite blocurile componente ale convertorului și vor fi prezentate simulări care să confirme funcționarea sa corectă și care să evidențieze calitățile sale „termice”.

În **capitolul 3** se va analiza afectarea preciziei CNA de către impedanța de ieșire finită a surselor de curent unitare, de către erorile de împerechere deterministice și stohastice și se vor elabora noi strategii de comandă a convertorului care să optimizeze comportamentul său în regim static.

În **capitolul 4**, se va analiza funcționarea în regim dinamic a CNA și se vor propune soluții care să reprezinte un bun compromis între performanța dinamică a convertorului, pe de o parte și obținerea unui cost mic de fabricație (simplitate) și a unui consum redus de la sursa de alimentare. De asemenea, se vor efectua modificări suplimentare în structura lui pentru a se asigura o reducere drastică a gliciurilor de la ieșire, eliminând astfel principala cauză care poluează spectrul tensiunii de ieșire a convertorului numeric-analogic.

În paragraful de **concluzii** se vor comenta pe scurt soluțiile propuse și performanțele obținute și se vor evidenția contribuțiile teoretice și aplicative aduse de autor în această teză. De asemenea, se vor indica direcțiile principale de continuare a cercetării pe tema prezentată.



Notă.

Pe parcursul tezei, bibliografia citată cu caractere bold reprezintă lucrări ale autorului. De asemenea, relațiile și figurile importante, care reprezintă contribuții proprii, vor fi marcate cu bold atunci când sunt prima oară citate în lucrare.

Evidențierea metodelor concepute de autor și a altor contribuții originale importante se va face prin sublinierea textului aferent.

Termenii de specialitate, care apar în limba engleză, sau care însoțesc echivalentul românesc al unor parametri specifici, vor fi redactați cu caractere italice.

# Capitolul 1

## CARACTERISTICILE CONVERTOARELOR NUMERIC-ANALOGICE CU MOD DE LUCRU ÎN CURENT

În momentul stabilirii ca și principal obiectiv al acestei teze crearea premizelor teoretice pentru integrarea în siliciu a unui convertor numeric-analogic prin serviciul *Europractice*, prima alegere a fost aceea a tipului convertorului. Din acest motiv, în **paragraful 1.1**, pe baza unui amplu studiu bibliografic, au fost contrapuse caracteristicile diverselor tipuri de convertoare numeric-analogice (CNA). Întrunirea criteriilor de precizie, viteză și consum redus, văzute prin prisma celor mai accesibile prețuri de cost, a condus la adoptarea tipului de CNA cu mod de lucru în curent - un convertor la frecvență Nyquist, fără întoarcere la zero și implementabil în tehnologie CMOS standard.

Pentru a permite evaluarea performanțelor circuitului ce va fi proiectat, în **paragraful 1.2** au fost prezentați principalii parametri de regim static și dinamic ai CNA, în concordanță cu cele mai recente preocupări la nivel internațional privind standardizarea terminologiei și metodelor de testare a acestor circuite.

În **paragraful 1.3** au fost prezentate cele două topologii de bază de convertoare cu control în curent, ce includ surse de curent ponderate binar, respectiv surse de curent unitare. Au fost evidențiate avantajele și dezavantajele fiecărei topologii și s-a explicat modul în care se generează o arhitectură segmentată ca și combinație între cele două tipuri de bază.

### **1.1. Motivarea utilizării CNA cu mod de lucru în curent. Noțiuni introductive.**

În acest prim paragraf se vor prezenta principalele avantaje și dezavantaje ale celor mai răspândite tipuri de convertoare numeric-analogice și se vor evidenția prin comparație calitățile CNA cu mod de lucru în curent. Expunerea se va axa pe schema din fig.1.1 construită pe baza criteriilor de clasificare a convertoarelor numeric-analogice. Astfel, caracteristicile convertorului ce constituie obiectul tezei, sau ale familiei din care face parte, se vor contrapune succesiv cu cele ale altor convertoare situate pe același palier, așa cum este sugerat în fig.1.1.

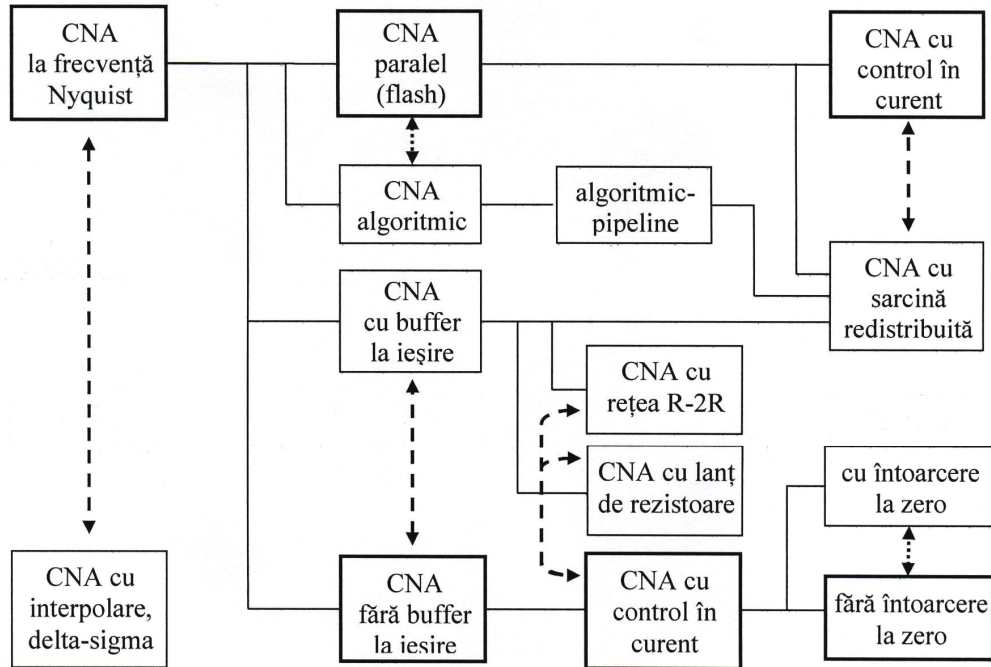


Fig.1.1 Încadrarea CNA cu mod de lucru în curent în familia CNA

Convertorul numeric-analogic adoptat în această lucrare este un **convertor la frecvență Nyquist**. La acest tip de convertoare banda semnalului de intrare este egală cu frecvența Nyquist,  $f_N = f_{es} / 2$ , unde  $f_{es}$  este frecvența de lucru sau de eșantionare. Este folosit astfel întreg domeniul de frecvență disponibil în care încă se garantează absența alierii, conform teoremei eșantionării. Deoarece ieșirea CNA este formată de o succesiune de impulsuri rectangulare adiacente modulate în amplitudine (PAM), spectrul este repetat, centrat succesiv pe multipli ai frecvenței de lucru și atenuat cu funcția sinc:

$$\operatorname{sinc}\left(\frac{f}{f_{es}}\right) = \frac{\sin\left(\frac{\pi f}{f_{es}}\right)}{\frac{\pi f}{f_{es}}}. \quad (1.1)$$

Atenuarea introdusă în spectrul semnalului în funcție de frecvența normalizată  $f/f_{es}$  este reprezentată grafic în fig.1.2. Așa cum se observă aici, la frecvența Nyquist atenuarea introdusă conform relației (1.1) este de circa 3,9dB. Așadar utilizarea convertorului până aproape de limita domeniului său de frecvență presupune folosirea unui filtru de egalizare, *anti-sinc*, combinat cu un filtru trece jos abrupt cu frecvența de tăiere  $f_N$  pentru rejecția frecvențelor imagine centrate pe frecvența de eșantionare și multiplii ei. Pentru a relaxa specificațiile de proiectare

ale acestui filtru, **în practică**, în mod obișnuit, se utilizează doar **o fracțiune din domeniul Nyquist**, ceea ce este suficient în majoritatea aplicațiilor, deoarece în tehnologie CMOS standard oricum se pot realiza ușor frecvențe de lucru de ordinul zecilor și sutelor de MHz, sau chiar de ordinul a 1GHz [46].

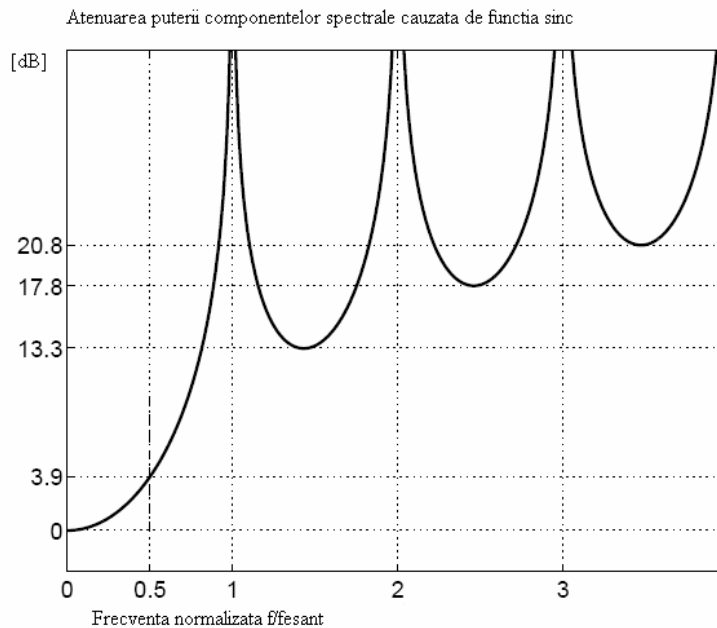


Fig.1.2 Atenuarea introdusă de funcția sinc

Prin conectarea însă în paralel a două CNA care să fie comandate de semnale de tact perfect complementare, dar numai atunci când convertoarele sunt de tipul „cu mod de lucru în curent” (ce permite conectarea directă a ieșirilor lor și însumarea curenților), practic este ca și cum s-ar dubla frecvența de eșantionare. Astfel, primele frecvențe imagine din spectru se găsesc la  $2f_{es}-f_{semnal}$ , respectiv  $2f_{es}+f_{semnal}$ , caz în care proiectarea filtrului menționat anterior e mult simplificată [23].

Deoarece semnalul de intrare digital este de rezoluție limitată de numărul de biți  $N$ , se introduce un zgomot de cuantizare. Pentru rezoluții medii și mari acest zgomot este considerat alb și egal distribuit la toate frecvențele. La aplicarea unei secvențe binare de coduri de comandă corespunzătoare unei unde sinusoidale de excursie maximă (*full-scale single-tone signal*) raportul semnal/zgomot de cuantizare, SNR, este dat de relația (1.2) [68]:

$$SNR \approx 6,02 \cdot N + 1,76 \text{ dB.} \quad (1.2)$$

Totuși pentru convertoare de rezoluție mică, eroarea de cuantizare devine corelată cu semnalul ce introduce distorsiune în spectru și zgomotul nu mai poate fi considerat ca și zgomot alb.

Pentru a se reduce efortul de proiectare de filtre analogice necesare la ieșirea CNA atunci când se dorește utilizarea întregului domeniu Nyquist, se folosește „**interpolarea**” secvențelor binare de intrare. Altfel spus, se inserează  $M$

zerouri între oricare eșantioane învecinate, concomitent cu **supraeșantionarea** de un număr corespunzător de ori a noului semnal. Se notează cu *OSR* (*oversampling ratio*) factorul de supraeșantionare și  $OSR=M+1$ . În felul acesta spectrul semnalului de intrare se va repeta de  $M$  ori în noul domeniu Nyquist în timp ce densitatea spectrală a zgomotului va scădea de  $M+1$  ori. Aceasta se întâmplă deoarece puterea totală de zgomot de cuantizare nu este influențată de supraeșantionare și rămâne aceeași, semnalul fiind reprezentat prin același număr de biți. Două avantaje rezultă de aici:

- filtrul de ordin superior necesar pentru rejecția celor  $M$  spectre suplimentare din noul domeniu Nyquist se poate implementa digital și deci amplasa la intrarea convertorului (filtru de interpolare); filtrul analogic trece jos de la ieșirea convertorului are o misiune mai ușoară întrucât frecvențele imagine centrate pe frecvența de supraeșantionare sunt departe de banda de bază. De asemenea, atenuarea „sinc” la marginea benzii de trecere devine mult mai puțin importantă;

- se câștigă în precizie prin filtrarea digitală implicită și a zgomotului de cuantizare, restrâns prin formatare sau ”decupare” la banda de bază. Acest lucru indică posibilitatea reducerii numărului de biți ai convertorului cu menținerea preciziei sale.

Astfel, dacă prin trunchiere se ajunge la  $N'$  biți, cu  $N' < N$ , atunci CNA cu interpolare prezintă un SNR dat de relația (1.3) :

$$SNR = SNR_N + 10 \lg(OSR) \text{ dB} = 6,02 \cdot N' + 1,76 + 10 \lg(OSR) \text{ dB.} \quad (1.3)$$

Fiecare dublare a *OSR* este astfel asociată cu creșterea cu o jumătate de bit de precizie a numărului efectiv de biți ai convertorului.

În **CNA de tip  $\Delta\Sigma$** , cei  $N-N'$  biți mai puțin semnificativi nu sunt înlăturați ci folosiți printr-un mecanism de reacție într-un modulator sigma-delta, care acumulează semnalul de diferență adică eroarea de cuantizare și translatează cât mai mult din zgomotul de cuantizare la frecvențe înalte unde să poată fi filtrat ușor.

În ciuda avantajelor mai sus amintite, convertoarele din această clasă au și o serie de **dezavantaje** sau limitări:

- crește semnificativ aria cipului și **puterea consumată** prin introducerea unui volum mare de circuite digitale de procesare a informației;
- atunci când aplicația ar depăși gama audio (radiocomunicații, videoprocetare) aceste tipuri de CNA ar necesita semnale de clock de frecvență foarte înaltă pentru realizarea supraeșantionării, adică circuite de bandă foarte largă, respectiv tehnologii scumpe pentru implementare. În plus, la foarte înaltă frecvență intervine efectul instabilității frecvenței de eșantionare asupra degradării SNR, pierzându-se atuu principal al acestui convertor [37], [41], [74]. Aceste limitări fac inerent din CNA  $\Delta\Sigma$  un convertor de **mică viteză**.
- creșterea frecvenței semnalului prin adoptarea unor factori de supraeșantionare mai mici (simultan cu menținerea frecvenței de eșantionare) conduce la deprecierea calităților convertorului. Dacă acest lucru ar putea fi teoretic compensat prin creșterea ordinului modulatorului  $\Delta\Sigma$ , în schimb problema **stabilității** acestuia devine critică, ceea ce limitează și această posibilitate [8], [19].
- specificațiile de proiectare ale filtrului de interpolare pentru rejecția spectrelor multiple și formatarea zgomotului de cuantizare din domeniul Nyquist devin foarte greu de realizat la înaltă frecvență, limitând o dată în plus viteza convertorului [41].

Deși pentru gama audio se pot obține performanțe în rezoluție de ordinul a 16 biți, sau chiar 18 [21], la frecvențe mai mari convertoarele cu supraeșantionare își pierd tot mai mult din utilitate, foarte rar ajungându-se la frecvențe de ordinul a 10MHz. În acele cazuri însă alți indici de performanță se deteriorează, puterea consumată sau costul de fabricație devenind excesiv de mari.

Întrucât se dorește a se prefigura realizarea unui convertor în domeniul comunicațiilor și al rețelelor de senzori autonomi, care să permită simultan întrunirea dezideratelor de preț scăzut și putere redusă la o precizie acceptabilă (de ordinul a 10-14 biți), considerăm că un CNA de frecvență Nyquist este soluția potrivită. În această categorie de convertoare se pot aborda fie arhitecturi de tip paralel sau flash, fie arhitecturi algoritmice.

**CNA de tip paralel** fac uz de un număr mare de elemente identice, capacitare sau tranzistoare pentru a genera sarcini unitare respectiv curenți unitari ce sunt apoi însumate (însumați) în conformitate cu codul digital de comandă. Conversia include foarte puține faze (decodarea cuvântului de comandă, selectarea elementelor unitare necesare și însumarea lor), realizându-se practic într-o singură perioadă de tact. Avantajul imediat constă în viteza convertorului, dar există și alte avantaje precum obținerea unui *layout* regulat, sau posibilitatea de alimentare cu tensiuni scăzute. Precizia convertorului este însă dependentă de erorile de împerechere ale elementelor unitare, fapt care se amplifică odată cu trecerea la tehnologii CMOS profund sub-micronice.

De cealaltă parte, **convertoarele algoritmice** necesită extrem de puține resurse hardware și deci prezintă consum foarte redus. O aceeași celulă, formată dintr-un acumulator, un element de întârziere cu o perioadă de tact și un element de ponderare în bucla de reacție, este folosită iterativ de un număr de ori egal cu numărul de biți N ai codului de intrare. Evident este necesară o interfață de intrare paralel-serie, valorile serie fiind memorate într-un registru de deplasare care lucrează la viteză mare. Semnalul de ieșire este menținut cu o memorie analogică prin intermediul unui circuit de eșantionare și memorare. Acest circuit este comandat sincron cu reîncărcarea registrului de intrare, deci o conversie se obține în N perioade de tact. Funcționarea secvențială a convertorului îl face implicit lent, impropriu utilizării sale în aplicații de viteză.

Dacă însă se renunță la bucla recursivă și celula convertorului se multiplică de un număr de ori egal cu numărul de biți de intrare, formând o structură **pipeline**, se poate obține o nouă conversie la fiecare semnal de tact. Mai sunt necesare celule de întârziere de tip FIFO (de lungimi de la 1 element de întârziere pentru LSB, la N elemente pentru MSB) care deplasează biții de același rang din coduri de intrare succesive, echivalente din punct de vedere hardware cu N/2 regiștri de deplasare. Dezavantajele ce decurg imediat de aici sunt creșterea ariei, a consumului și apariția unei latențe sau întârzieri între momentul în care un anumit cod de intrare este disponibil și momentul obținerii la ieșire a valorii analogice corespondente.

Aceste inconveniente sunt însă minore comparativ cu implicațiile ce decurg din chiar principiul de funcționare al CNA algoritmic. Faptul că acesta utilizează o memorie analogică la ieșire, adică o capacitate, presupune automat utilizarea modului de lucru în tensiune și deci un amplificator operațional de precizie și de viteză care în tehnologie CMOS nu poate rivaliza cu soluțiile ce adoptă modul de lucru în curent la ieșirea CNA. Dacă acest dezavantaj nu era resimțit la convertorul algoritmic fără structură *pipeline*, lent prin natura sa, aici el este factorul predominant care limitează viteza.

Au fost găsite totuși și în acest caz soluții care să evite modul de lucru în tensiune prin aceea că s-a trecut de la tehnica de capacități comutate la tehnica de curenți comutați în interiorul fiecărei celule [68]. Elementele de memorare rămân tot capacitatoarele MOS, doar că ele sunt folosite pentru a memora tensiuni de comandă pentru tranzistoare MOS (incluse în oglinzi de curent) care la rândul lor fixează sau „memorează” curentul de ieșire al celulei. În faza următoare, acest curent devine curent de intrare pentru celula conectată în aval. Sunt necesare însă patru faze care implică patru semnale de tact diferite pentru a se evalua un bit și a se realiza ponderarea și acumularea corespunzătoare. Creșterea însă a activității de comutație în convertor are repercursiuni negative asupra performanței sale dinamice. De asemenea, erorile de împerechere ale elementelor atât în interiorul unei celule cât și de-a lungul întregului lanț de celule afectează comportamentul static și dinamic al convertorului.

Din aceste motive, tehnicile *pipeline* sunt utilizate mai ales în domeniul convertoarelor analog-numeric algoritmice unde elementele de memorare sunt circuite digitale ce beneficiază din plin de avantajele tehnologiei CMOS.

Așa cum s-a văzut în cele de mai sus, convertoarele de tip paralel prezintă avantaje nete de viteză. Ele pot fi realizate sau cu **surse de curent unitare** sau cu **capacități unitare** și redistribuire de sarcină. Inerent, cele din a doua categorie prezintă dezavantajul modului de lucru în tensiune, ca și în cazul anterior, făcându-le utile doar până în gama frecvențelor medii.

Pe lângă aceasta, injecția de sarcină la deschiderea comutatoarelor, pătrunderea clock-ului, dar mai ales neîmperecherea capacităților limitează precizia convertorului la 10-12 biți [16]. În plus, integrarea capacităților presupune utilizarea unor procese CMOS mai scumpe pentru a se realiza armături de calitate polisiliciu-polisiliciu sau metal-metal [46], pe când convertorul cu control în curent se poate implementa simplu în tehnologie CMOS standard. Chiar și așa, erorile de împerechere ale capacităților sunt mai mari decât cele ale tranzistoarelor, deoarece principala sursă de eroare de natură stohastică nu este dată de imprecizia geometrică a măștilor ci de variația grosimii și omogenității oxidului de siliciu [48], [49]. Aceasta are efect asupra capacității condensatorului pe unitatea de arie (cu dielectric oxid subțire) și asupra tensiunii de prag a tranzistorului MOS. Dacă în primul caz nu se mai poate face nimic, în al doilea se poate mări supracomanda tranzistoarelor-surse de curent unitare pentru a obține o mai bună apropiere a curenților generați.

Există totuși implementări de **convertoare cu sarcină redistribuită** în tehnologii mai scumpe (BiCMOS) în care lățimea de bandă a semnalului de ieșire atinge 45MHz, la o frecvență de eșantionare de 200MHz [43]. Structura adoptată în acest caz a fost de tip pipeline care are și avantajul intrinsec al absenței glicierilor deoarece biții aceluiasi cod de intrare nu sunt aplicați simultan ci pe rând, în celule consecutive. În plus, sarcinile electrice acumulate în capacități în fiecare celulă sunt izolate de ale altor celule. Astfel, în capacitorul final fie se injectează fie se extrage sarcină electrică, în funcție de raportul dintre cele două coduri consecutive de comandă a CNA. Un alt avantaj constă în aceea că aria necesară crește liniar cu numărul de biți de rezoluție și nu exponențial, ca în cazul CNA cu control în curent. Bineînțeles creșterea rezoluției prin extinderea structurii se poate realiza atâta timp cât erorile de împerechere a capacităților unitare specifice tehnologiei utilizate afectează liniaritatea convertorului în limitele admise.

În ceea ce privește comparația (sugerată de asemenea în fig.1.1) între **CNA cu buffere la ieșire** deci cu mod de lucru în tensiune și **CNA fără buffere**, respectiv cu mod de lucru în curent, a fost deja menționat anterior avantajul net de viteză al convertoarelor din a doua categorie. Totuși în aplicațiile în care este mai importantă asigurarea unui consum redus pentru convertor decât viteza sa (de exemplu în sistemele ce exploatează rețele de senzori cu mare autonomie în alimentare), în cazul CNA cu mod de lucru în curent, reducerea curenților de lucru face ca tranzistoarele-surse unitare să ajungă să lucreze în inversiune medie și chiar slabă. Lucrul cu tensiuni de comandă în vecinătatea tensiunii de prag a tranzistoarelor MOS înrăutățește intolerabil împerecherea curenților generați și aria cipului ar crește nejustificat de mult. Din acest motiv se procedează la adoptarea unor arhitecturi segmentate, în care de regulă segmentul mai semnificativ este construit cu elemente unitare, iar segmentul mai puțin semnificativ se realizează cu surse ponderate binar (a se vedea paragraful 1.3). Dar chiar și așa, mai ales atunci când se lucrează cu număr mare de biți de rezoluție, sursele de curent comandate de cei mai puțin semnificativi biți deteriorează liniaritatea convertorului în cazul când acestea nu se dimensionează exagerat.

Dacă însă se utilizează o **rețea R-2R**, divizarea recursivă implicită a curentului permite utilizarea surselor de curent unitare. Din acest motiv, în astfel de aplicații se procedează la arhitecturi mixte în care doar segmentul mai puțin semnificativ se realizează cu rețele R-2R [18], [36], [40], [80]. Este totuși necesară o conversie tensiune-curent în interiorul acestui segment pentru se putea însuma efectele celor două segmente. Pretențiile de viteză (*slew-rate*) impuse amplificatorului operațional care realizează conversia nu sunt critice deoarece cei mai puțin semnificativi biți nu generează salturi mari de tensiune.

Principala cauză care limitează însă utilizarea acestor structuri în aplicații de înaltă frecvență este reprezentată de constantele de timp de întârziere generate de capacitățile parazite asociate celulelor rețelei [80]. Se va vedea în capitolul 2 al tezei cum adoptarea unei configurații speciale pentru convertorul segmentat cu mod de lucru pur în curent, elimină pericolul atingerii regimului de inversiune slabă chiar și în cazul reducerii consumului circuitului.

Reprezentarea schematizată din fig.1.1 a fost dezvoltată în jurul CNA cu mod de lucru în curent pentru a putea sistematiza comparațiile dintre acest tip de convertor și alte tipuri de convertoare numeric-analogice. Desigur ea nu epuizează criteriile de clasificare ce privesc CNA de alte tipuri și nici nu elimină sub-clasificări ale acestora similare cu ale CNA cu control în curent. De exemplu, adoptarea sau nu a **tehnicii de întoarcere la zero** (RZ – *return to zero*) a semnalului de ieșire, sau a tehnicilor de calibrare sau autocalibrare poate constitui criteriu de clasificare și pentru alte tipuri de convertoare.

În acest context, se vor analiza în continuare pe scurt avantajele și dezavantajele utilizării în general a tehnicii RZ. Reprezentarea semnalului de ieșire printr-o succesiune de impulsuri sau eșantioane foarte scurte, între care tensiunea de ieșire este nulă permite construirea perfectă a spectrului semnalului dorit în banda de bază, care nu mai este afectat de „modulația” de tip *sinc*. În practică, semnalul de ieșire este nul în prima jumătate a perioadei de eșantionare și reprodus corect în cea de a doua jumătate. Acest lucru relaxează deja suficient de mult specificațiile de proiectare ale filtrului de egalizare, în multe sisteme el chiar nemaifiind necesar. În plus, întrucât CNA cu RZ furnizează deja suficient de multă putere de semnal în a doua și a treia bandă Nyquist, în locul filtrului trece jos de delimitare a benzii de bază, poate fi acum folosit un filtru trece bandă. Acest lucru



permite în aplicațiile de radiofrecvență înlăturarea unor mixere din calea de semnal, sau chiar înlăturarea completă a lor [18].

Un alt avantaj important constă în faptul că CNA-ul este imun la activitatea de comutație în care este implicată secțiunea sa analogică, deoarece semnalul de ieșire este nul în acel moment. Nemaexistând gliciuri, puritatea spectrală se îmbunătățește și crește gama dinamică efectivă a convertorului, respectiv aceasta nu se mai deteriorează atât de mult la înaltă frecvență [13].

Totuși CNA cu RZ prezintă câteva **dezavantaje** importante. În primul rând puterea semnalului scade de patru ori dacă se menține aceeași amplitudine la ieșire. În al doilea rând frecvența de tact se dublează și se amplifică efectul instabilității frecvenței de lucru asupra raportului semnal/zgomot al convertorului [37]. Acest lucru, combinat cu necesitatea de a mări amplitudinea eșantioanelor de ieșire pentru refacerea puterii semnalului, conduce la un efect negativ sporit al instabilității frecvenței de tact.

De asemenea, pentru a se putea implementa această tehnică în care semnalul variază rapid la ieșirea convertorului, sunt necesare circuite rapide, deci tehnologii scumpe, așa cum se constată în [18] și [43] sau în recomandările din lucrarea teoretică [13].

Ținând cont de toate aspectele relevate în acest paragraf, considerăm că un convertor numeric-analogic segmentat, cu control în curent și **fără întoarcere la zero** este opțiunea cea mai potrivită pentru aplicații de medie și mai ales înaltă frecvență, pentru precizii medii și chiar ridicate, care poate fi alimentat la tensiuni scăzute și utilizat în aplicații de consum redus, toate acestea la cel mai avantajos preț de fabricație, specific tehnologiei CMOS standard. Convertorul va fi astfel dimensionat încât să nu fie necesare operații suplimentare de autocalibrare sau *trimming* deoarece acestea presupun creșterea substanțială a prețului de fabricație a cipului, respectiv a testării acestuia.

## 1.2 Parametrii convertoarelor numeric-analogice

Avântul pe care l-a luat fabricația de convertoare analog-numerice și numeric-analogice în ultimii ani și numărul mare de companii ce furnizează o gamă foarte largă de astfel de dispozitive a dus la nevoia dezvoltării unei terminologii consistente referitoare la specificațiile acestor convertoare. Pot fi astfel eliminate ambiguitățile generate de diverși producători ce utilizează diferiți termeni sau diferite acronime ce adesea reprezintă același concept, sau care uzează de diferite definiții pentru parametri care au același nume. Dacă în domeniul CAN societatea IEEE prin Comitetul tehnic de analiză și măsurare a formelor de undă (TC-10, *Waveform Measurement and Analysis Technical Committee*) a elaborat noul standard privind terminologia și metodele de testare, în domeniul CNA standardul nu a fost încă finalizat.

Ținând cont de acest lucru, prezentarea și discutarea în acest paragraf a principalilor parametri care caracterizează funcționarea în regim static și în regim dinamic a CNA s-a sprijinit în principal pe lucrările [9] și [10] publicate în 2007 în revista *Measurement* și care sunt parte integrantă dintr-un proiect internațional de cercetare în care se colaborează cu comitetul mai sus amintit pentru elaborarea noului standard. Acolo unde a fost cazul, au fost aduse anumite clarificări sau mici completări de ordin practic, bazate pe experiența proprie acumulată în acest

domeniu. De asemenea, de-a lungul capitolelor tezei vor fi prezentate și utilizate diverse tehnici de simulare dezvoltate de autor care au permis evaluarea corectă a parametrilor convertorului, în concordanță cu aspectele discutate aici.

### 1.2.1 Parametrii de regim static ai convertoarelor numeric-analogice

Cele mai larg utilizate specificații de proiectare privind funcționarea în regim static a convertoarelor numeric-analogice se concentrează în jurul următorilor parametri: rezoluția, domeniul maxim de ieșire (FSR - *full scale range*), LSB (*least significant bit*), *offset*-ul și câștigul, neliniaritatea diferențială și integrală (DNL - *differential nonlinearity*, INL - *integral nonlinearity*).

**Rezoluția.** Conform [9], rezoluția unui CNA de N biți este dată de numărul de niveluri analogice distincte ( $2^N$ ) ce pot fi obținute la ieșire. Totuși în exprimarea contextuală se subînțelege fie termenul de *rezoluție analogică*, fie cel de *rezoluție numerică*. Rezoluția analogică reprezintă valoarea nominală a diferenței dintre oricare două niveluri învecinate la ieșire și este o cantitate măsurabilă în volți sau amperi. Termenul nu poate fi folosit însă în cazul cuantizării neuniforme. Rezoluția numerică, exprimată prin numărul de biți de comandă ai CNA, este cel mai adesea utilizată de fabricanți, dar este adimensională și nu poate fi măsurată. Se referă la arhitectura convertorului și nu la o mărime fizică ce-l caracterizează.

**Domeniul maxim de ieșire (FSR).** Și în acest caz există o anumită ambiguitate între definiția nominală a termenului din cazul ideal și cea care corespunde domeniului fizic realizabil pentru acest parametru. În primul caz FSR e definit ca și domeniul maxim de valori analogice care pot fi codate cu precizie constantă prin numărul total de niveluri de ieșire disponibile. Evident aceasta înseamnă:

$$FSR_{ideal} = 2^N \times (\text{rezoluția analogică}), \quad (1.4)$$

și contravine cazului practic în care FSR este dat de diferența dintre nivelurile analogice de ieșire ce corespund în mod ideal codurilor de intrare maxim și minim. În acest caz:

$$FSR_{practic} = (2^N - 1) \times (\text{rezoluția analogică}). \quad (1.5)$$

Chiar dacă diferența dintre cele două este foarte mică, mai ales pentru număr mare de biți de intrare, totuși a doua definiție trebuie luată în considerare pentru a se putea înțelege corect cum lucrează și cum trebuie testat convertorul numeric-analogic. Observația utilă este că FSR și rezoluția analogică nu pot fi ambele valori „rotunde”.

**LSB.** Acest acronim a fost inclus ca și un parametru distinct pentru că dincolo de sensul său original (bitul cu cea mai mică pondere dintr-un cuvânt binar), a apărut o conotație extrem de utilă proiectanților și fabricanților de CNA integrate prin care aceștia evaluează erorile de liniaritate ale dispozitivului prin fracții subunitare sau uneori supraunitare de 1LSB. Așadar el se definește în felul următor: simbolul „unitate” LSB reprezintă mărimea rezoluției analogice a unui convertor liniar, servind ca unitate de referință pentru a exprima alte cantități analogice ale aceluiași convertor, în special erorile sale analogice, ca și multipli sau submultipli ai mărimii rezoluției analogice.

**Câștigul și offset-ul.** Funcția de transfer generală a unui CNA ideal poate fi reprezentată de următoarea ecuație:

$$y = mx + b \quad (1.6)$$

în care  $m$  este câștigul iar  $b$  este offset-ul său. Există două metode principale de a determina câștigul și offset-ul unui CNA real, care prezintă erori de offset și de câștig. Prima este sugerată în fig.1.3.a, în care caracteristica liniarizată a convertorului s-a obținut direct, prin interpolare liniară între punctele extreme ale caracteristicii de transfer reale. A doua metodă (fig.b), mai precisă, permite găsirea caracteristicii de transfer liniarizate prin minimizarea deviației medii pătratice față de valorile de ieșire reale. Evident că a doua metodă este foarte laborioasă, astfel că s-a acceptat o definiție care conduce la posibilitatea de evaluare practică rapidă a acestor parametri. Astfel, câștigul și offset-ul unui CNA reprezintă acele mărimi care înmulțind valoarea zecimală a codului de intrare și respectiv adăugându-se la rezultatul obținut, conduc la deviații nule ale mărimii de ieșire pentru cel mai mic și cel mai mare cod de comandă. În general, erorile care afectează acești parametri pot fi corectate pe cale externă, dar este foarte posibil ca operația de ajustare să nu acopere o gamă suficient de largă de temperatură.

**Neliniaritatea diferențială (DNL) și integrală (INL).** Se mai numesc și erorile de liniaritate diferențială și integrală. DNL reprezintă **abaterea** saltului între două valori ale mărimii de ieșire a convertorului și corespunzătoare a două coduri adiacente specificate, măsurate după compensarea erorii de câștig, **față de rezoluția analogică, raportată** la rezoluția analogică. În consecință, DNL se exprimă în valori LSB. Atunci când codul de intrare nu este specificat, DNL reprezintă eroarea de liniaritate diferențială maximă a CNA (de pe întreg domeniul de ieșire). Măsurarea DNL nu necesită compensarea erorii de offset a convertorului. Modul de evaluare a DNL este sugerat grafic în fig.1.4.

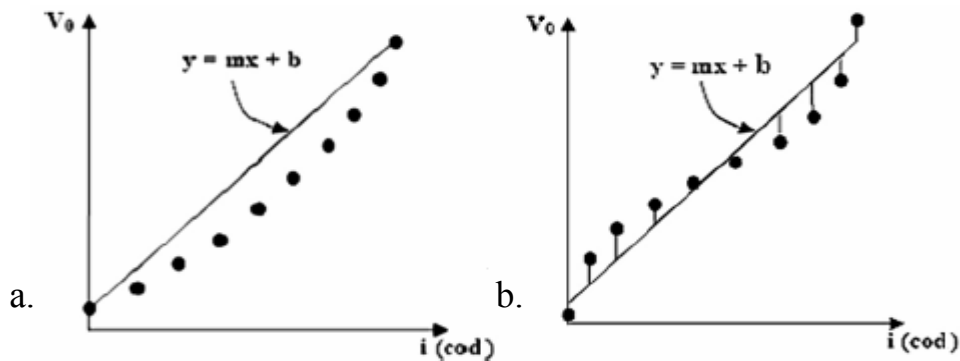


Fig.1.3 Metoda directă (a) și cea a minimizării deviației medii pătratice (b)

În timp ce DNL este o măsură a uniformității tranzițiilor nivelului de ieșire, la aplicarea unor coduri de comandă succesive, INL este o măsură a erorilor acumulate la parcurgerea acestor pași. INL se definește ca diferența dintre valoarea ideală și valoarea măsurată a mărimii de ieșire, pentru un cod de intrare specificat, după compensarea erorilor de offset și câștig. Se poate exprima în procente față de domeniul maxim de ieșire, sau cel mai adesea în valori LSB. Atunci când codul de

intrare nu este specificat, INL reprezintă eroarea de liniaritate integrală maximă a CNA. Modul de evaluare a INL este exemplificat grafic în fig.1.5 pentru un CNA de 3 biți.

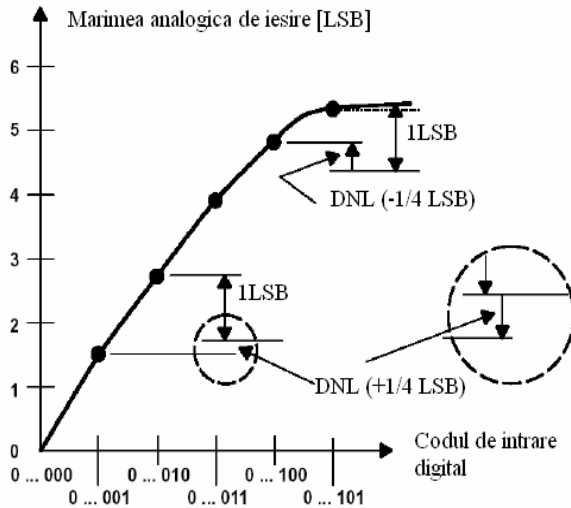


Fig.1.4 Evaluarea DNL

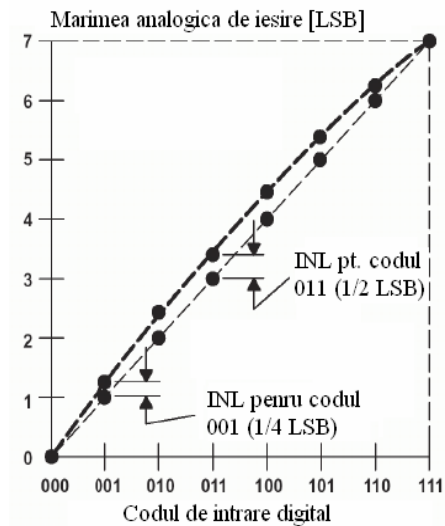


Fig.1.5 Evaluarea INL

O apreciere calitativă importantă a comportamentului în regim static al convertorului numeric-analogic este reprezentată de **monotonicitatea** acestuia. Se spune că un CNA are un comportament monoton dacă pentru orice tranziție în sens pozitiv a codului de intrare are loc o creștere a tensiunii sale de ieșire. Monotonicitatea convertorului este garantată dacă INL este mai mică decât 0,5LSB și DNL este mai mică decât 1LSB. Pierderea acestei calități survine cel mai adesea pentru tranziții de cod de tipul 011..11→100..00 în cazul CNA cu surse de curent ponderate binar.

### 1.2.2 Parametrii de regim dinamic ai convertoarelor numeric-analogice

Cei mai utilizați parametri de regim dinamic ai convertoarelor numeric-analogice sunt: distorsiunea armonică totală (THD – *total harmonic distortion*), gama dinamică efectivă (SFDR – *spurious free dynamic range* – gama dinamică fără perturbații), raportul semnal pe zgomot (SNR – *signal to noise ratio*), respectiv raportul semnal pe zgomot și distorsiune (SINAD – *signal to noise and distortion ratio*), numărul efectiv de biți ai convertorului (ENOB – *effective number of bits*) și distorsiunea de intermodulație (IMD – *intermodulation distortion*). Pe parcursul capitolului 4 al tezei se va acorda o atenție deosebită parametrului SFDR deoarece tendința actuală în fabricația de CNA integrate pentru comunicații a făcut ca accentul în specificațiile de proiectare a convertoarelor să cadă pe comportamentul lor dinamic (fără a se pierde totuși din vedere limitele de precizie impuse). Prin realizarea unei valori mari a SFDR se obține și garanția unei bune performanțe statice [12], [13], [14], [38], ceea ce invers nu este întotdeauna valabil.

**Distorsiunea armonică totală (THD).** Aceasta se definește în felul următor: pentru un semnal sinusoidal de intrare de amplitudine și frecvență date, THD al unui CNA real este raportul dintre puterea totală a armonicilor semnalului într-o bandă de frecvență specificată (de regulă domeniul Nyquist) și puterea fundamentalei:

$$\text{THD} = 10 \times \lg \frac{\sum_{k=2}^{\infty} P_k}{P_1}, \quad (1.7)$$

unde  $P_1$  este puterea fundamentalei, iar  $P_k$  este puterea armonicilor  $k$ . Deoarece există un număr infinit de armonici, THD este calculată uzual folosind primele 10-20 armonici sau, mai corect, până la armonicile care se mai pot distinge din nivelul de zgomot. Totuși metoda de măsurare folosită trebuie să specifice foarte clar dacă se folosește sau nu filtrul trece jos la  $f_{es}/2$ , pentru că în caz negativ pot apărea și componente alias date de diferențe între multipli ai frecvenței de eșantionare și armonici ale semnalului, care să cadă în banda de bază.

**Gama dinamică efectivă (SFDR).** Parametrul SFDR reprezintă raportul dintre puterea semnalului sinusoidal de intrare, de amplitudine și frecvență date și puterea celui mai mare ton-perturbație ce apare în banda de frecvență specificată (nota 1, fig.1.6) și se exprimă în dB. Perturbația nu este neapărat o armonică a semnalului de intrare.

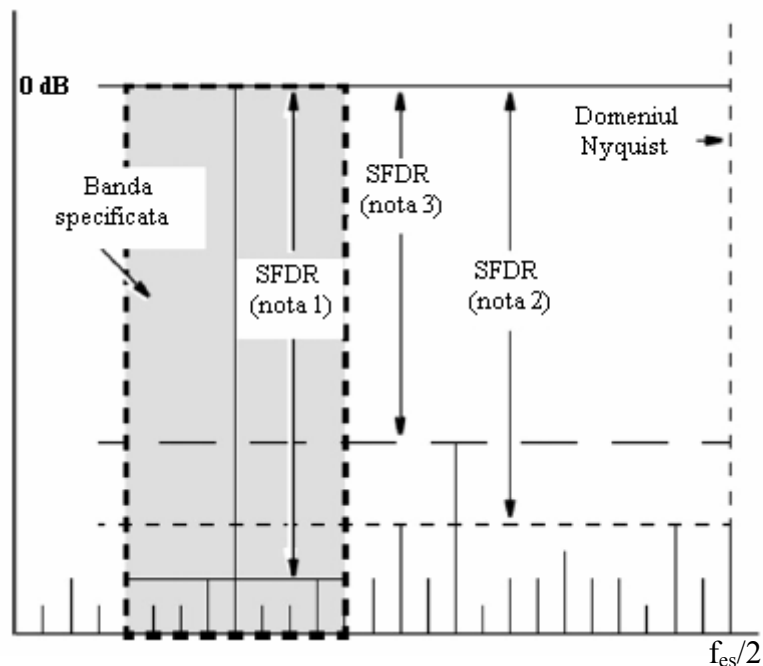


Fig.1.6 Moduri de evaluare a parametrului SFDR

Menționăm totuși că în marea majoritate a lucrărilor citate, SFDR este definit pentru domeniul Nyquist. Uneori însă acesta se evaluează fără luarea în considerație a armonicilor semnalului de intrare (nota 2, fig.1.6), însă cel mai adesea considerând atât tonurile armonice, cât și cele de tip perturbație (nota 3, fig.1.6).

Specificarea amplitudinii semnalului de test este foarte importantă. De obicei amplitudinea vârf la vârf ocupă domeniul maxim de ieșire și de regulă SFDR este limitat de una din primele două, trei armonici. În acest caz SFDR se exprimă în dBFS (FS – *full scale*). Dacă însă testarea aceluiași CNA se efectuează la amplitudinea purtătoarei (*carrier*), care este cu câțiva dB mai mică decât FSR, este foarte posibil ca acele armonici să coboare sub nivelul celui mai mare ton-perturbație. În consecință, în acest caz SFDR nu rămâne constant ci se degradează odată cu scăderea amplitudinii semnalului de test. Aici el va fi exprimat în dBc (*c-carrier*). Cele două situații sunt indicate grafic în fig.1.7.

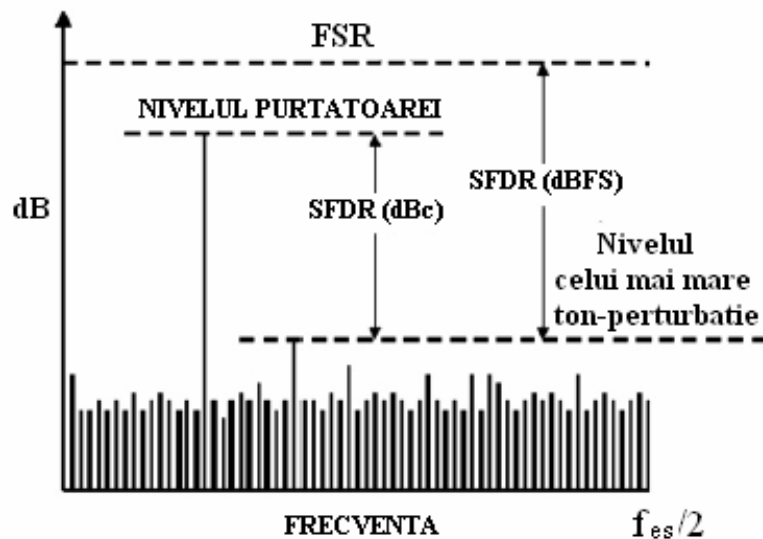


Fig.1.7 Exprimarea SFDR în dBFS și dBc

**Raportul semnal pe zgomot (SNR).** În condițiile unui semnal sinusoidal de intrare de amplitudine și frecvență specificate, SNR reprezintă raportul, exprimat în dB, între puterea fundamentalei și puterea de zgomot totală într-o anumită bandă de frecvență, excluzând componentele armonice ale semnalului:

$$\text{SNR} = 10 \times \lg \frac{P_1}{P_{z_g}}, \quad (1.8)$$

unde  $P_1$  este puterea fundamentalei, iar  $P_{z_g}$  este puterea zgomotului.

**Raportul semnal pe zgomot și distorsiune (SINAD).** În condițiile unui semnal sinusoidal de intrare de amplitudine și frecvență specificate, SINAD reprezintă raportul, exprimat în dB, între puterea fundamentalei și puterea cumulată

## 24 Caracteristicile convertoarelor numeric-analogice cu mod de lucru în curent - 1

a zgomotului total și a componentelor armonice ale semnalului dintr-o anumită bandă de frecvență:

$$\text{SINAD} = 10 \times \lg \frac{P_1}{P_{zg} + \sum_{k=2}^{\infty} P_k}, \quad (1.9)$$

unde  $P_1$  este puterea fundamentalei,  $P_{zg}$  este puterea zgomotului, iar  $P_k$  puterea armonicii  $k$ . Pentru acest parametru, de multe ori se folosește însă și acronimul SNDR (*signal to noise and distortion ratio*).

**Numărul efectiv de biți (ENOB).** Un nivel excesiv al zgomotului generat de convertor face ca acesta să pară a avea mai puțini biți de rezoluție. În acest context, ENOB precizează câți biți ar necesita un CNA ideal (afectat doar de zgomot de cuantizare) pentru a obține același SINAD ca și cel măsurat în cazul convertorului real. Valoarea sa se calculează cu formula (1.10) dedusă pe baza relației (1.2):

$$\text{ENOB} = \frac{\text{SINAD} - 1,76}{6,02} \quad (1.10)$$

și poate fi fracționară. Deși comparația cu un CNA ideal este pur ipotetică, ea arată cât de mult se apropie convertorul real de cel ideal prezentând același număr de biți la intrare.

**Distorsiunea de intermodulație (IMD).** Distorsiunea de intermodulație apare atunci când două sau mai multe semnale sunt prezente la intrarea unui dispozitiv neliniar. În cazul prezenței simultane a două semnale de frecvențe  $f_1$  și  $f_2$  ( $f_2 > f_1$ ) la intrarea CNA, produșii de intermodulație apar la frecvențele  $m \cdot f_2 \pm n \cdot f_1$ , în care  $m$  și  $n$  sunt numere întregi pozitive și nenule [10]. Ordinul produsului de intermodulație este dat de valoarea  $m+n$ .

Informații foarte utile despre modul în care neliniaritatea convertorului afectează comportamentul său dinamic se pot obține dacă cele două semnale de test au frecvențe apropiate. În figura 1.8 este exemplificată distribuția armonicilor celor două semnale împreună cu produșii de intermodulație de ordinul doi, trei și respectiv 4. Se observă din figură că produșii de intermodulație de ordinul trei, care pot apare la frecvențele  $2f_2 - f_1$  și  $2f_1 - f_2$  ar fi foarte aproape de semnalele dorite de frecvențe  $f_2$  și  $f_1$  și deci nu ar putea fi ușor filtrați, spre deosebire de cei de la frecvențele  $2f_2 + f_1$  și  $2f_1 + f_2$  care nu constituie o problemă.

Produșii de intermodulație de ordin mai mare decât trei sunt în general mai puțin importanți deoarece sunt de amplitudine din ce în ce mai mică și suficient spațiați în frecvență.

În concluzie, distorsiunea de intermodulație se definește ca fiind raportul (exprimat în dB) dintre valoarea efectivă a semnalelor de test și valoarea efectivă a celui mai mare produs de intermodulație de ordinul trei.

Măsurarea IMD se face pentru amplitudini și frecvențe specificate ale semnalelor de test.

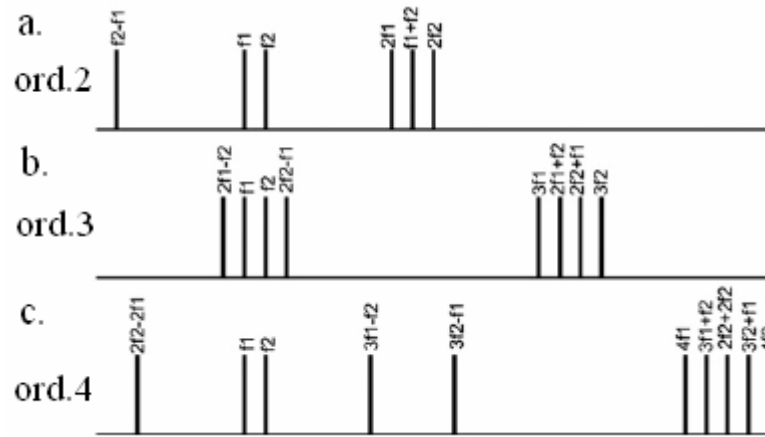


Fig.1.8 Distribuția produșilor de intermodulație de ordin doi (a), trei (b) și patru (c) în spectrul de ieșire al CNA testat cu ton dual

Dacă în general performanța dinamică a unui convertor este caracterizată de mărimi din **domeniul-frecvență**, nu mai puțin importante pentru acest tip de comportament sunt timpul de stabilire (*settling time*) și gliciurile, evaluate în **domeniul-timp**, cu atât mai mult cu cât ele contribuie la deteriorarea spectrului semnalului de ieșire.

Deoarece, în cazul CNA cu control în curent, există capacități parazite asociate surselor de curent și sarcinii rezistive, saltul de tensiune de ieșire la schimbarea codului de comandă nu se poate face instantaneu. **Timpul de stabilire** reprezintă intervalul de timp maxim în care ieșirea se apropie la mai puțin de 0,5LSB de valoarea de regim permanent. Pentru CNA cu control în curent, el corespunde de regulă saltului maxim de tensiune la ieșire, în acel sens pentru care toate sursele de curent și deci capacitățile parazite asociate lor rămân conectate la ieșirea convertorului. Timpul de stabilire limitează frecvența maximă de lucru a acestuia, respectiv numărul maxim de eșantioane pe secundă care pot fi prelevate.

**Gliciurile** apar atunci când se generează întârzieri diferite la acționarea în contratimp a comutatoarelor de curent de pe cele două căi complementare ale convertorului. Ele afectează mai ales CNA cu surse de curent ponderate binar și au energie și amplitudine maxime pentru tranziții de cod de tipul 011..11→100..00. Ele introduc tonuri-perturbație suplimentare în spectrul semnalului de ieșire și pot mări timpul de stabilire al convertorului.

### 1.3 Topologii de CNA cu control în curent

Principiul de funcționare al CNA cu mod de lucru în curent constă în însumarea curenților mai multor surse de curent ce sunt ponderate binar fie prin construcție fie prin selectarea după un anumit criteriu și gruparea în paralel a mai multor surse de curent unitare. Conectarea surselor de curent în nodul de la ieșirea



convertoarelor se face prin intermediul unor comutatoare comandate de codul de intrare al convertoarelor. În consecință, curentul de ieșire al CNA este proporțional cu codul de comandă. Acest curent este convertit în tensiune prin intermediul unui rezistor conectat în nodul de ieșire al convertoarelor.

În funcție de modul cum se realizează ponderile, există trei tipuri posibile de arhitecturi:

- CNA cu surse de curent ponderate binar;
- CNA cu surse de curent unitare comandate individual;
- CNA cu cod segmentat.

**CNA cu surse de curent ponderate binar** pot fi la rândul lor de două categorii:

- cu surse de curent ponderate binar prin construcție, fie prin modificarea raportului dimensional W/L al tranzistoarelor și utilizarea unei singure tensiuni de referință (ceea ce conduce la un *layout* neregulat și proprietăți termice diferite pentru curenții generați), fie prin asigurarea unor tensiuni de comandă diferite pentru tranzistoare identice, ceea ce simplifică *layout*-ul dar complică referința de tensiune și circuitele de polarizare;

- cu surse de curent unitare  $I_u$  grupate în paralel după puterile succesive ale lui doi. Acestea prezintă avantajul unui *layout* regulat permițând dispunerea lor întrepesută sau matricială în *layout*, ceea ce reduce semnificativ influența erorilor de împerechere graduale în aria de tranzistoare-surse de curent unitare.

În ambele situații fiecare comutator comută la ieșire un curent care este dublul curentului comandat de bitul de rang imediat inferior. Avantajul acestei topologii constă în simplitatea sa, codul de comandă controlând direct comutatoarele, nefiind necesară o logică suplimentară de decodificare a acestuia. Astfel și aria ocupată pe cip este minimă.

Valoarea curentului de ieșire  $I_0$  în funcție de codul de comandă pe N biți al CNA este dată de relația (1.11):

$$I_0(X) = \sum_{i=0}^{N-1} A_i \times 2^i \times I_{LSB} = I_{LSB} \times \sum_{i=0}^{N-1} A_i \times 2^i = I_{LSB} \times X, \quad (1.11)$$

în care  $A_i$  sunt biții cuvântului de comandă de valoare zecimală X, iar  $I_{LSB}$  este curentul comandat de cel mai puțin semnificativ bit.

Totuși, chiar și pentru al doilea tip menționat de arhitectură, pentru care  $I_u = I_{LSB}$ , apare o neliniaritate diferențială (DNL) importantă, care se repercutează și asupra comportamentului dinamic al convertoarelor. Pentru tranziția pozitivă de cod de la jumătatea scalei vor fi  $2^{N-1}$  surse unitare conectate la ieșire, în timp ce altele  $2^{N-1}-1$  vor fi deconectate. Admițând o distribuție normală pentru curenții generați de sursele unitare ce prezintă o deviație standard  $\sigma(I_u)$ , saltul produs va prezenta o dispersie  $\sigma^2(\Delta I)$  și o deviație standard  $\sigma(\Delta I)$  date de relațiile (1.12) și (1.13):

$$\begin{aligned} \sigma^2(\Delta I) &= \sigma^2[2^{N-1} \cdot I_u - (2^{N-1} - 1) \cdot I_u] = 2^{N-1} \sigma^2(I_u) + (2^{N-1} - 1) \sigma^2(I_u) = \\ &= (2^N - 1) \sigma^2(I_u) \end{aligned} \quad (1.12)$$

$$\sigma(\Delta I) = \sqrt{2^N - 1} \frac{\sigma(I_u)}{I_u} \text{ LSB}. \quad (1.13)$$

$\sigma(\Delta I)$  reprezintă o bună aproximație pentru valoarea DNL corespunzătoare tranziției de la jumătatea codului de intrare. În general, atunci când are loc o tranziție de cod de forma  $2^{n-1}-1 \rightarrow 2^{n-1}$ , cu  $1 < n \leq N$ , valoarea DNL corespunzătoare acestei tranziții este aproximată cu deviația standard  $\sigma(I_u)$ , exprimată în LSB (raportată la  $I_u$ ) și amplificată cu un factor de

$\sqrt{2^n - 1}$ . Aceste cazuri particulare se pot identifica ușor în fig.1.9.a. În fig.1.9.b este ilustrat gliciuul asociat cu acest tip de tranziție a codului.

Adoptarea topologiei cu surse de curent ponderate binar pentru rezoluții numerice mari sau chiar medii, face ca această eroare să devină inacceptabilă și să fie necesare operații de ajustare cu laser sau autocalibrare, ceea ce ar mări nejustificat costul de fabricație al CNA.

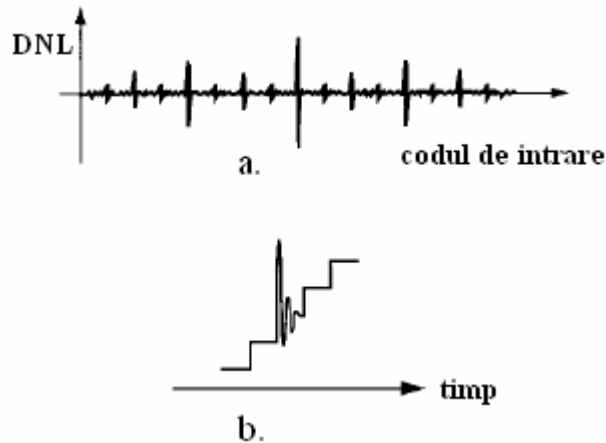


Fig1.9 Dependența DNL (a) și a apariției gliciuilor (b) de tranziția de cod

#### CNA cu surse de curent unitare comandate individual.

În această topologie fiecare sursă de curent unitară este comandată separat. În consecință codul binar de intrare trebuie convertit într-un cod ce conține un număr de biți egal cu numărul surselor de curent unitare necesare, adică  $2^N - 1$  biți.

Codul este redundant deoarece pentru o anumită valoare a codului de intrare, nu contează care anume surse de curent unitare vor fi selectate și conectate în nodul de la ieșire, atâta timp cât numărul lor este același, corespunzând valorii în zecimal a codului de intrare.

De cele mai multe ori se preferă însă codul termometric, exemplificat pentru 3 biți de intrare în tab.1.1, deoarece tranzițiile de cod de tipul discutat anterior presupun conectarea unei singure surse de curent unitare în paralel cu cele deja conectate în nodul de ieșire. Acest lucru conduce la o reducere drastică a energiei gliciuilor și la îmbunătățirea comportamentului dinamic al convertorului, aspect ce va fi analizat în detaliu în capitolul 4 al tezei.

În același timp monotonicitatea convertorului este garantată, iar DNL se reduce semnificativ deoarece aceasta a fost definită ca și deviația maximă exprimată în LSB la o tranziție cu un singur bit, ceea ce în cazul de față corespunde chiar lui  $\sigma(I_u)$ . Așadar  $\sigma(\Delta I)$  poate fi scrisă simplu:

Tab.1.1

Cod binar	Cod termometric
000	0000000
001	0000001
010	0000011
011	0000111
100	0001111
101	0011111
110	0111111
111	1111111

$$\sigma(\Delta I) = \frac{\sigma(I_u)}{I_u} \text{LSB.} \quad (1.14)$$

Utilizarea topologiei care uzează doar de surse de curent unitare conectate toate în nodul de ieșire are dezavantajul major că necesită un număr foarte mare de tranzistoare MOS. Numărul acestora este de  $2^N-1$ , ceea ce pentru  $N=10$ , de exemplu, înseamnă 1023 tranzistoare la care trebuie considerat și spațiul de gardă dintre ele. Pe lângă acestea ar mai exista încă  $2^N-1$  comutatoare de curent, un codor termometric cu 1023 linii de ieșire și apoi linii de rutare, ceea ce pe ansamblu ar conduce la un consum excesiv de arie pe cip.

O singură observație ar mai fi de făcut aici. Utilizarea expresă a codorului termometric, cu implicații în creșterea complexității circuitului, a ariei și a consumului nu este pe deplin justificată atunci când, prin folosirea tehnicilor DEM (*dynamic element matching*) oricum se pierde atuul său principal referitor la minimizarea gliciurilor. Așadar pot fi adoptate și alte coduri redundante, mult mai ușor de generat, care însă trebuie asociate cu alte tehnici pentru reducerea gliciurilor la ieșirea convertorului.

Avantajele și dezavantajele celor două tipuri de topologii sunt rezumate în tab.1.2.

Tab.1.2

CNA cu surse ponderate binar	Specificații de proiectare	CNA cu surse de curent unitare
=	INL	=
-	DNL	+
-	Monotonicitate	+
-	Gliciuri	+
+	Consum	-
+	Arie	-
+	Complexitate	-

#### CNA cu cod segmentat.

Pentru a beneficia de calitățile ambelor tipuri de topologii, evidențiate cu linie punctată în tab.1.2, marea majoritate a convertoarelor cu control în curent sunt implementate folosind arhitecturi segmentate. În acest caz convertorul este subîmpărțit în două secțiuni. Cei mai puțin semnificativi B biți comandă un sub-CNA cu surse de curent ponderate binar, iar cei mai semnificativi  $N-B$  biți comandă o arie de surse de curent unitare.

Considerând  $I_u$  curentul unitar al segmentului mai semnificativ și  $I_{LSB}$  cel mai mic curent generat în segmentul mai puțin semnificativ, atunci  $I_u = 2^B \cdot I_{LSB}$ .

În mod uzual termenului de „segmentare” i se acordă o conotație cantitativă, în funcție de dimensiunea celui mai semnificativ segment de cod. Astfel, 0% segmentare înseamnă că  $B=N-1$ , adică  $I_u$  devine  $I_{MSB}=2^{N-1} \cdot I_{LSB}$  și deci că, de fapt, convertorul este în întregime realizat cu surse de curent ponderate binar. De cealaltă parte, 100% segmentare înseamnă că  $B=0$  și CNA este în întregime realizat

cu surse de curent unitare comandate individual. Pentru convertorul segmentat, deviația standard maximă a saltului între două valori consecutive ale mărimii de ieșire este, conform [62], [71] și [73], cea dată de relația (1.15):

$$\sigma(\Delta I) = \sqrt{2^{B+1} - 1} \frac{\sigma(I_u)}{I_u} \text{LSB}. \quad (1.15)$$

Se poate constata că pentru cazurile extreme, cu  $B=N-1$ , respectiv  $B=0$  se regăsesc valorile lui  $\sigma(\Delta I)$  date de relațiile (1.13) și (1.14).

Conform relației (1.15), dacă segmentarea crește, deci dacă  $B$  scade, se reduc erorile de liniaritate diferențială și deci și glicierile, cu prețul însă a creșterii puterii și ariei consumate dacă toate componentele convertorului păstrează aceeași dimensiune. În plus, alte efecte negative legate de creșterea complexității circuitului pot apărea, precum extinderea gradientilor la creșterea ariei surselor de curent unitare (fiecare bit suplimentar de precizie dublează practic numărul elementelor unitare) și accentuarea diferențelor de întârziere pe liniile de comandă.

Pe de altă parte, dacă segmentarea scade, utilizând același tip de componente, scad aria și puterea consumată, dar erorile de liniaritate și glicierile vor crește simultan cu deteriorarea gamei dinamice efective a convertorului.

Așadar prin segmentare se realizează un compromis între cele două categorii de specificații de proiectare. Identificarea metodologiei prin care se obține segmentarea optimă a CNA reprezintă unul din principalele obiective urmărite în lucrarea de față.

## Capitolul 2

### CNA SUPRAPUS PESTE SURSA DE TENSIUNE DE REFERINȚĂ, CU COD DE INTRARE SEGMENTAT

În acest capitol va fi prezentată structura de bază a unui CNA cu control în curent inclus într-un mecanism original prin care se generează la ieșirea convertorului tensiuni sub-bandgap pentru orice combinație a codului său de comandă. În elaborarea arhitecturii noului convertor, punctul de pornire l-a constituit o sursă de tensiune de referință de tip sub-bandgap cu corecție de ordinul II, care va fi descrisă amănunțit în **paragraful 2.1** și care prezintă performanțe superioare altor tipuri de referințe citate în bibliografie.

În **paragraful 2.2** se va explica felul în care, prin suprapunerea convertorului cu mod de lucru în curent pe structura unei referințe de tensiune, a rezultat noua arhitectură, ce va fi și optimizată prin adoptarea unui grad de segmentare potrivit al cuvântului de control al CNA. În scopul minimizării variațiilor importante ale DNL cauzate de erorile de împerechere ale elementelor unitare (ce apar la tranziții de tipul celei de la jumătatea codului de intrare), în **paragraful 2.3** a fost introdus codul termometric pentru segmentul mai semnificativ al convertorului. Simulările prezentate în acest paragraf, precum și cele din **paragraful 2.4** au confirmat eficiența soluțiilor adoptate și calitățile termice ale convertorului.

#### 2.1 Referința de tensiune de tip sub-bandgap

Sursele de tensiune de tip bandgap (BG) sunt considerate a fi printre referințele de tensiune, cele mai stabile cu temperatura, având o largă utilizare atât în fabricarea de circuite integrate analogice cât și în electronica digitală la realizarea memoriilor DRAM și flash. Ele sunt mai ales prezente în circuite integrate mixte, putându-se găsi alături unui convertor numeric-analogic sau analog-numeric, în cadrul aceluiași cip. În acest context, cercetări recente mi-au permis să realizez chiar suprapunerea unei structuri de convertor numeric-analogic cu control în curent pe o referință de tensiune bandgap, așa cum se va vedea în paragraful următor.

În referința BG convențională tensiunea de ieșire este obținută ca o sumă dintre tensiunea pe joncțiunea emitoare a unui tranzistor bipolar (ce prezintă un coeficient de temperatura negativ de aproximativ  $-2\text{mV/K}$ ) și o tensiune proporțională cu temperatura absolută (PTAT – *Proportional to Absolute Temperature*) ce reprezintă tensiunea termică  $V_T$  multiplicată cu o constantă în așa fel încât pe ansamblu coeficientul de temperatură al tensiunii de aproximativ 1,2V de la ieșire să rezulte cât mai aproape de zero.

Dacă până nu demult sursele BG asigurau prin cei 1,2V referința de tensiune necesară în majoritatea aplicațiilor (o tensiune mai mare de 1,2V compensată termic fiind ușor de obținut [33]), cererea crescândă de echipamente portabile a impus reducerea drastică a tensiunilor de alimentare, astfel că în prezent, în mod curent se asigură alimentări de 2,5V, 1,8V și uneori chiar sub 1V [11], [35], [39], [42]. În același timp, această tendință de scădere a tensiunilor de alimentare este indisolubil

legată de progresul tehnologic care prin continua miniaturizare și reducere a grosimii oxidului de poartă impune acest lucru, însă cu prețul unui efort de proiectare substanțial mărit întrucât tensiunile de prag ale tranzistoarelor MOS nu s-au putut reduce în același ritm.

În concluzie, a apărut necesitatea conceperii unor referințe BG, care să poată fi alimentate la aceste tensiuni scăzute și evident să ofere o tensiune de ieșire de valoare sub 1,2V. Trebuiau găsite noi tehnici de proiectare, mai ales că și amplificatorul operațional utilizat trebuia alimentat la aceeași tensiune scăzută. Ideea de la care s-a plecat a fost aceea ca noul circuit să nu mai facă suma a două tensiuni care să prezinte coeficienți de temperatură egali în modul și de semne contrare ci suma a doi curenți cu proprietăți termice complementare, curentul rezultat fiind condus printr-un rezistor din polisiliciu ce prezintă coeficient de temperatură foarte redus [33], [42].

În cazul de față, pentru generarea tensiunilor cu coeficient de temperatură negativ au fost folosite tranzistoare bipolare pnp-lateral, ușor de integrat în tehnologie CMOS standard, în loc de tranzistoare bipolare npn ca și în implementarea în tehnologie BiCMOS descrisă în [42].

Conform cu cele discutate mai sus, structura referinței de tensiune devine cea din fig.2.1, în care, pe lângă componentele din schema convențională, mai intervin rezistențele notate  $R_1$  și  $R_2$ , precum și ramura suplimentară  $M_3$ ,  $R_3$  pe unde este vehiculat un curent independent de temperatură ce va asigura pe rezistența  $R_3$  tensiunea de referință la ieșirea circuitului.

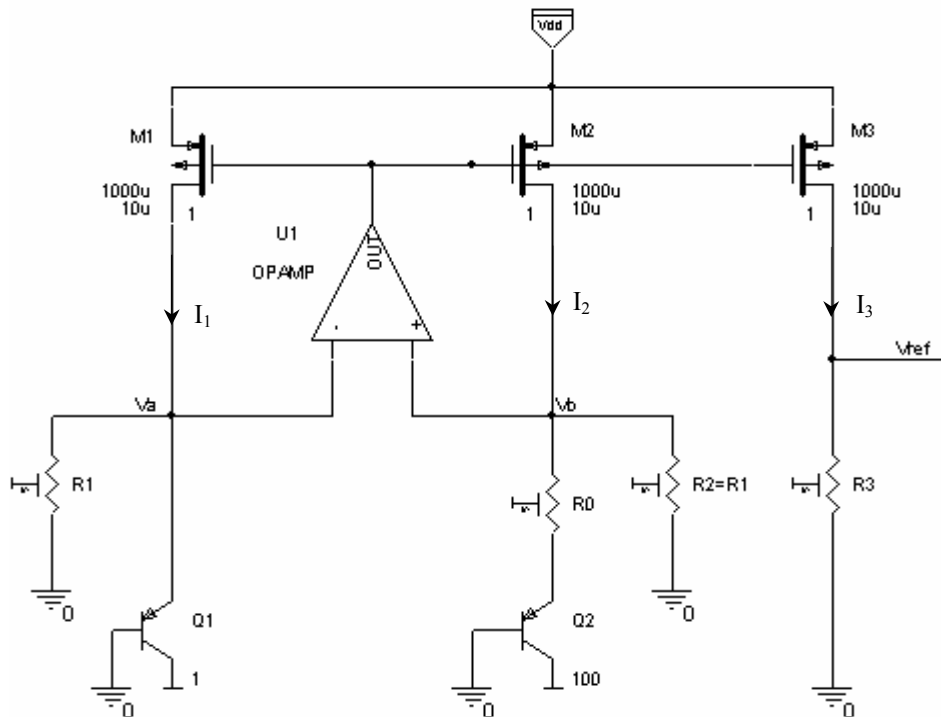


Fig.2.1 Referința de tensiune de tip sub-bandgap cu corecție de ordinul I

O altă deosebire față de lucrarea [42] constă în aceea că amplificatorul operațional folosit trebuie construit cu tranzistoare MOS și trebuie să prezinte o tensiune minimă de mod comun la intrare inferioară lui  $V_{EB}$ . Etajul său diferențial de intrare nu poate fi construit cu tranzistoare nMOS deoarece, mai ales la temperaturi mari, condiția (2.1) nu poate fi îndeplinită nici măcar în procese CMOS care asigură  $V_{Pn} \leq 0,6V$  [39]:

$$V_{EB(ON)} > V_{Pn} + 2V_{DS(sat)}, \quad (2.1)$$

în care  $V_{Pn}$  este tensiunea de prag a tranzistoarelor nMOS de intrare, iar  $V_{DS(sat)}$  este tensiunea minimă (uzual de ordinul a 50mV) care încă menține în saturație tranzistorul MOS. Este vorba aici de tranzistoarele utilizate ca și surse de curent, conectate în sursele comune ale tranzistoarelor de intrare ale AO.

În concluzie, vor fi folosite tranzistoare de intrare de tip pMOS, caz în care tensiunea minimă de alimentare trebuie să satisfacă inegalitatea (2.2):

$$V_{DDmin} \geq V_{EB(ON)} + |V_{Pp}| + 2|V_{DS(sat)}|. \quad (2.2)$$

Din păcate aceasta înseamnă  $V_{DDmin} \geq 1,5V$ , fiind deci cu 0,5V mai mare decât cea din [42].

Tensiunea bandgap cu corecție de ordinul I a lui  $V_{EB}$  are forma generală:

$$V_{BG} = V_{EB} + nV_T = V_{EB} + n \frac{KT}{q} \quad (2.3)$$

Pentru a se obține o fracție din această tensiune, se generează curenți care să fie proporționali cu  $V_{EB}$ , respectiv cu  $V_T$  [33]. Tranzistoarele  $Q_1$  și  $Q_2$ , de tip pnp lateral având colectorul legat implicit la masă în modelul PSpice disponibil (fig.2.1), sunt conectate ca și diode și au raportul ariilor emitoare egal cu  $N$ . Prin ele va trece același curent, impus de oglinda de curent realizată cu tranzistoarele pMOS  $M_1$  și  $M_2$ . Rezultă astfel o diferență  $\Delta V_{EB}$  de valoare  $V_T \ln(N)$  care se va regăsi pe rezistența  $R_0$ . În acest fel prin  $R_0$  va trece un curent PTAT. Întrucât amplificatorul operațional impune ca potențialele  $V_a$  și  $V_b$  să fie egale, prin rezistențele  $R_1$  și  $R_2$  egale ca și valoare va trece un curent proporțional cu  $V_{EB}$  ( $V_a = V_{EBQ1}$ ). Astfel, curenții prin  $M_1$ ,  $M_2$  și  $M_3$  (oglină multiplă,  $I_1 = I_2 = I_3$ ) vor avea valoarea:

$$I_1 = \frac{V_T \ln(N)}{R_0} + \frac{V_{EB}}{R_1}. \quad (2.4)$$

Tensiunea de ieșire va avea așadar valoarea:

$$\begin{aligned} V_{ref} = I_1 R_3 &= V_T \frac{R_3 \ln(N)}{R_0} + V_{EB} \frac{R_3}{R_1} = \frac{R_3}{R_1} \left[ \frac{R_1 \ln(N)}{R_0} V_T + V_{EB} \right] = \\ &= \frac{R_3}{R_1} (V_{EB} + nV_T) = \frac{R_3}{R_1} \times V_{BG} \end{aligned} \quad (2.5)$$

ce depinde de rapoarte de rezistențe, realizabile cu precizie. Compensarea în temperatură a tensiunii de ieșire va avea loc dacă se îndeplinește condiția (2.6):

$$n = \frac{R_1 \ln(N)}{R_0} = 23. \quad (2.6)$$

După cum se poate observa, tensiunea bandgap de 1,2V dată de relația (2.3) se poate pondera prin raportul  $R_3/R_1$ , iar dacă  $R_3$  este suficient de mică, pot fi obținute tensiuni compensate termic de valori foarte reduse.

Totuși referința sub-bandgap din fig.2.1 nu asigură decât o compensare de ordinul I a dependenței de temperatură a  $V_{EB}$  în tensiunea de ieșire. În realitate tensiunea pe joncțiunea emitoare a unui tranzistor bipolar nu variază liniar cu temperatura ci în conformitate cu relația de mai jos :

$$V_{EB}(T) = V_{BG} - (V_{BG} - V_{EB0}) \frac{T}{T_0} - (\eta - \alpha) V_T \ln \frac{T}{T_0} \quad (2.7)$$

unde  $\eta$  depinde de structura tranzistorului bipolar, având valoarea aproximativ 4 în procesul CMOS disponibil (0,35 $\mu$ m), iar  $\alpha$  este egal cu 1 dacă curentul prin tranzistor este de tip PTAT și egal cu 0 dacă acest curent este independent de temperatură.

Pentru a compensa și termenul al doilea, ideea de bază este de a combina tensiuni  $V_{EB}$  pe joncțiuni prin care se vehiculează curent independent de temperatură (care asigură  $\alpha=0$ ), respectiv curent PTAT (care asigură  $\alpha=1$ ) [42]. În circuitul din fig.2.1, curentul prin tranzistoarele  $Q_1$  și  $Q_2$  este PTAT, în timp ce curentul prin tranzistoarele pMOS prezintă o corecție de ordinul I, deci mai prezintă o mică dependență de temperatură cauzată doar de ultimului termen din relația (2.7). Aceasta înseamnă că dacă se oglindește acest curent cu un al patrulea tranzistor pMOS ( $M_4$ ) și se injectează într-un al treilea tranzistor pnp-lateral  $Q_3$ , așa cum se observă în fig.2.2, se va genera o tensiune  $V_{EB}$  care prezintă  $\alpha \approx 0$  [42].

Scriind relația (2.7) pentru tranzistorul  $Q_3$ , pe de o parte și pentru tranzistoarele  $Q_1$  și  $Q_2$  pe de alta [42], se obține:

$$V_{EBQ3}(T) = V_{BG} - (V_{BG} - V_{EB0}) \frac{T}{T_0} - \eta V_T \ln \frac{T}{T_0} \quad (2.8)$$

$$V_{EBQ1,2}(T) = V_{BG} - (V_{BG} - V_{EB0}) \frac{T}{T_0} - (\eta - 1) V_T \ln \frac{T}{T_0} \quad (2.9)$$

Diferența dintre tensiunile date de relațiile (2.9) și (2.8) va reprezenta o tensiune care este proporțională cu termenul neliniar  $V_{NL}$  dat de expresia:

$$V_{NL} = V_{EBQ1,2}(T) - V_{EBQ3}(T) = V_T \ln \frac{T}{T_0} \quad (2.10)$$

Compensarea completă a variațiilor cu temperatura a curentilor prin ramurile oglinzii multiple de curent realizată cu tranzistoarele pMOS se poate așadar obține dacă se extrage atât din  $I_1$  cât și din  $I_2$  un curent proporțional cu  $V_{NL}$ . În referința sub-bandgap completă din fig.2.2 acest lucru este realizat prin introducerea rezistoarelor  $R_4$  și  $R_5$  de valoare egală [42]. Datorită reacției suplimentare realizată prin conectarea acestor rezistențe, a fost necesară introducerea capacității  $C_1$  de 2pF pentru asigurarea stabilității circuitului.



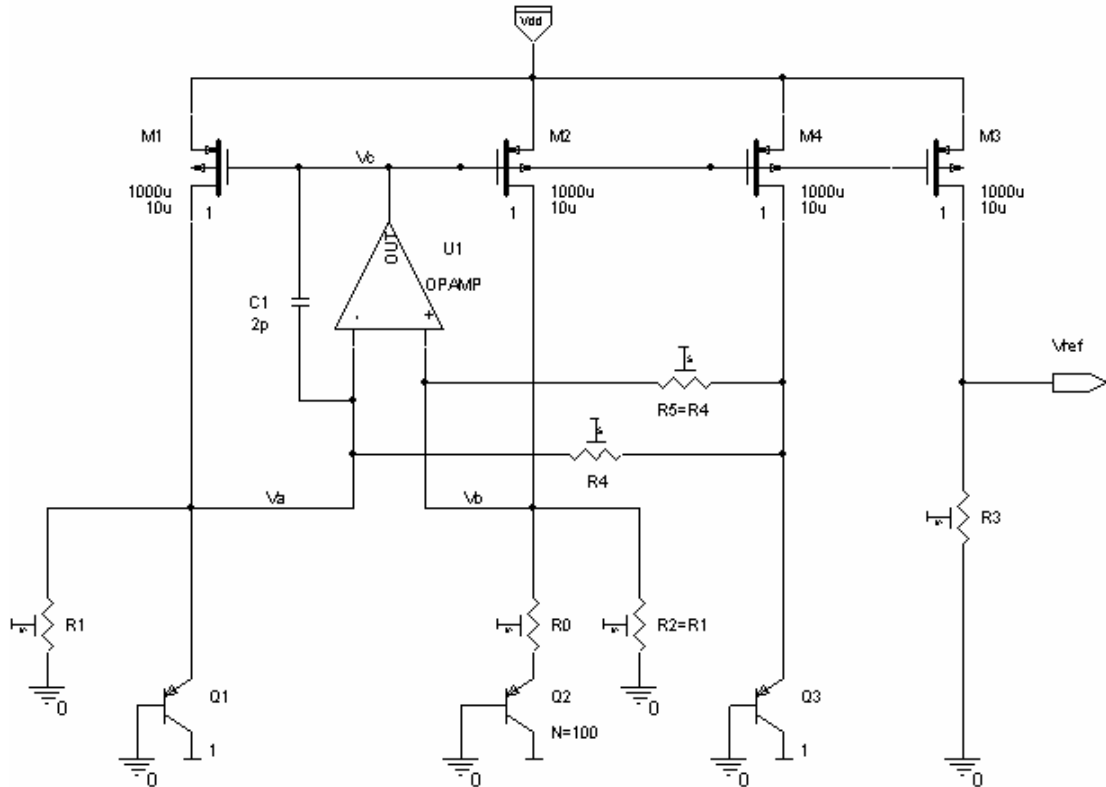


Fig.2.2 Referință de tensiune sub-bandgap performantă (cu compensare de ordinul II)

În aceste condiții noul curent  $I_1$  prin tranzistorul  $M_1$  primește încă un termen și capătă valoarea:

$$I_1 = \frac{V_T \ln(N)}{R_0} + \frac{V_{EBQ1}}{R_1} + \frac{V_{NL}}{R_4} \quad (2.11)$$

iar noua tensiune de ieșire va fi:

$$V_{ref} = I_1 R_3 = \frac{R_3}{R_1} \left[ \frac{R_1 \ln(N)}{R_0} V_T + V_{EBQ1} + \frac{R_1}{R_4} V_{NL} \right] = \frac{R_3}{R_1} V_{BG} \quad (2.12)$$

Pe baza acestei relații și cunoscând expresiile lui  $V_{EBQ1}$  din (2.9) și  $V_{NL}$  din (2.10) compensarea completă în temperatură va fi făcută atunci când:

$$\frac{R_1}{R_4} V_{NL} = (\eta - 1) V_{NL} \text{ sau: } R_4 = \frac{R_1}{\eta - 1} \quad (2.13)$$

Referința de tensiune discutată în paragraful precedent a fost simulată folosind programul OrCAD, versiunea 10.3, în care modelele componentelor utilizate corespund unei tehnologii CMOS de 0,35 microni. A fost folosit un model de amplificator operațional ideal, la care însă câștigul a fost fixat la valoarea 1000 care corespunde unei situații reale, ușor de obținut prin proiectare folosind doar două etaje de amplificare.

Simulările au fost efectuate folosind o alimentare de 2,5V, dar rezultate similare au fost obținute și pentru tensiuni mai mici, ca de exemplu 1,8V și chiar 1,5V, fapt ce confirmă că tranzistoarele pMOS au rămas în regiunea de saturație.

În scopul de a asigura o apropiere cât mai bună a curenților de pe ramurile oglinzii multiple realizată cu tranzistoarele pMOS, au fost mărite semnificativ dimensiunile acestora, adoptându-se rapoarte  $W/L=1000u/10u$ . În cazul tranzistoarelor pnp lateral s-a ales raportul N al ariilor joncțiunilor emitoare egal cu 100, astfel că toate valorile rezistențelor au rezultat de același ordin de mărime, fiind ușor de integrat pe cip.

Impunând pentru tensiunea de ieșire valoarea de 511,5mV, pentru rezistențe au fost găsite următoarele valori:  $R_1=R_2=80k\Omega$ ,  $R_0=18,14k\Omega$ ,  $R_3=34k\Omega$ ,  $R_4=R_5=32,5k\Omega$ .

Simulările au fost efectuate atât în prezența rezistențelor  $R_4$  și  $R_5$  (când s-a obținut tensiunea  $V_{out}$  ce prezintă și corecția de ordinul II a dependenței tensiunii  $V_{EB}$  de temperatură) cât și fără acestea (tensiunea  $V_{outNL}$  prezintă doar corecție de ordinul I și include termenul neliniar ce nu a fost compensat). După cum se poate constata din fig.2.3, tensiunea  $V_{out}$  este de aproximativ două ori mai stabilă cu temperatura decât tensiunea  $V_{outNL}$ .

Pe un ecart de temperatură de  $130^{\circ}C$ , s-a obținut astfel o variație de tensiune de  $500\mu V$  ceea ce corepunde unei performanțe de  $7,7ppm/K$ . Pentru a putea face comparația cu referința [42] luăm în considerare doar intervalul  $0-80^{\circ}C$  pentru care variația de tensiune este de circa  $250\mu V$ , ceea ce corepunde la  $6,2ppm/K$  față de  $7,5 ppm/K$  cât se raportează în [42], în condițiile în care s-au folosit modele de componente specifice tehnologiei CMOS standard și nu BiCMOS.

Valoarea tensiunii de ieșire de 511,5mV nu a fost adoptată întâmplător, ci, așa cum se va vedea în paragraful următor, ea corepunde domeniului maxim de ieșire (FSR) al unui convertor numeric-analogic pe 10 biți, ce prezintă o rezoluție analogică de 0,5mV.

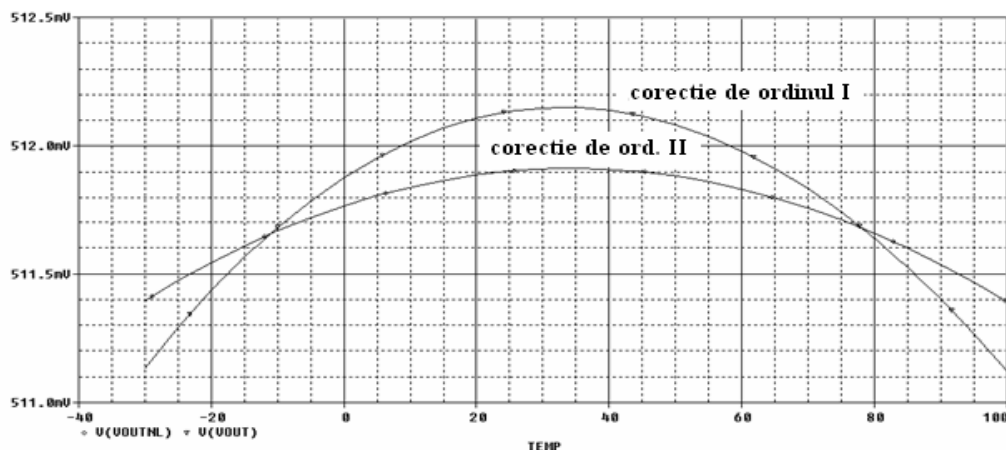


Fig.2.3 Dependența de temperatură a tensiunii de referință pentru circuitele din fig.2.1 și 2.2

## 2.2 Principiul CNA suprapus peste sursa de tensiune de referință

După cum s-a arătat în paragraful precedent, sursa sub-bandgap luată în considerare permite obținerea unui curent independent de temperatură, care este oglindit în ramura finală a circuitului și injectat într-o rezistență ( $R_3$ , fig.2.2) fabricată din același tip de material ca și celelalte componente rezistive din schemă. Acest fapt asigură o tensiune de ieșire care depinde doar de rapoarte de rezistențe și care poate fi stabilită de valoare suficient de mică, comparativ cu valoarea de 1,2V. Se poate spune că referința de tensiune devine programabilă dacă se poate programa rezistența  $R_3$  de pe ramura de ieșire.

O altă cale de a obține o tensiune de ieșire programabilă este de a oglindi curentul de ieșire al referinței în mai multe ramuri prin care curenții să fie comutați sau nu spre rezistența  $R_3$  de valoare fixă. Dacă, folosind teoria elementului unitar de circuit, așa cum s-a discutat în capitolul 1 al tezei, se adaugă  $2^N-1$  surse de curent unitare care să oglindească și să injecteze sau nu curent în rezistența  $R_3$  prin chei electronice comandate de către N biți, se poate obține un convertor numeric-analogic de precizie N biți. Bineînțeles bitul LSB va controla o singură sursă de curent unitară, următorul va controla două surse unitare, în timp ce bitul MSB va controla  $2^{N-1}$  surse unitare.

Întrucât atât sursele de curent cât și rezistența finală ( $R_3$ ) aparțin în egală măsură referinței de tensiune cât și convertorului, sau pentru că întregul convertor face parte din mecanismul prin care se asigură tensiunea de referință, s-a obținut un circuit unic, inseparabil, rezultat prin suprapunerea celor două tipuri de circuite.

O condiție suplimentară ce trebuie îndeplinită pentru ca circuitul să funcționeze corect și să nu apară salturi bruște de curent pe ramurile de ieșire ale sursei bandgap este de a asigura în permanență o cale de curent prin acestea, indiferent de starea de conducție a cheilor electronice. În caz contrar există riscul apariției unor regimuri tranzitorii excesiv de lungi și a unor glicieri foarte mari (fapt dovedit prin simulare) care să reducă drastic frecvența maximă de lucru a convertorului. Problema însă se poate rezolva ușor dacă se asigură ieșiri de curent duale, complementare, iar cheile se înlocuiesc cu comutatoare electronice. Astfel, curenții corespunzători codului numeric aplicat precum și cei care nu vor contribui la fabricarea tensiunii de ieșire se vor însuma în două noduri distincte și vor fi conduși prin rezistențe de valoare egală spre masă.

Dezavantajul major al acestui tip de convertor, evidențiat în paragraful 1.3 este acela că el utilizează un număr foarte mare de tranzistoare MOS. Numărul tranzistoarelor pMOS ce formează sursele de curent unitare, care trebuie să fie de dimensiuni suficient de mari pentru a asigura o bună apropiere a curenților de pe ramuri, este de  $2^N-1$ , ceea ce pentru  $N=10$ , de exemplu, înseamnă 1023 tranzistoare.

Soluția ce va fi utilizată în continuare elimină acest dezavantaj deoarece implică secționarea în două părți egale (de exemplu, pentru N par) a codului numeric aplicat convertorului. În aceste condiții vor exista în primă fază două blocuri

identice, comandate de câte  $\frac{N}{2}$  biți care vor conține câte  $2^{\frac{N}{2}} - 1$  surse de curent

unitare. Pentru a asigura ponderea de  $2^{\frac{N}{2}} : 1$  în formarea tensiunii de ieșire a convertorului, nodurile în care se vor însuma curenții celor două secțiuni nu se

conectează împreună, ci așa cum se observă în schema bloc a convertorului din **fig.2.4**. Raportul rezistențelor  $R_8$  și  $R_9$  (care joacă rolul lui  $R_3$  din fig.2.2), respectiv  $R_{10}$  și  $R_{11}$  (pentru ieșirea complementară) trebuie deci să fie de  $\frac{N}{2^2 - 1}$ . În aceste condiții numărul tranzistoarelor pMOS de mari dimensiuni necesare a scăzut la  $2 \times \frac{N}{2^2 - 1}$ . În prezentarea ce urmează va fi considerat un CNA pe 10 biți ( $N=10$ ), ceea ce înseamnă că e nevoie de doar  $2 \times 31 = 62$  tranzistoare.

În fig.2.4 delimitarea între blocul "Sub-BG" și cele de tip "I\_bloc" este pur formală și a fost adoptată din rațiuni de optimizare și organizare a schemei electronice pe blocuri ierarhice.

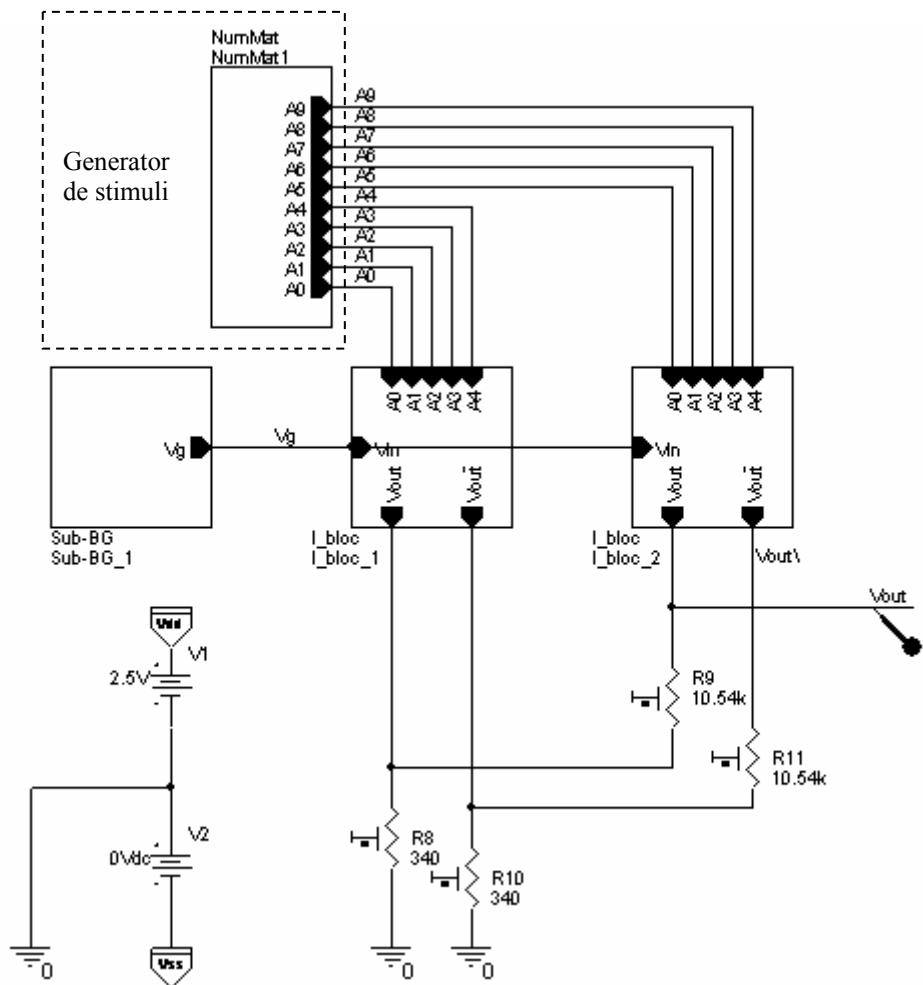


Fig.2.4 Schema bloc de principiu a convertorului propus

Schema internă a blocului "Sub-BG" este practic cea prezentată în fig.2.2 din care însă lipsește ramura  $M_3$ ,  $R_3$ . Sursa de curent  $M_3$  se regăsește multiplicată de câte 31 de ori sub forma unor surse de curent unitare în blocurile " I\_bloc " care

prezintă structura din fig.2.5. Curenții de ieșire ai acestor surse,  $I_0$  și  $I_0\backslash$ , vehiculați pe liniile R și  $R\backslash$ , sunt însumați în nodurile  $V_{out}$  și  $V_{out}\backslash$ . Rolul rezistenței  $R_3$  din fig.2.2 este jucat de rezistența  $R_8$  (pentru a se asigura conversia analogică a celor mai puțin semnificativi 5 biți ai convertorului,  $A_0\div A_4$ ), respectiv de ansamblul  $R_8, R_9$  (pentru a se asigura conversia analogică a celor mai semnificativi 5 biți ai convertorului,  $A_5\div A_9$ ). Curenții care nu sunt conduși către  $R_8$  și  $R_9$  vor fi însumați la ieșirea complementară a convertorului, generând o cădere de tensiune pe rezistențele  $R_{10}$  și  $R_{11}$ .

Fiecare din cele 31 de celule identice de tip "S\_unit" conține o sursă de curent unitară realizată cu un tranzistor pMOS de dimensiuni corespunzătoare și comutatorul electronic aferent, așa cum se observă în **fig.2.6**.

În scopul de a nu se afecta tensiunea sursă-poartă a tranzistorului  $M_4$  prin care se impune curentul de referință, comutatorul de curent a fost amplasat în dreapta acestuia și s-a realizat cu două porți de transmisie,  $M_5, M_9$ , respectiv  $M_6, M_{10}$  comandate în antifază, pentru a menține permanent în conducție tranzistorul  $M_4$ . Utilizarea porților de transmisie și nu a unor simple tranzistoare este obligatorie la tensiuni mici de alimentare când trebuie asigurată menținerea lui  $M_4$  în zona de funcționare saturată. Astfel, atunci când comutatorul este comandat, cel puțin unul din cele două tranzistoare este în conducție fermă, indiferent de valoarea potențialului de la ieșirile "Io" sau "Io\". În același timp comandarea cu semnale în antifază minimizează efectul de pătrundere a *clock*-ului. Pentru a minimiza și mai mult acest efect, dar și injectia de sarcină din momentul blocării tranzistorului comutator, toate tranzistoarele din blocul comutator au fost adoptate de dimensiuni minime. Asigurarea comenzilor în antifază se realizează cu inversorul  $M_7, M_8$ .

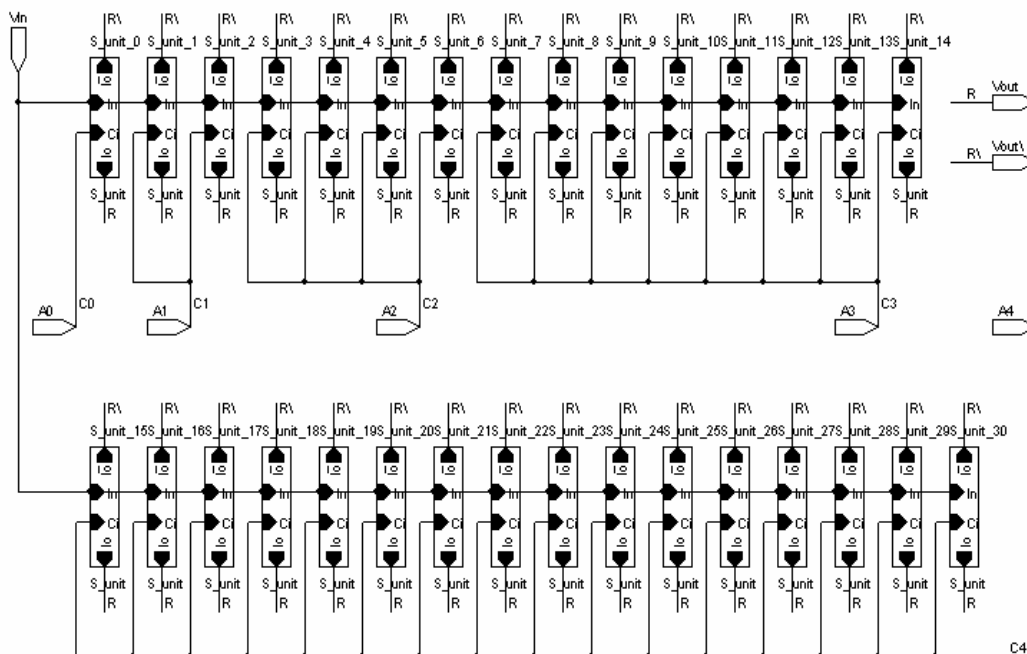


Fig.2.5 Structura blocurilor "I\_bloc"

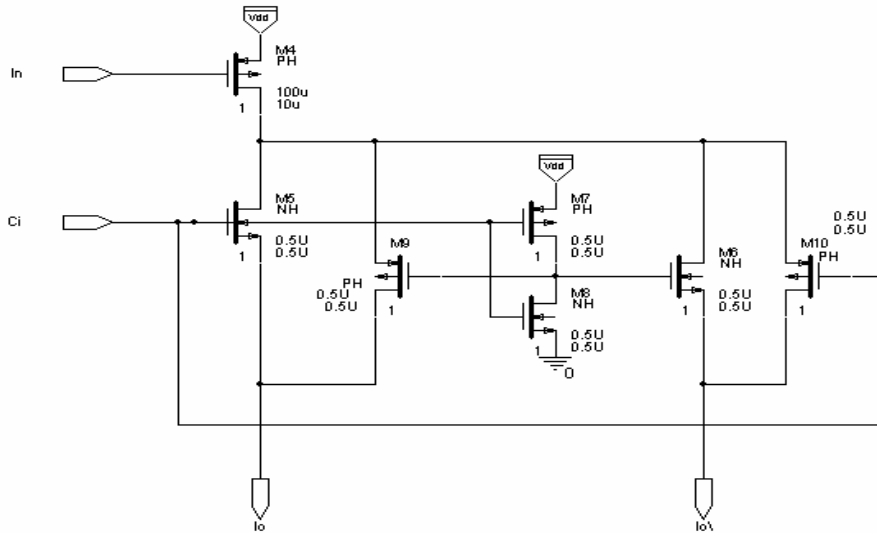


Fig.2.6 Structura unui bloc de tip "S\_unit" din fig.2.5

În continuare notăm curenții egali de pe cele trei ramuri din blocul "Band-gap" cu  $I_{BG}$  și curenții generați de sursele de curent unitare cu  $I_u$ . Ținând cont de acest aspect, de relația 2.12 și de fig.2.2, funcția de transfer a convertorului poate fi scrisă sub forma:

$$\begin{aligned}
 V_{out} &= 1,2 \frac{I_u}{I_{BG}} \left( \frac{R_8}{R_1} \sum_{i=0}^4 A_i 2^i + \frac{R_8 + R_9}{R_1} \sum_{i=0}^4 A_{i+5} 2^i \right) = \\
 &= 1,2 \frac{I_u}{I_{BG}} \frac{R_8}{R_1} \left( \sum_{i=0}^4 A_i 2^i + 32 \sum_{i=0}^4 A_{i+5} 2^i \right) = \\
 &= 1,2 \frac{I_u}{I_{BG}} \frac{R_8}{R_1} \left( \sum_{i=0}^4 A_i 2^i + \sum_{i=0}^4 A_{i+5} 2^{i+5} \right) = 1,2 \frac{I_u}{I_{BG}} \frac{R_8}{R_1} \sum_{i=0}^9 A_i 2^i.
 \end{aligned} \tag{2.14}$$

În această relație s-a impus  $R_9 = (2^{N/2} - 1)R_8 = 31R_8$  iar rezultatul este exprimat în [V]. S-a considerat  $V_{BG} = 1,2V$ . Raportul  $I_u/I_{BG}$  satisface relația (2.15):

$$\frac{I_u}{I_{BG}} = \frac{(W/L)_{M4\_sursa\_de\_curent\_unitara}}{(W/L)_{M_1 M_2 M_3\_sub\_bandgap}}. \tag{2.15}$$

Impunând cuanta corespunzătoare bitului LSB de valoare 0,5mV și raportul curenților de valoare 1/10, tensiunea maximă de ieșire a convertorului va fi de 512mV-0,5mV=511,5mV. Pentru început vom considera rezistențele  $R_8$  și  $R_9$ , respectiv  $R_{10}$  și  $R_{11}$  cu valorile marcate în fig.2.4, iar tranzistoarele-surse de curent unitare ca având dimensiunile marcate în fig.2.6. Dimensionarea acestor componente va fi prezentată în capitolul 3 al tezei și va fi făcută pe baza luării în considerare a "neidealităților" convertorului privind neîmperecherea componentelor

și efectul rezistenței finite de ieșire a surselor de curent. Deocamdată dorim să confirmăm prin simulare funcționarea corectă a schemei propuse, dar și să evidențiem apariția unor abateri de la comportamentul ideal, chiar și în condițiile în care sursele de curent sunt perfect identice iar stimulii aplicați sunt ideali. Astfel se va justifica necesitatea introducerii unor circuite suplimentare pentru înlăturarea sau minimizarea respectivelor efecte nedorite.

Pentru a simula convertorul, au fost folosite modele de componente corespunzătoare tehnologiei CMOS de 0,35 micrometri, iar stimulii digitali au fost generați folosind blocul "NumMat" din fig.2.4. Acest bloc este un numărător construit cu elemente ce prezintă modele matematice ideale ale unor funcții de circuit și care permite generarea de secvențe binare consecutive în care toți biții sunt comutați simultan [44]. În aceste condiții este evident că rezultatele obținute prin simulare, mai ales în analiza regimului tranzitoriu indus prin comutarea intrărilor digitale, vor fi datorate exclusiv convertorului.

După cum se observă în fig.2.7.a, întregul domeniu de ieșire este acoperit cu valori echidistante, dar la anumite tranziții de cod apar glicieri foarte mari. În fig.2.7.b se poate constata că amplitudinea maximă a acestor glicieri este de aproximativ 100mV.

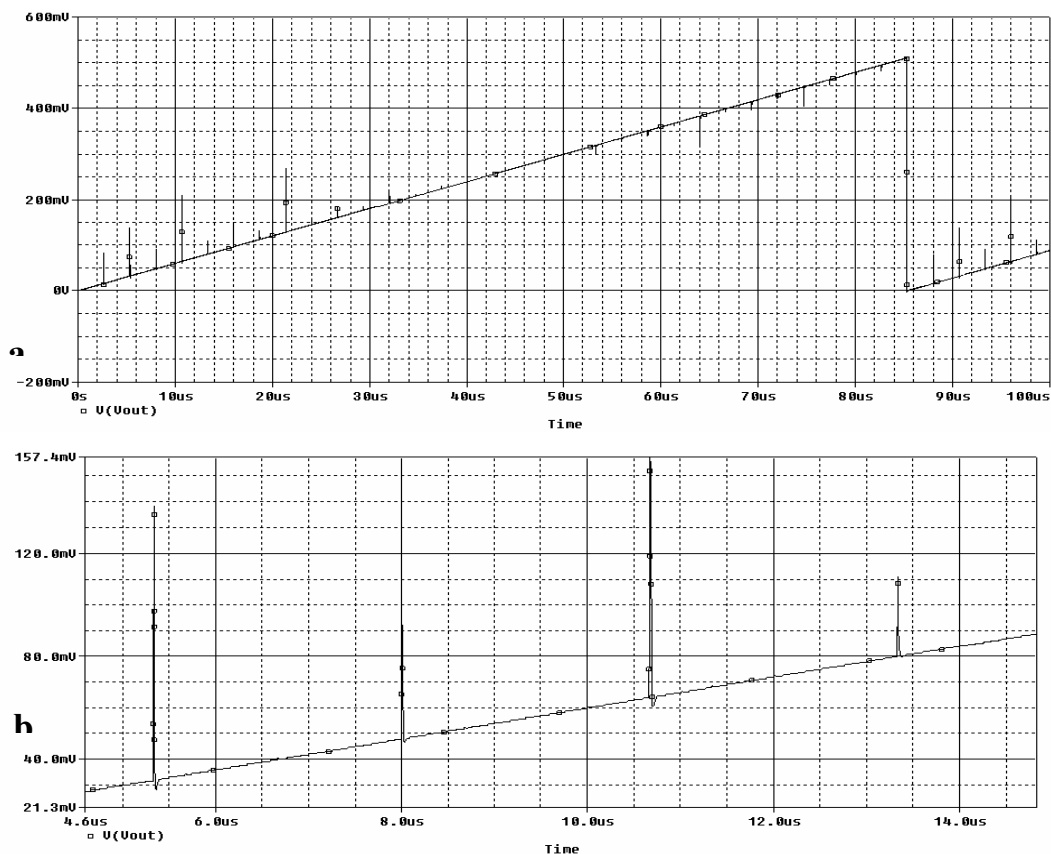


Fig.2.7 Simulare de regim tranzitoriu pentru CNA din fig.2.4, (a), cu detaliere pentru evaluarea glicierilor (b).

Așa cum s-a explicat în paragraful 1.3 în cazul CNA cu surse de curent ponderate binar, tranzițiile de cod de forma  $2^{n-1}-1 \rightarrow 2^{n-1}$ , cu  $1 < n \leq N$ , sunt însoțite de salturi bruște ale erorii de liniaritate diferențiale, deoarece  $2^{n-1}$  surse unitare sunt conectate la ieșire simultan cu deconectarea altor  $2^{n-1}-1$  surse.

În această primă analiză nu există eroare de liniaritate la joasă frecvență deoarece sursele de curent sunt identice. Dar cum fiecare element unitar pMOS prezintă o capacitate parazită proporțională cu aria efectivă a canalului său, aceleași tranziții de cod conduc la salturi bruște de tensiune de ieșire.  $2^{n-1}-1$  capacități parazite încărcate la tensiunea  $V_{DD}-V_{out}$  vor fi deconectate din nodul de ieșire, ceea ce nu e deranjant aici, în schimb  $2^{n-1}$  capacități parazite încărcate la tensiunea  $V_{DD}-V_{out} = V_{DD}-(FSR-V_{out})$  vor fi conectate la ieșire. Gliciurile cauzate de tranziții de acest tip din prima jumătate a codului sunt mai importante decât cele din a doua jumătate a codului deoarece în al doilea caz ele sunt atenuate de redistribuirea de sarcină către capacitățile care nu se deconectează din nodul de ieșire.

O altă observație importantă se referă la faptul că aici nu există gliciuri la jumătatea codului. Deși în acest caz numărul de surse deconectate, respectiv conectate este maxim, comutarea capacităților parazite se face de la și către același potențial. Acest lucru va fi discutat și exploatat în capitolul 4 al acestei lucrări.

Rezultatele obținute prin această simulare, simultan cu aspectele evidențiate în paragraful 1.3 indică necesitatea introducerii codului termometric în segmentul mai semnificativ al convertorului, respectiv comandarea individuală a fiecărei surse de curent unitare din acest segment. Principiul de funcționare al CNA va rămâne același, propagând în noua structură avantajele legate de caracteristicile sale termice, precum și de modularitatea și regularitatea *layout*-ului, întrucât nici un alt convertor segmentat studiat în bibliografie nu prezintă sursele de curent din cele două segmente identice.

### 2.3 CNA segmentat, cu cod termometric

Întrucât prin introducerea codului termometric se adaugă convertorului un volum important de circuite digitale, ce crește exponențial cu numărul de biți ai segmentului din cuvântul de comandă ce va fi codat, este important ca structura ce va fi proiectată să prezinte un grad ridicat de regularitate. În acest sens vom urma algoritmul schițat în [68], dar implementarea se va face folosind porțile logice intrinseci ale tehnologiei CMOS și nu circuite multiplexoare realizate cu porți de transmisie sau tranzistoare de trecere. Aceasta, deoarece cascada inerentă a tranzistoarelor din cazul menționat mai sus nu mai este posibilă atunci când se lucrează cu tensiuni mici de alimentare. Ar fi necesare latch-uri intermediare în structura arborescentă și ar apărea întârzieri suplimentare în propagarea semnalelor. În cazul nostru însă, va fi necesar un singur latch final, folosit atât pentru sincronizarea comenzilor celor două segmente cât și pentru egalizarea întârzierilor pe liniile de ieșire ale codorului termometric.

În fig.2.8 sunt prezentate tabelele de adevăr pentru codorul termometric cu 2, 3 și respectiv 4 biți ai segmentului de cod aplicat la intrarea sa. Liniile sale de ieșire sunt notate cu  $t_{N,i}$ , în care  $N^*$  reprezintă numărul intrărilor codorului, iar  $i$  rangul liniei de ieșire. Se poate constata ușor că în cazul codorului 2-3 (2 biți de intrare, 3 biți de ieșire) avem:



$$\begin{aligned}
 t_{2,0} &= s_1 + s_0 \\
 t_{2,1} &= s_1 \\
 t_{2,2} &= s_1 \cdot s_0
 \end{aligned}
 \tag{2.16}$$

După cum este sugerat în fig.2.8, în cazul codorului 3-7 se poate scrie:

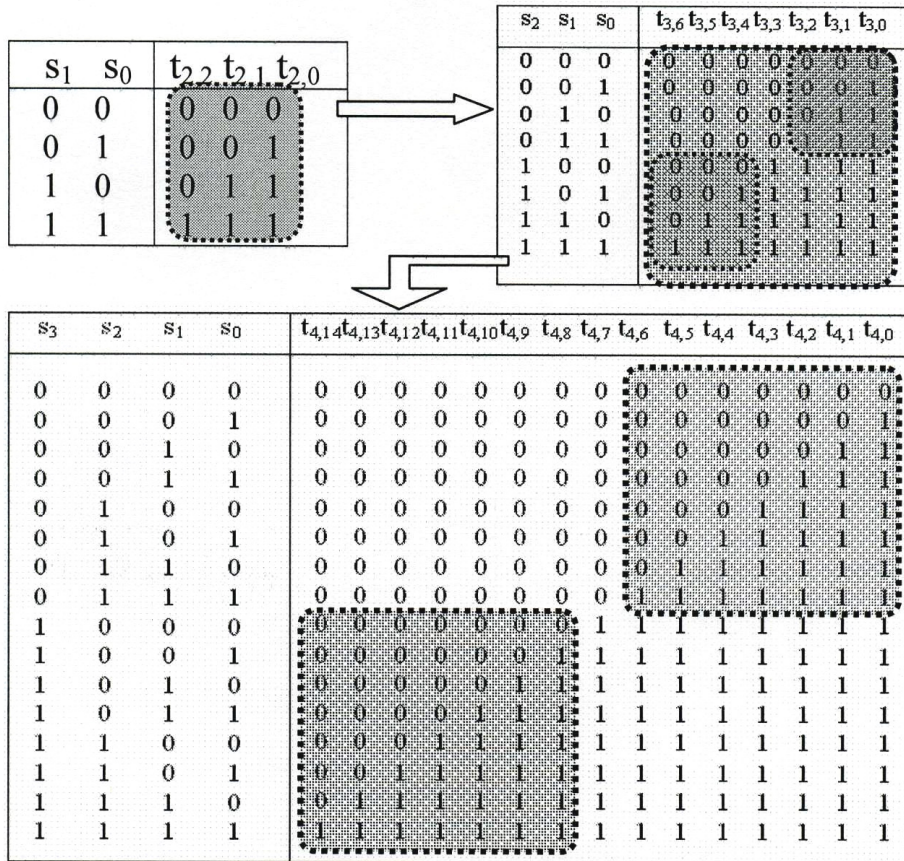


Fig.2.8 Exploatarea simetriei codului termometric pentru generarea recursivă a logicii combinaționale a codorului

$$\begin{aligned}
 t_{3,i} &= s_2 + t_{2,i} \\
 t_{3,3} &= s_2 \\
 t_{3,i+4} &= s_2 \cdot t_{2,i}
 \end{aligned}
 \tag{2.17}$$

în care  $i \in \{0,1,2\}$ . În mod recursiv, pentru codorul  $N^* \rightarrow 2^{N^*} - 1$ :

$$\begin{aligned}
 t_{N^*,i} &= s_{N^*-1} + t_{N^*-1,i} \\
 t_{N^*,k} &= s_{N^*-1} \\
 t_{N^*,i+k+1} &= s_{N^*-1} \cdot t_{N^*-1,i}
 \end{aligned}
 \tag{2.18}$$

cu  $i \in \{0, 1, \dots, 2^{N^*-1} - 2\}$  și  $k = 2^{N^*-1} - 1$ .

Pentru codorul 5-31 se obțin implementarea din fig.2.9 și, după transformări De Morgan pentru a folosi porți CMOS intrinseci, versiunea finală în **fig.2.10**.

Așa cum se observă în fig.2.10, pentru multiplicarea capabilității de comandă a liniilor  $s_3$  și  $s_4$  au fost folosiți arbori de inversoare CMOS cu număr par de niveluri logice. Au fost folosite doar porți cu două intrări de tip „ȘI-NU” și „SAU-NU” care prezintă garanția funcționării corecte chiar și la cele mai mici tensiuni de alimentare.

Prin aplicarea relațiilor De Morgan pentru generarea logicii combinaționale a codorului termometric, liniile de ieșire rezultă în conformitate cu tabela de adevăr **dacă** numărul de biți de intrare în codor este **impar**, așa cum este cazul de față.

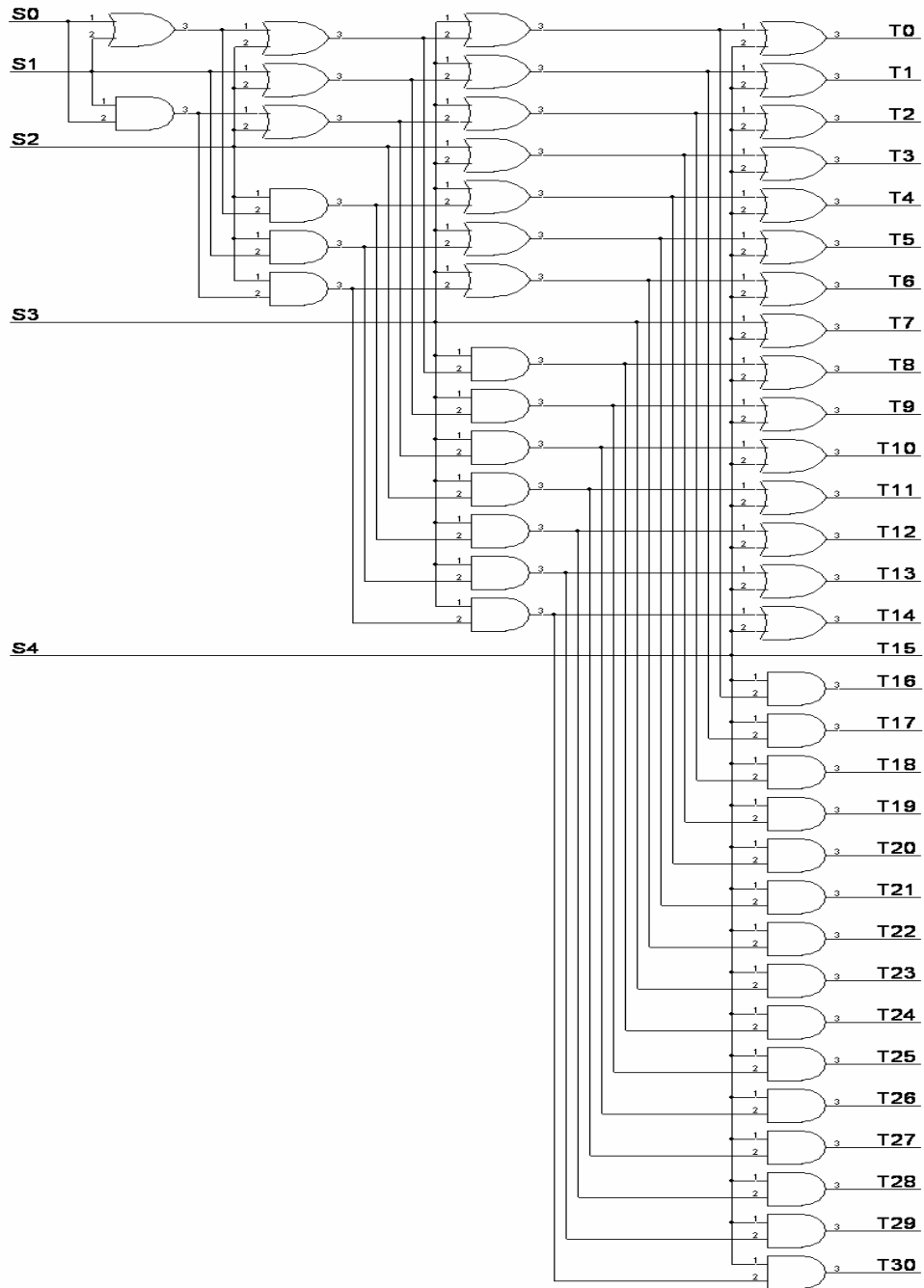


Fig.2.9 Codorul termometric generat de relațiile recurente (2.18)

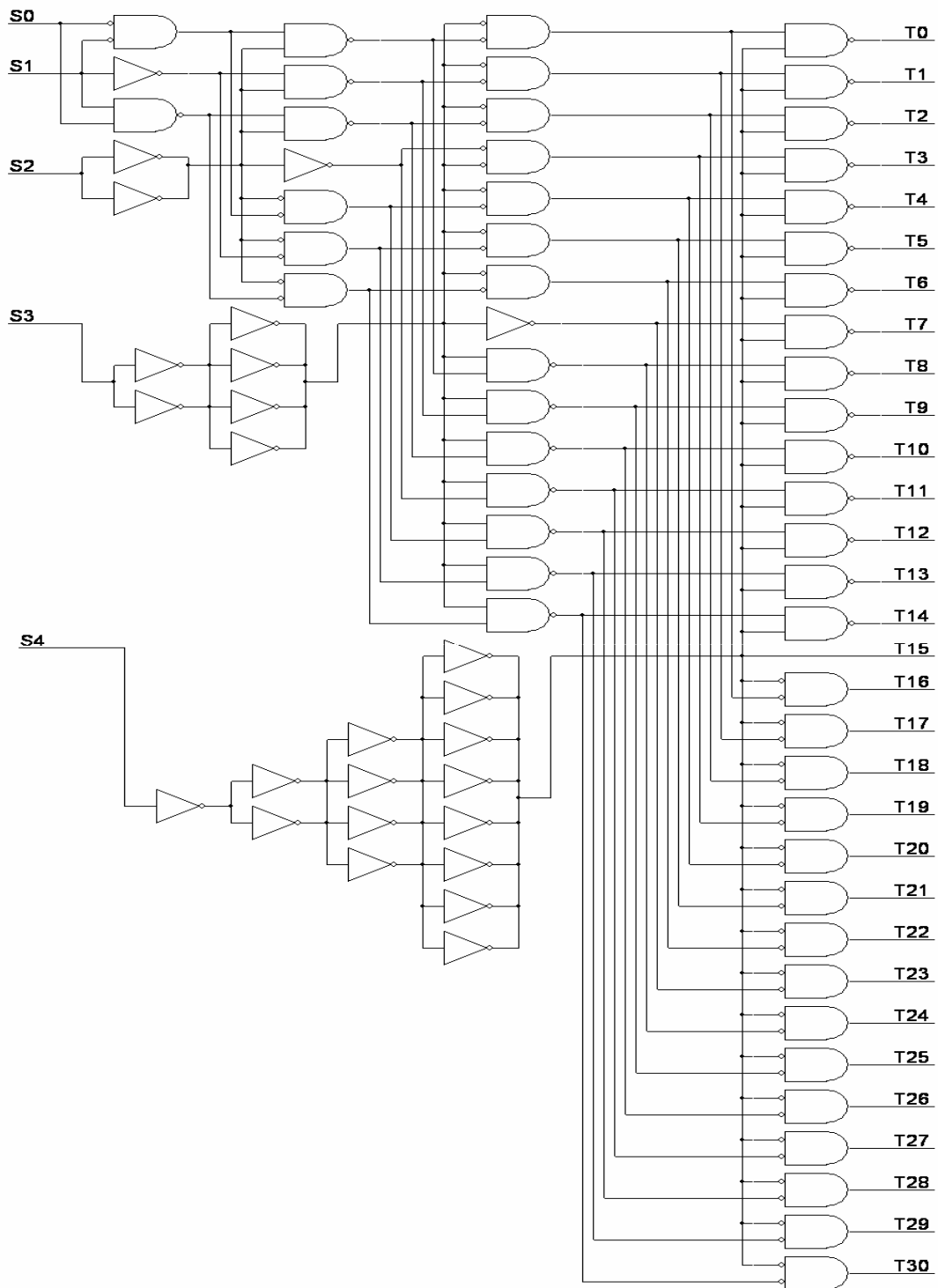


Fig.2.10 Codorul termometric realizat cu porți CMOS intrinseci

Dacă însă acest număr ar fi par, liniile de ieșire ar rezulta complementate. Acest fapt însă nu ar necesita aplicarea unui nivel suplimentar de inversoare CMOS, ci doar schimbarea între ele a celor două ieșiri complementare "Io" și "Io\" ale comutatorului de curent din fig.2.6.

Prin introducerea codului termometric, schema convertorului numeric-analogic devine cea din **fig.2.11**.

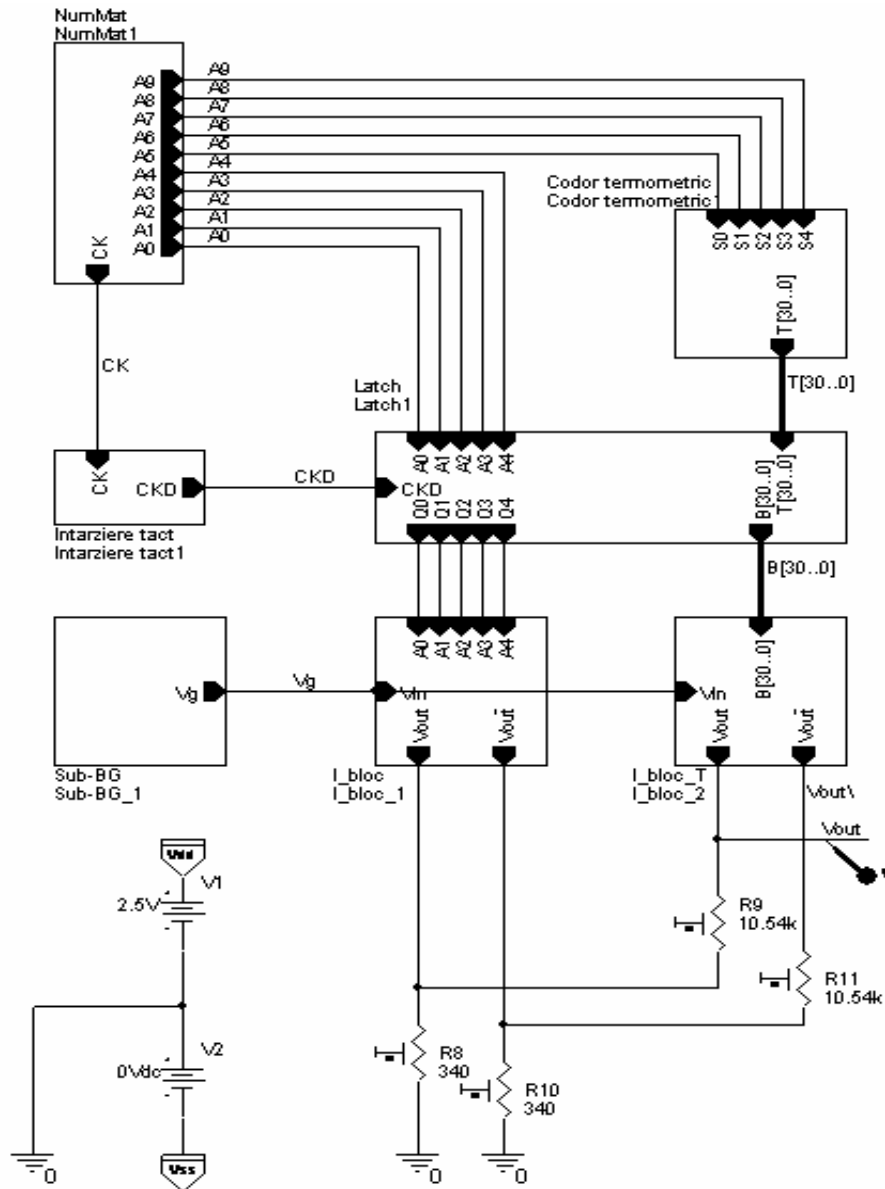


Fig.2.11 CNA segmentat, cu cod termometric

Blocul „Latch” conține 36 (31+5) circuite bistabile de tip D și este comandat defazat față de aplicarea cuvântului de comandă prin intermediul blocului „Întârziere tact”.

Bineînțeles, blocul I\_bloc\_2 grupează acum 31 celule independente (și nu grupate după puterile lui doi) pentru a se permite comanda individuală a surselor de curent unitare.

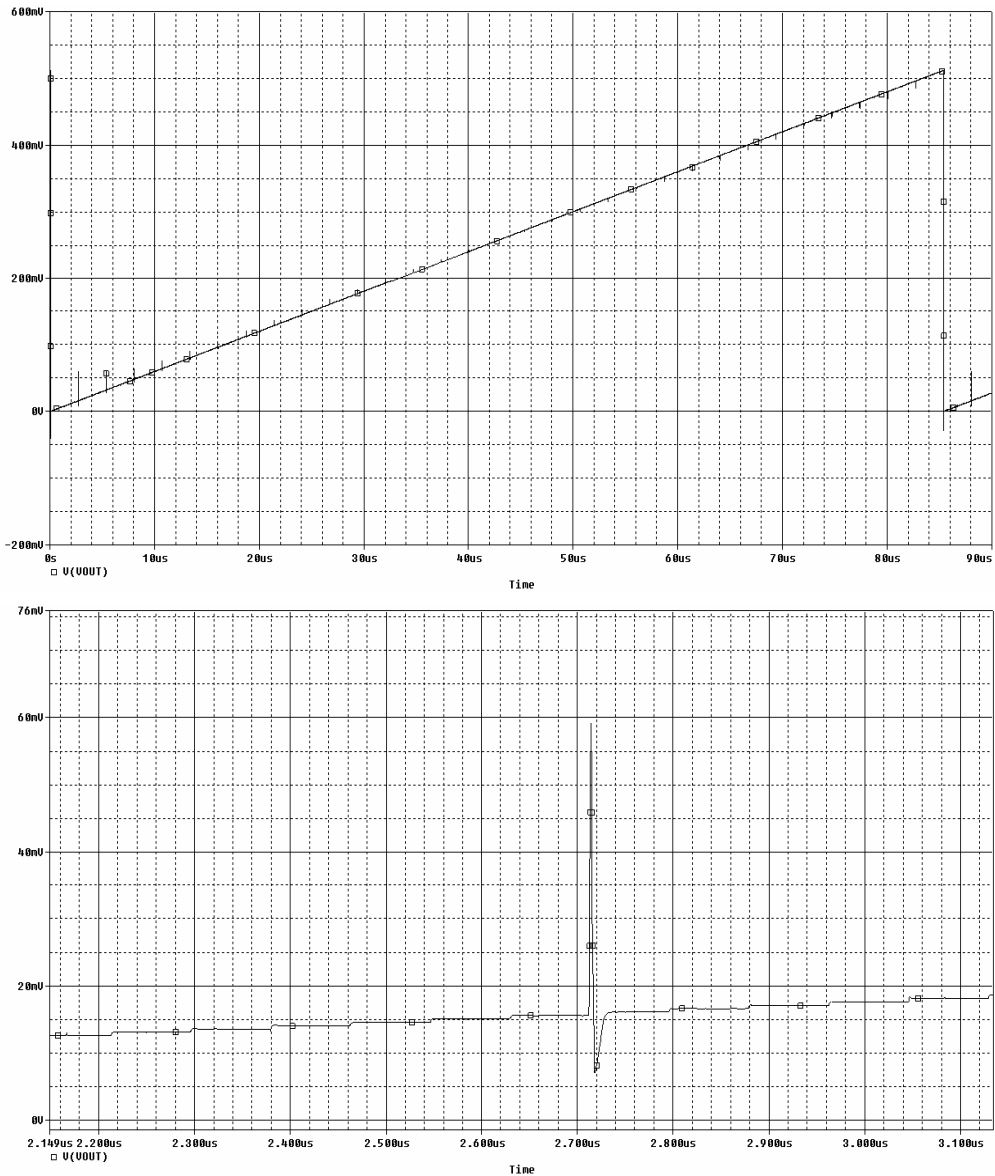


Fig.2.12 Simulare de regim tranzitoriu pentru CNA segmentat cu cod termometric (a) cu detaliere pentru evaluarea celui mai important gliici (b).

Simularea în aceleași condiții a noului circuit a dus la obținerea unor rezultate mai bune din punct de vedere al glicierilor de la ieșire, așa cum se poate constata în fig.2.12.a.

Totuși și în acest caz se obțin glicieri importante pentru tranziții din prima parte a codului. Acolo încep să se conecteze primele surse de curent unitare din segmentul superior, care vin cu capacități parazite încărcate la tensiunea  $V_{DD}-V_{out}$ , mult diferită de tensiunea  $V_{DD}-V_{out}$ , iar sarcina electrică adusă în exces încă nu are alte capacități parazite anterior conectate la ieșire spre care să se redistribuie. Așa cum se observă în fig.2.12.b, cel mai mare glicie apare la conectarea primei surse de curent unitare din segmentul superior și are amplitudinea de aproximativ 45mV. Amplitudinea următoarelor glicieri scade rapid, dar chiar și pentru primul se poate constata că timpul de stabilire al convertorului nu este mult afectat.

O soluție pentru reducerea și mai mult a glicierilor ar fi creșterea segmentării, respectiv extinderea la mai mulți biți a segmentului mai semnificativ. Prețul plătit constă însă în mărirea ariei atât pentru partea digitală cât și pentru cea analogică, așadar și această posibilitate are limitările sale.

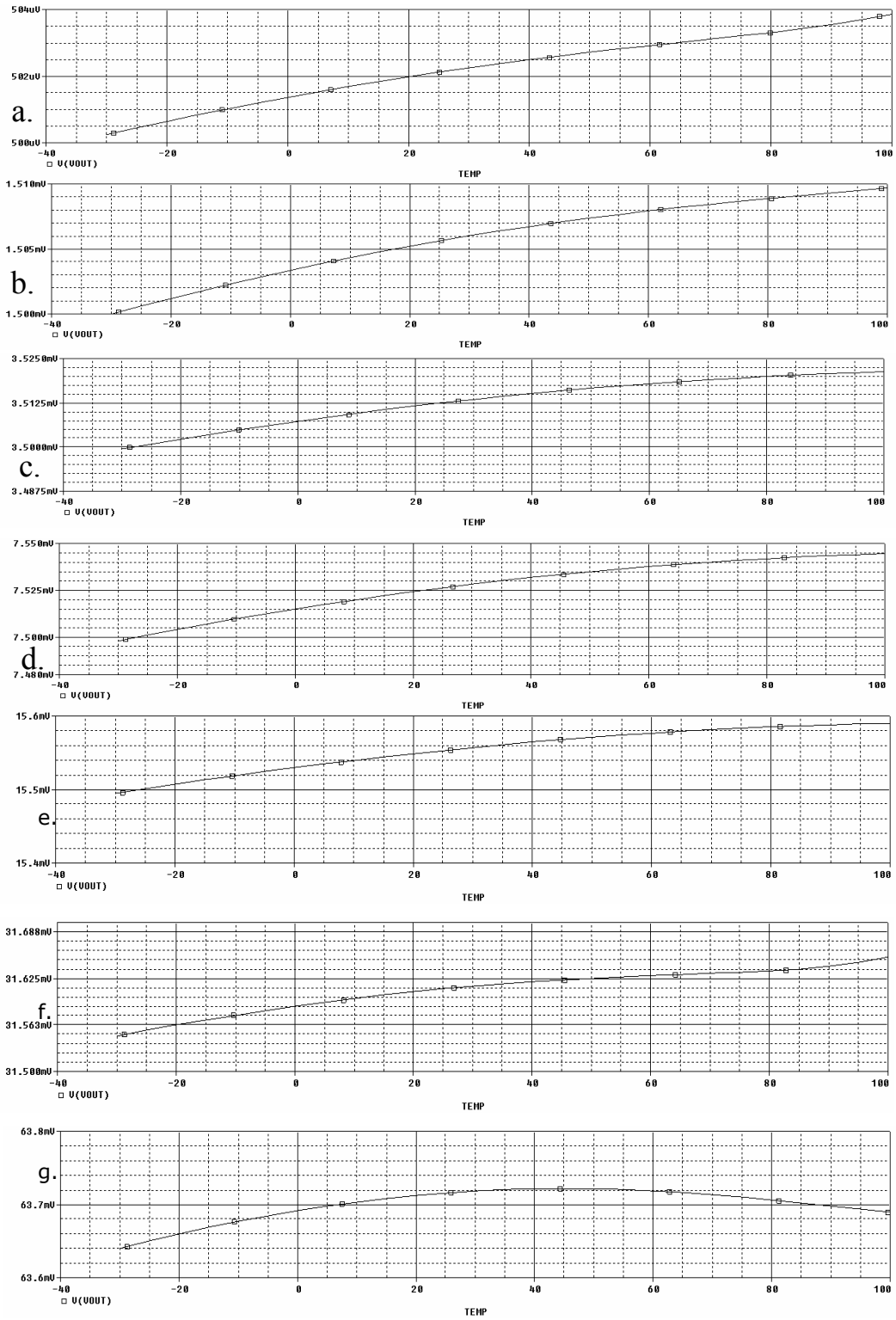
Oricum, indiferent de gradul de segmentare, din cauza ieșirilor complementare tot vor apărea glicieri, chiar importante, atunci când tranziția de cod se face între două coduri succesive temporal dar îndepărtate ca și valoare.

Există însă o metodă și mai eficientă pentru reducerea aproape completă a glicierilor, concepută de autorul tezei [58], dar ea va fi prezentată în capitolul 4. Comportamentul dinamic al CNA este cel care are mai mult de suferit din cauza glicierilor, deoarece acestea induc în spectrul semnalului de ieșire armonici parazite care micșorează gama dinamică efectivă a convertorului.

## 2.4 Evaluarea prin simulare a comportamentului termic al CNA

Pentru evaluarea comportamentului termic al convertorului în intervalul de temperatură  $-30^{\circ}\text{C}\div 100^{\circ}\text{C}$  au fost efectuate simulări de curent continuu pentru diverse coduri aplicate la intrare. În fig.2.13 sunt prezentate variațiile tensiunilor de ieșire pentru următoarele coduri de intrare exprimate în zecimal: 1 (fig.2.13.a), 3 (b), 7 (c), 15 (d), 31 (e), 63 (f), 127 (g), 255 (h), 511 (i) și 1023 (j).

După dimensionarea sursei sub-bandgap în paragraful 2.1, pentru o mai bună acuratețe s-a efectuat și o ușoară ajustare a valorilor componentelor folosind simulatorul, întrucât acesta folosește modele PSpice furnizate de fabricant. Astfel, compensarea în temperatură pe intervalul menționat s-a optimizat pentru cazul când tensiunea de ieșire a referinței corespundea cu valoarea maximă ce trebuia furnizată de convertor. Se constată totuși din fig.2.13 că pentru tensiuni mici de ieșire, (diagramele a÷f), compensarea în temperatură nu urmărește profilul scontat. Acest lucru însă nu este periculos aici deoarece deviațiile sunt mult sub 0,5LSB. Dacă se compară diagramele (a) și (f) care corespund situației când sunt în conducție câte o singură sursă unitară din primul, respectiv al doilea segment, se poate concluziona că rezistența ohmică a siliciului policristalin cu cel mai scăzut coeficient de temperatură manifestă totuși un ușor caracter neliniar din cauza creșterii cu temperatura a curenților de scurgere în substrat. Acest fapt nu se mai observă atunci când mai multe surse injectează curent în rezistor. Ajustarea efectuată utilizând simularea a trebuit să compenseze și acest efect nedorit la capătul gamei de temperatură.





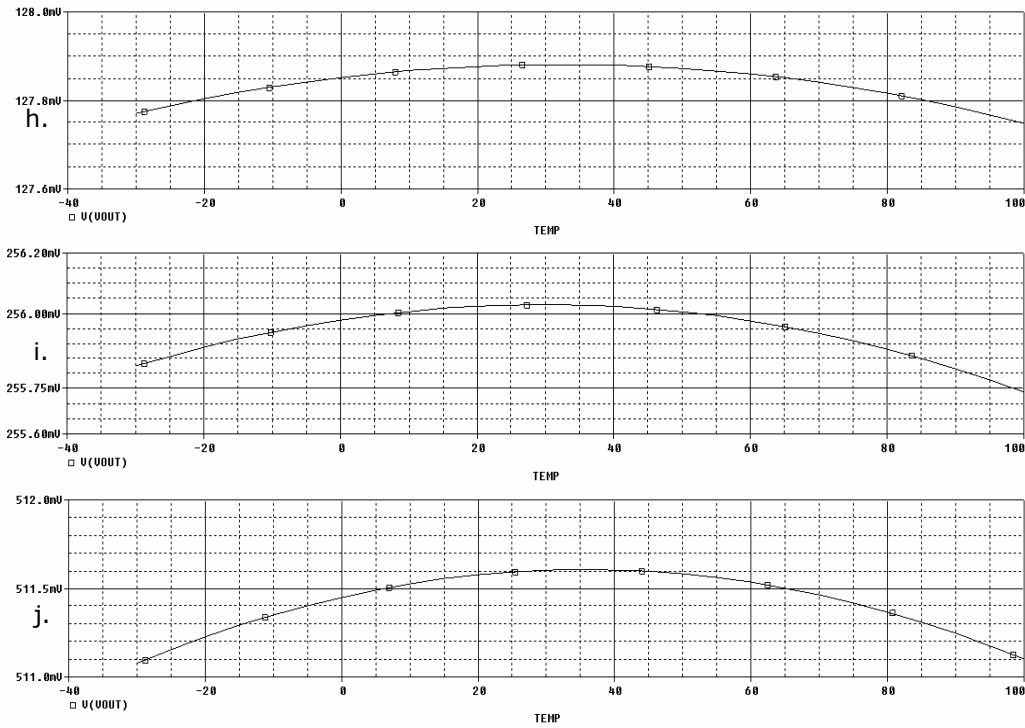


Fig.2.13 Simularea comportamentului termic al CNA pentru diverse coduri de intrare

În general proiectanții și fabricanții de convertoare numeric-analogice oferă insuficiente informații despre comportamentul termic al acestora, de aceea am considerat utilă această analiză precum și prezentarea modalităților prin care se pot compensa efectele termice nedorite care afectează precizia convertorului.

## 2.5 Concluzii la capitolul 2

În cadrul acestui capitol a fost prefigurată structura unui nou convertor numeric-analogic cu mod de lucru în curent.

Plecând de la o schemă cunoscută de tensiune de referință sub-bandgap realizată în tehnologie BiCMOS, [42], în paragraful 2.1 a fost elaborată o nouă versiune a acesteia ce poate fi implementată într-o tehnologie mai ieftină și anume tehnologia CMOS standard. Tensiunea minimă de alimentare a circuitului a crescut de la 1V la 1,5V însă variația cu temperatura a tensiunii de ieșire, evaluată prin simulare pe intervalul 0-80°C a fost de doar 6,2ppm/K față de valoarea de 7,5 ppm/K raportată de sursa citată.

În paragraful al doilea a fost formulat noul principiu pe care se bazează funcționarea convertorului. Deoarece sursa de tensiune de referință adoptată a permis obținerea unui curent independent de temperatură pe ramura sa de ieșire,

acest curent a fost reprodus, folosind o oglindă multiplă, de un număr de ori egal cu numărul de surse de curent necesare funcționării convertorului. Prin conectarea acestor surse la nodul de ieșire, respectiv prin devierea lor spre ieșirea complementară, folosind comutatoare CMOS, pe rezistența de sarcină s-a obținut tensiunea de ieșire proporțională cu codul aplicat convertorului. Prin intermediul acestei rezistențe, tensiunea de ieșire s-a obținut ca o sumă de tensiuni sub-bandgap elementare, toate dependente de același raport de rezistențe, realizabil cu precizie în tehnologie integrată. Conversia „tensiune de referință-curenți de ieșire” fiind implicită, circuitul propus a rezultat ca o suprapunere între convertorul propriu-zis și referința de tensiune.

Pentru a asigura posibilitatea aplicării tehnicii elementului unitar de circuit la scara întregului convertor, segmentarea acestuia și respectiv asigurarea ponderilor celor două segmente s-a realizat, de asemenea, printr-o configurație originală de două grupuri de surse de curent și două rezistențe de ieșire al căror raport este și el realizabil cu precizie.

În paragraful 2.3, sinteza codorului termometric necesar comandării segmentului mai semnificativ al CNA s-a făcut pe baza algoritmului prezentat în [68], dar implementarea propriu-zisă a fost diferită. În locul circuitelor multiplexoare utilizate în schemele clasice de codare termometrice, circuite care sunt realizate cu porți de transmisie sau tranzistoare de trecere, au fost folosite porțile logice intrinseci, cu maxim două intrări, din tehnologia CMOS. Acest lucru a fost esențial pentru funcționarea cu tensiuni mici de alimentare (1,5V), tensiuni ce nu mai puteau asigura condițiile de lucru corecte tranzistoarelor ce se înseriau inerent de-a lungul mai multor niveluri logice.

Simulările prezentate în paragraful 2.3 și paragraful 2.4 au confirmat corectitudinea și eficiența soluțiilor adoptate, precum și calitățile „termice” ale convertorului numeric-analogic propus.

## Capitolul 3

# STUDIUL FUNCȚIONĂRII ÎN REGIM STATIC A CONVERTORULUI NUMERIC-ANALOGIC PROPOS

În acest capitol se va prezenta o analiză amănunțită a erorilor care influențează comportamentul static al convertorului numeric-analogic propus și vor fi prezentate deducții teoretice importante, cu directă aplicabilitate practică, ce conduc la minimizarea efectului acestor erori.

Astfel, în **paragraful 1** vor fi discutate erorile deterministice care afectează precizia convertorului și vor fi prezentate principalele măsuri pentru încadrarea parametrilor săi statici în limitele admisibile. În cele trei subparagrafe se vor lua în discuție, pe rând, influența impedanței de ieșire finite a surselor de curent din structura noului CNA, influența neîmperecherii tranzistoarelor cauzată de erorile graduale de proces, precum și felul în care aceste erori pot interacționa într-un mod convenabil ce poate relaxa specificațiile de proiectare ale convertorului. Vor fi deduse relații specifice noii structuri propuse privind parametrii statici ai CNA și vor fi stabilite scheme originale de comutare a elementelor unitare.

În **paragraful 2** se va analiza efectul erorilor stohastice de împerechere a tranzistoarelor-surse de curent unitare și se vor deduce noi relații ce caracterizează comportamentul „statistic” al convertorului și care vor permite dimensionarea corectă a elementelor acestuia.

### 3.1 Măsuri pentru reducerea influenței erorilor deterministice asupra preciziei convertorului

Procesele deterministice care afectează liniaritatea convertorului sunt cauzate pe de o parte de **valoarea finită a impedanței de ieșire** a surselor de curent unitare, iar pe de altă parte de **gradientii tehnologici de material** imprimați în timpul fabricației wafer-ului și prin procesul de oxidare a siliciului.

#### 3.1.1 Efectul la joasă frecvență al impedanței de ieșire finite a surselor de curent unitare.

Unul din mecanismele prin care se acumulează eroarea de liniaritate integrală la convertoarele numeric-analogice cu mod de lucru în curent rezidă în dependența impedanței de ieșire de codul de comandă al convertorului. Dacă, de exemplu, un număr din ce în ce mai mare de surse de curent unitare cu impedanță de ieșire finită sunt conectate în nodul de ieșire, impedanța de ieșire globală va fi din ce în ce mai mică. Presupunând că elementele unitare sunt perfect identice, dependența tensiunii de ieșire de codul aplicat la intrare nu va fi însă liniară

deoarece curentul injectat în rezistența de sarcină va fi influențat de această impedanță variabilă. Considerând  $X$  valoarea zecimală a codului binar aplicat la intrarea CNA, schema echivalentă la joasă frecvență a circuitului este cea din fig.3.1. Aici  $R_u$  este rezistența de ieșire a unei surse de curent unitare,  $I_u$  este curentul unitar, iar  $R_s$  este rezistența de sarcină. Tensiunea de ieșire a convertorului este dată de relația (3.1) de mai jos:

$$V_o(X) = \left( I_u + \frac{V_{DD}}{R_u} \right) \times \frac{X}{1 + \frac{R_s}{R_u} \times X} \times R_s, \quad (3.1)$$

din care se vede în mod evident că tensiunea de ieșire este o funcție neliniară de  $X$ , mai precis este o funcție monoton crescătoare cu pantă monoton descrescătoare. Astfel, rezistența de ieșire finită a surselor de curent unitare introduce un comportament neliniar și se poate concluziona că trebuie asigurată rezistență de ieșire suficient de mare pentru ca liniaritatea convertorului să rămână în limite acceptabile. Eroarea de liniaritate integrală exprimată în [V] și obținută **după corecția de câștig** este, conform [71], [73], dată de relația (3.2):

$$INL_{0,V} = \frac{I_u R_s^2 X_{max}^2}{4R_u} [V], \quad (3.2)$$

în care  $X_{max} = 2^N - 1$ ,  $N$  fiind numărul de biți ai convertorului cu mod de lucru în curent fără segmentare de cod, sau cu segmentare „0%” (definită în paragraful 1.3). Valoarea acestei erori exprimată în unități [LSB] este cea de mai jos:

$$INL_0 = \frac{R_s X_{max}^2}{4R_u} [LSB]. \quad (3.3)$$

Pentru CNA propus în capitolul 2 al tezei, schema echivalentă la joasă frecvență este cea prezentată în fig.3.2:

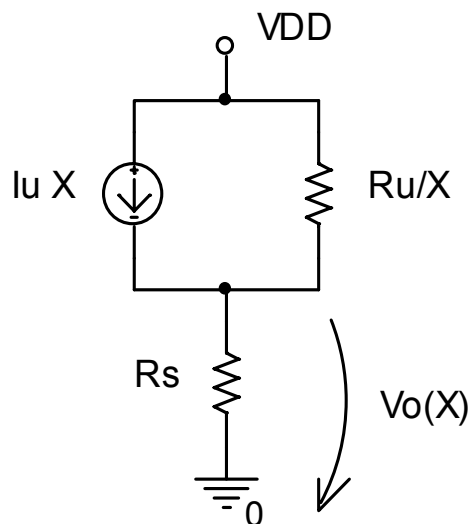


Fig. 3.1 Modelul echivalent al CNA având sursele de curent cu rezistență de ieșire finită

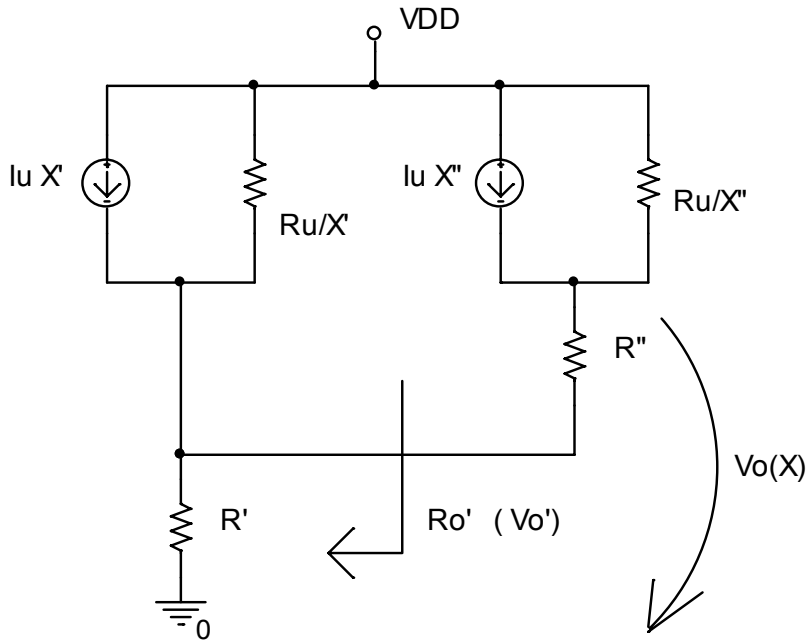


Fig. 3.2 Modelul echivalent al CNA propus, la joasă frecvență

în care  $X'$  reprezintă valoarea zecimală a segmentului mai puțin semnificativ reprezentat pe  $B$  biți din cei  $N$  ai codului de comandă, iar  $X''$  valoarea zecimală a segmentului mai semnificativ. În aceste condiții se poate scrie:

$$X = X' + 2^B \times X'' \quad (3.4)$$

și

$$\frac{R' + R''}{R'} = 2^B. \quad (3.5)$$

Aplicând teorema lui Thevenin pentru partea de circuit de rezistență echivalentă  $R_o'$ , furnizând în gol tensiunea  $V_o'$  și folosind relația (3.1) pentru ambele segmente, precum și principiul superpoziției surselor din circuit, se obține expresia tensiunii de ieșire reale, la joasă frecvență, a convertorului:

$$\begin{aligned}
V_o(X) &= \left( I_u + \frac{V_{DD}}{R_u} \right) \times \frac{X'' \left( R' \parallel \frac{R_u}{X'} + R'' \right)}{R' \parallel \frac{R_u}{X'} + R''} + \\
&+ \left( I_u + \frac{V_{DD}}{R_u} \right) \times \frac{X' \times R'}{1 + \frac{R'}{R_u} \times X'} \times \frac{\frac{R_u}{X''}}{R' + R'' + \frac{R_u}{X''}} \cong \\
&\cong \left( I_u + \frac{V_{DD}}{R_u} \right) \times \frac{X'' \left( R' + R'' \right) + X' \times R'}{1 + \frac{R' + R''}{R_u} \times X''}
\end{aligned} \tag{3.6}$$

În care s-a considerat  $R' \ll (R_u/X')$ . Utilizând relațiile (3.4) și (3.5) în (3.6), notând  $R_S = R' + R''$  și considerând segmentarea, așa cum a fost definită în paragraful 1.3, suficient de accentuată ( $2^B \gg 1$ ), se obține cu bună aproximație:

$$V_o(X) \cong \left( I_u + \frac{V_{DD}}{R_u} \right) \times \frac{X}{1 + \frac{\left( \frac{R_S}{2^B} \right) \times X}{R_u}} \cdot \left( \frac{R_S}{2^B} \right). \tag{3.7}$$

Deoarece relația (3.7) are aceeași formă cu relația (3.1) se poate scrie, folosind relația (3.3), expresia erorii de liniaritate integrale pentru convertorul propus, exprimată în unități LSB:

$$INL = \frac{\left( \frac{R_S}{2^B} \right) X_{\max}^2}{4R_u} [LSB] = \frac{R' X_{\max}^2}{4R_u} [LSB] = INL_0. \tag{3.8}$$

Așadar, eroarea de liniaritate a convertorului segmentat propus este aceeași cu a convertorului nesegmentat care utilizează ca și rezistență de sarcină rezistența  $R'$ . Adoptarea segmentării contribuie însă la reducerea semnificativă a consumului de curent al circuitului prin utilizarea unui număr mult mai mic de surse de curent. Vom arăta în continuare că acest consum poate fi redus și mai mult, prin aceea că eroarea de liniaritate integrală nu depinde de valoarea rezistenței de sarcină  $R_S = R' + R''$  pentru structura propusă care, în consecință, poate fi aleasă chiar de valori medii.

Sursa de curent unitară, de rezistența de ieșire  $R_u$ , se poate realiza fie cu un tranzistor simplu (pMOS în cazul nostru), fie se poate adopta o configurație cascodă pentru a reduce efectul modulației lungimii canalului tranzistorului sursă de curent care va suporta astfel variații mai mici ale tensiunii sale  $V_{SD}$ . În calculul ce urmează vom arăta că utilizarea unui tranzistor simplu, menținut în zona de funcționare

saturată, poate satisface în anumite condiții cerința de păstrare a INL în limitele admisibile.

Expresia curentului de drenă pentru un tranzistor pMOS funcționând în saturație este dată de relația:

$$I_D = \frac{\beta}{2} (V_{SG} - V_P)^2, \quad (3.9)$$

în care  $\beta$  este transconductanța dispozitivului, evaluată la rândul său cu relația, [7]:

$$\beta = \beta' \frac{W}{L_{ef}} = \mu_P C_{ox} \frac{W}{L_{ef}}. \quad (3.10)$$

Aici  $\beta'$  este "transconductanța procesului" și e dată de produsul dintre mobilitatea purtătorilor majoritari (golurile în cazul de față) și capacitatea electrică a unității de arie a capacitorului grilă-canal cu dielectric oxid subțire;  $L_{ef}$  este lungimea efectivă a canalului tranzistorului ce funcționează în saturație ( $V_{SD} > V_{SG} - V_P$ ) și este supus efectului de modulație a lungimii canalului său de lungime proiectată  $L$ .

Pentru a se determina variația curentului de drenă cu variația tensiunii sursă-drenă se calculează derivata expresiei (3.9) în raport cu  $V_{SD}$ , ținând cont de relația (3.10), [33]:

$$\frac{\partial I_D}{\partial V_{SD}} = -\frac{\beta'}{2} \frac{W}{L_{ef}^2} (V_{SG} - V_P)^2 \times \frac{dL_{ef}}{dV_{SD}} = I_D \times \left( -\frac{1}{L_{ef}} \frac{dL_{ef}}{dV_{SD}} \right) = I_D \times \lambda \quad (3.11)$$

în care **parametrul  $\lambda$**  se numește „factor de modulare a lungimii canalului”, este pozitiv deoarece  $L_{ef}$  scade la creșterea tensiunii  $V_{SD}$  și este invers proporțional cu lungimea efectivă a canalului.

În continuare se exprimă **rezistența de ieșire  $R_u$**  a sursei de curent unitare:

$$R_u = \frac{1}{\frac{\partial I_D}{\partial V_{SD}}} = \frac{1}{I_D \times \lambda}, \quad (3.12)$$

Pentru lungimi suficient de mari ale canalului (când  $L - L_{ef}$  devine neglijabilă în comparație cu  $L$ ), ecuația curentului de drenă pentru tranzistorul pMOS în saturație se scrie, [7]:

$$I_D = \frac{\beta'}{2} \times \frac{W}{L} (V_{SG} - V_P)^2 (1 + \lambda V_{SD}). \quad (3.13)$$

**Concluzia importantă** care se desprinde din relațiile (3.11), (3.12) și (3.13) este că pentru un curent de drenă impus, rezistența de ieșire a tranzistorului poate fi mărită prin creșterea lungimii canalului, cu păstrarea raportului de aspect  $W/L$  al tranzistorului. Bineînțeles dimensiunile dispozitivului nu trebuie să devină exagerate pentru ca funcționarea la frecvență mare să fie cât mai puțin afectată.

Din **specificatiile procesului** disponibil (0,35 $\mu$ m CMOS) ale cărui modele au fost folosite în simulări s-a găsit pentru  $\lambda$ :

$$\lambda = \frac{0,15}{L[\mu\text{m}]} [\text{V}^{-1}] \quad (3.14)$$

În aceste condiții, **rezistența de ieșire**  $R_u$  se scrie:

$$R_u \cong 6,7 \times \frac{L[\mu\text{m}]}{I_D[\mu\text{A}]} [\text{M}\Omega]. \quad (3.15)$$

Această relație a fost verificată prin simulare pentru un tranzistor avînd același raport de aspect și lucrînd la un curent comparabil cu cel impus pentru tranzistorul-sursă de curent unitară folosit în CNA din fig.2.4 (aproximativ  $1,5\mu\text{A}$ ), pentru diferite lungimi de canal. De exemplu, pentru un tranzistor pMOS cu sursa conectată la  $V_{DD}$  și avînd raportul de aspect de  $250\mu\text{m}/25\mu\text{m}$  s-a obținut caracteristica de ieșire din fig.3.3, în care pe axa orizontală este reprezentată  $V_{SD}=V_{DD}-V_{\text{drenă}}$ .

Prin activarea și poziționarea cursorilor rutinei de afisare a rezultatelor către extremitățile segmentului liniar din regiunea de saturație se obțin diferențele  $\Delta V_{SD}=1,064\text{V}$  și  $\Delta I_D=10,040\text{nA}$  care conduc la determinarea unei rezistențe de ieșire  $R_u \approx 100\text{M}\Omega$ . Folosind relația (3.15) și considerînd același curent de drenă ( $\approx 1,55\mu\text{A}$ ) se obține  $R_u \approx 108\text{M}\Omega$ .

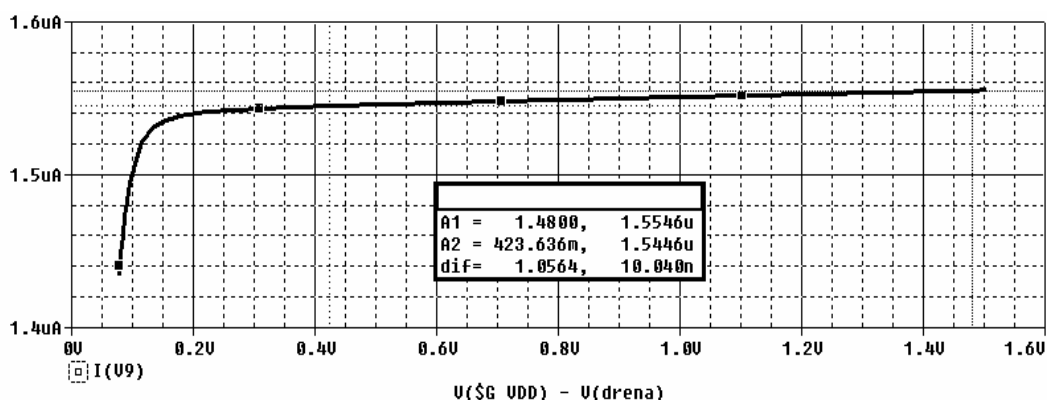


Fig.3.3 Determinarea prin simulare a rezistenței de ieșire a unui tranzistor pMOS

Adoptînd un convertor numeric-analogic pe  $N$  biți de tipul propus în capitolul 2 și lucrînd cu curenți unitari  $I_u=I_D$ , pe baza relațiilor (3.8) și (3.12) se obține expresia **erorii de liniaritate integrale**, exprimată în unități LSB:

$$\text{INL} = \frac{\lambda}{4} I_u R_{\text{max}}^2 X_{\text{max}}^2 [\text{LSB}] = \frac{\lambda}{4} \times \text{FSR} \times X_{\text{max}} [\text{LSB}] \quad (3.16)$$

în care FSR este domeniul maxim de ieșire al convertorului, iar  $X_{\text{max}}=2^N-1$ . Se poate constata că INL nu depinde de rezistența de sarcină a convertorului.

Relația (3.16) trebuie interpretată în felul următor: dacă nu se utilizează cascade în construcția surselor de curent unitare, atunci când FSR este impus, numărul de biți de rezoluție,  $N$ , al CNA este limitat superior, iar atunci cînd  $N$  este dat, FSR este acela care trebuie limitat superior. În plus, FSR este limitat superior și din considerente de garantare a funcționării în saturație a tranzistorului-sursă de curent.



Folosind relația (3.14) se obține expresia practică prin care se calculează INL pentru convertorul de mai sus:

$$INL = 0.0375 \frac{FSR \times X_{\max}}{L[\mu\text{m}]} \times [\text{LSB}] \quad (3.17)$$

și poate fi minimizată dacă se adoptă tranzistoare cu lungime suficient de mare a canalului. Utilizând, de exemplu, tranzistoare cu raportul de aspect  $200\mu\text{m}/20\mu\text{m}$  pentru a construi un CNA pe 10 biți (cu orice grad de segmentare) și  $FSR \approx 0,5\text{V}$  ( $511,5\text{mV}$ ), se obține  $INL = 0,96\text{LSB}$  care, după corecția de *offset*, se poate aduce la  $INL_{\text{cor}} = 0,48\text{LSB}$ , adică la limita admisibilă, atunci când nu mai există alte surse de erori. Dacă însă s-ar adopta un FSR de două ori mai restrâns eroarea de liniaritate integrală ar coborî sub  $0,25\text{LSB}$ .

Pentru verificarea prin simulare a erorii de liniaritate integrale în funcție de codul de intrare al CNA considerat mai sus, a fost concepută o schemă de test care este prezentată în **fig.3.4**.

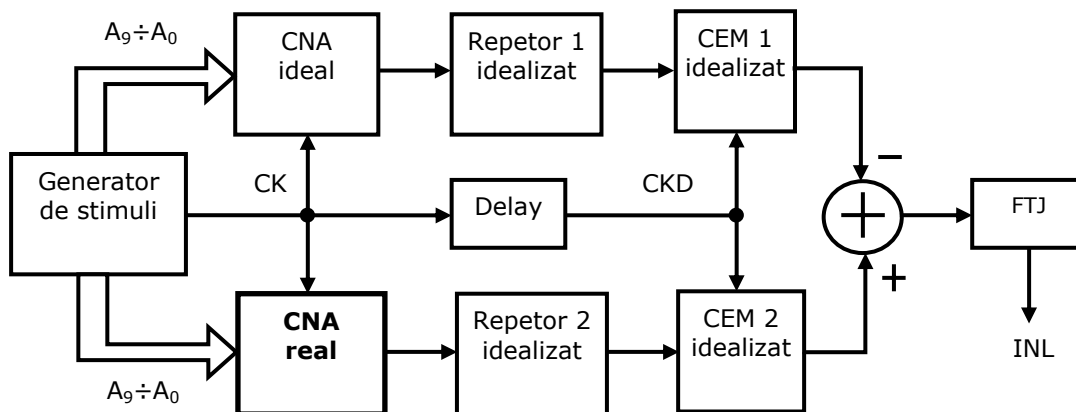


Fig.3.4 Schema de test pentru evaluarea erorii de liniaritate integrale a CNA

În această schemă blocurile idealizate au fost construite cu componente care au un comportament aproape ideal, în sensul, că parametrii ce le caracterizează funcționarea sunt limitați superior sau inferior, pentru evitarea apariției unor tranziții prea bruște de tensiune sau curent, care generează automat erori de convergență în simulator. De exemplu, un comutator este modelat cu o minimă rezistență în stare „on” și cu o valoare limitată superior în cazul „off”.

Practic, circuitul face diferența între valoarea reală și valoarea ideală a tensiunii de ieșire a convertorului, pentru toate codurile de comandă posibile.

Dificultatea principală în realizarea acestui lucru constă în aceea că momentul în care se compară cele două valori trebuie să corespundă regimului permanent pentru fiecare tensiune de ieșire în parte din cele 1023 valori posibile. Regimul tranzitoriu cauzat de comutațiile succesive ale surselor de curent și timpul de stabilire al convertorului real se vor masca prin circuitul de eșantionare și memorare CEM2 care trebuie comandat sincron cu CEM1 pentru a permite comparația nivelurilor. Glicurile care apar în momentul eșantionării celor două căi sunt foarte rapide, dar importante ca și amplitudine, uneori mult mai mari decât INL

estimat și în consecință trebuie filtrate. Acest lucru se realizează cu blocul FTJ ce furnizează o tensiune egală cu INL exprimată în  $\mu\text{V}$ , în funcție de codul aplicat la intrare.

În fig.3.5 se prezintă variația INL pentru cazurile când convertorul lucrează la  $0^{\circ}\text{C}$ , la  $25^{\circ}\text{C}$ , respectiv la  $50^{\circ}\text{C}$ . Corecția de câștig la capătul domeniului a fost anterior stabilită prin simulări repetate și deci aplicată.

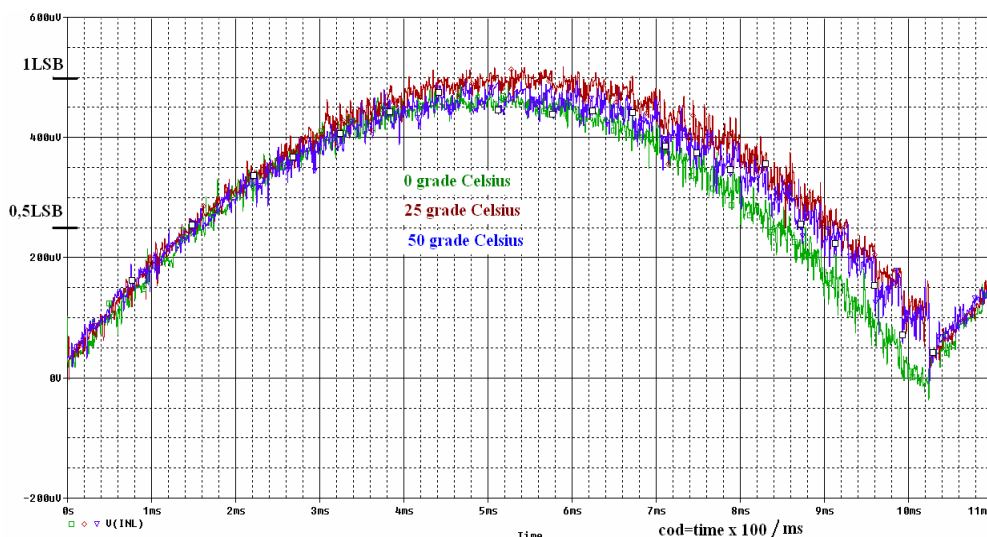


Fig.3.5 Dependența INL de codul aplicat la intrare

Se poate constata că pentru toate cazurile eroarea de liniaritate integrală este maximă aproximativ la jumătatea codului și este de ordinul a 1LSB, rezultat ce este verificat de relația (3.17).

**Reducerea INL** către valoarea maxim admisă de 0,5LSB se poate realiza fie prin **ajustarea câștigului**, fie prin **ajustarea offset-ului** convertorului. Analizând relațiile (2.12), (2.14), (2.15) și fig.2.1 din capitolul precedent, una din posibilitățile simple de ajustare în continuare a câștigului constă în ușoara modificare a raportului de aspect al tranzistoarelor M1, M2 și M3. Așa cum se observă în fig.3.6, valorile INL minimă și maximă devin simetrice, dar depășesc gama de  $\pm 0,5\text{LSB}$ . Ele sunt de aproximativ  $\pm 350\mu\text{V}$ , adică  $\pm 0,7\text{LSB}$ . În consecință, suntem obligați să recurgem la ajustarea offset-ului. Teoretic, diagrama din fig.3.5 trebuie translatată spre valori negative cu 0,5LSB. Acest lucru este posibil dar presupune o abatere punctuală de la teoria elementelor unitare de circuit. Dacă și segmentul mai puțin semnificativ al CNA ar fi fost comandat cu cod termometric, atunci sursa de curent unitară comandată de bitul LSB s-ar fi dimensionat pentru jumătate din valoarea curentului unitar. Acest lucru nefiind posibil, rămâne să intervenim asupra sursei comandate de cel mai puțin semnificativ bit din segmentul superior. Ținând cont de ponderea sa în tensiunea de ieșire a convertorului, ea se va dimensiona astfel încât să furnizeze un curent nu cu 50% mai mic ci cu  $(50\%)/32 \approx 1,5\%$  mai mic. Rezultatul acestei corecții poate fi observat în **fig.3.7**. Corecția nu intervine însă decât în momentul când codul ajunge la valoarea 32 (corespunzător la 0,32ms pe axa timpului), dar până în acel moment eroarea de liniaritate este încă în limita admisă. Pe ansamblul întregului cod se constată că INL se încadrează între  $-250\mu\text{V}$  și  $+250\mu\text{V}$ , respectiv între  $-0,5\text{LSB}$  și  $+0,5\text{LSB}$ .

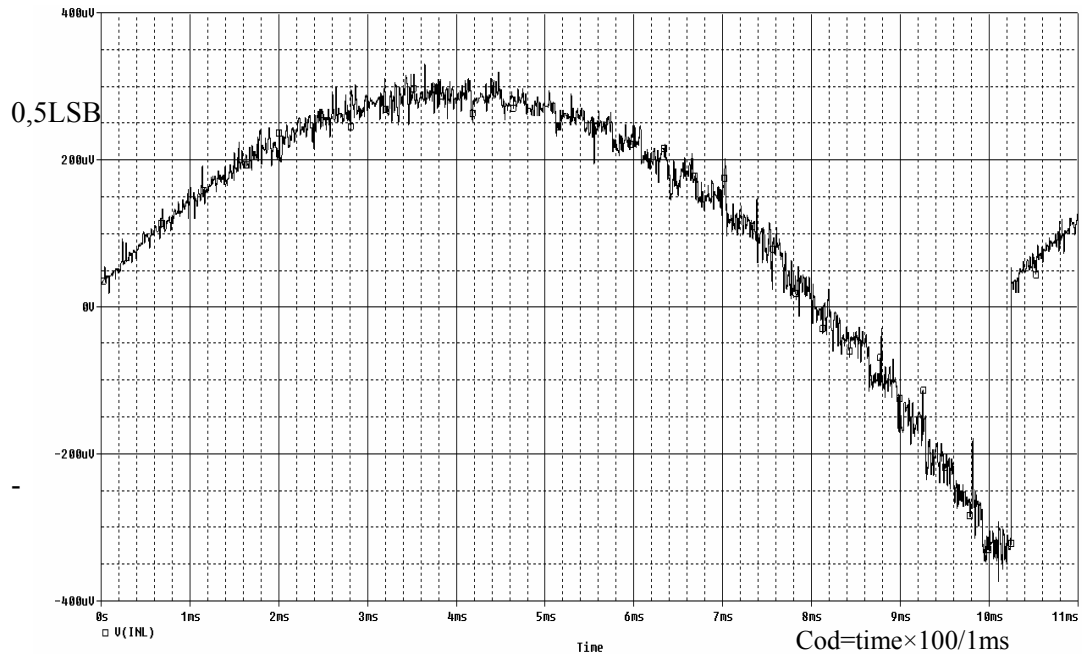


Fig.3.6 Reducerea INL prin ajustarea câștigului convertorului

În condițiile în care însă rezistența de ieșire finită nu este singura sursă de erori și nu se utilizează configurația cascodă pentru sursele de curent unitare, atunci trebuie mărită lungimea canalului tranzistoarelor pMOS. Adoptând, de exemplu, tranzistoare cu raportul de aspect de  $250\mu\text{m}/25\mu\text{m}$ , prin folosirea relației (3.17) se obține  $\text{INL}_{\text{max}}=0,76\text{LSB}$ . Acest lucru se poate constata și printr-o nouă simulare, al cărui rezultat este prezentat în fig.3.8.

Aplicând același tip de corecție de *offset* ca și în cazul anterior, INL se înjumătățește, ajungând la **maxim  $\pm 0,38\text{LSB}$** . Pentru ca dimensiunile tranzistoarelor să nu devină exagerate, scăderea în continuare a INL ar fi posibilă doar prin micșorarea FSR. Vom arăta însă puțin mai târziu că erorile cauzate de rezistența de ieșire finită pot să nu se cumuleze aditiv cu cele generate de neîmperecherea deterministică a tranzistoarelor ci într-un mod mult mai convenabil dacă se stabilește o geometrie specială a surselor de curent în *layout*.

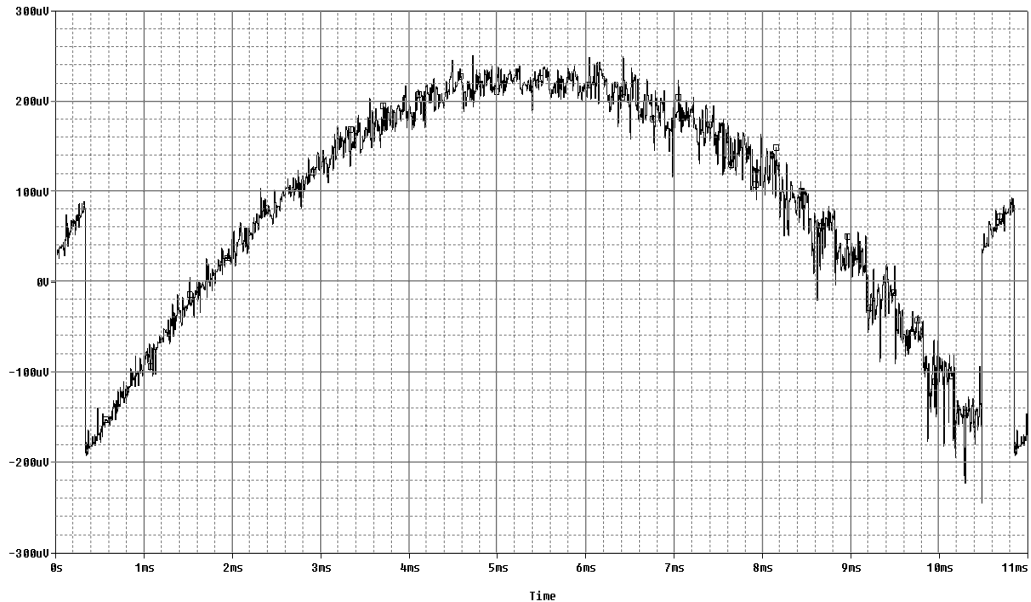


Fig.3.7 Reducerea INL prin ajustarea *offset*-ului convertorului

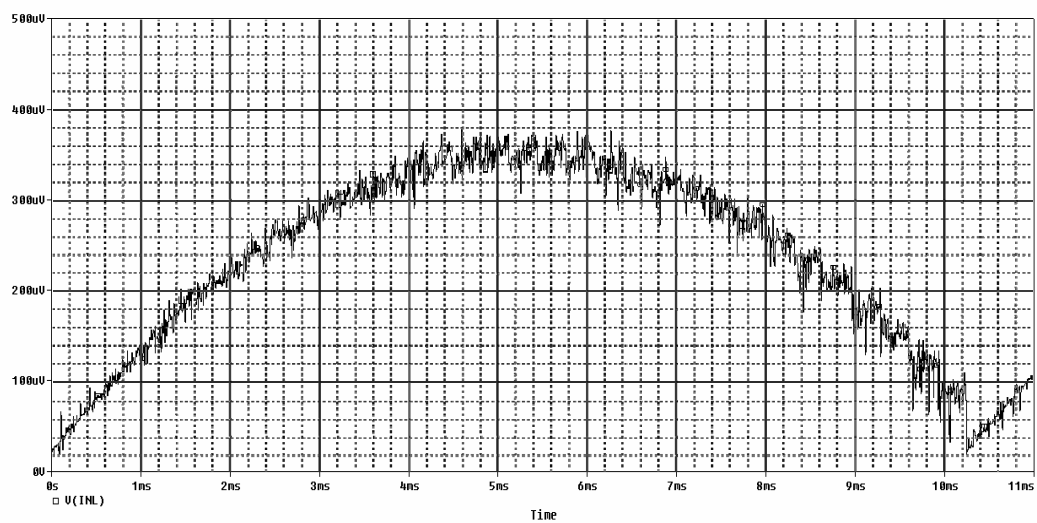


Fig.3.8 Variația INL în funcție de codul de intrare, pentru tranzistoare cu raportul de aspect de  $250\mu\text{m}/25\mu\text{m}$

Pentru a se verifica **menținerea în saturație** a tranzistorului pMOS cu comutatorul de curent comandat în stare „on”, s-au efectuat simulări de curent continuu folosind tensiuni de alimentare din ce în ce mai mici și în care tensiunea de ieșire a CNA a fost modificată liniar crescător. De exemplu, pentru o tensiune de alimentare de 1,5V, considerând sursa unitară cu dimensiunile menționate anterior

și comutatorul de curent având dimensiunile minime marcate în fig.2.6, s-a obținut rezultatul prezentat în fig.3.9. În prima diagramă s-a reprezentat curentul de ieșire, iar în a doua tensiunile de pe sursa de curent ( $V_{SD}=V_{DD}-V_{drena}$ ) și de pe elementul comutator ( $V_{drena}-V_{out}$ ).

Se poate constata că în condițiile menționate, tranzistorul-sursă de curent rămâne în saturație până la o valoare a tensiunii de ieșire de aproximativ 0,52V.

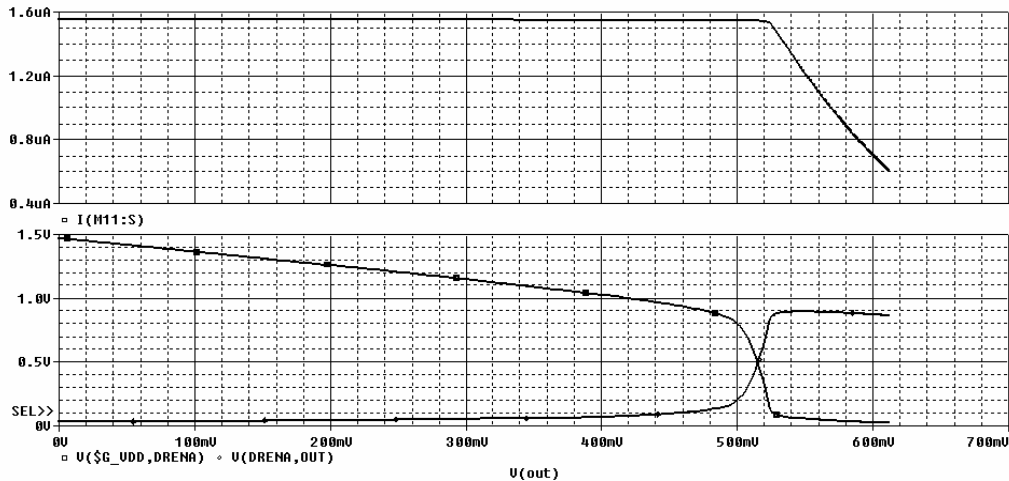


Fig.3.9 Reprezentarea curentului de ieșire, respectiv a tensiunilor pe sursa de curent și pe elementul comutator, în funcție de tensiunea de ieșire a CNA

Renunțarea la utilizarea cascodeilor în construcția surselor unitare va fi justificată luând în calcul și considerente de ordin dinamic, în capitolul 4 al tezei. Problematika sa va fi însă dezvoltată în cercetări viitoare ale autorului.

### 3.1.2 Compensarea efectului erorilor graduale de împerechere a surselor de curent

Dacă eroarea de liniaritate cauzată de influența impedanței de ieșire limitate a surselor de curent este adusă în limite acceptabile, liniaritatea convertorului numeric-analogic rămâne în continuare afectată de erorile de împerechere ale tranzistoarelor-surse de curent unitare, dependente de tehnologia utilizată. Aceste erori sunt atât de natură stohastică (erori aleatoare - o analiză amănunțită a lor este prezentată în paragraful următor) cât și sistematică (erori deterministice sau graduale). Pentru arhitecturi care nu includ operații de calibrare sau ajustare pe cip, așa cum este cazul aici, singura soluție de minimizare a efectului erorilor stohastice este efectiv mărirea ariei elementelor unitare. Dacă și rezoluția numerică a convertorului este importantă, atunci și numărul elementelor crește foarte mult. Așadar, în condițiile creșterii dimensiunii fizice a circuitului, erorile induse de gradienti tehnologici devin semnificative la nivelul cipului și trebuie neapărat compensate. Pentru aceasta, în literatură au fost prezentate diverse **scheme de comutare a elementelor unitare** (*switching schemes*) care de fapt constă în adoptarea unor tehnici de layout, prin care se stabilește o anumită ordine de comutare a surselor de curent la aplicarea de coduri succesive [1], [7], [12], [38],

[48], [69], [87]. Aceste tehnici au fost sintetizate în Referatul nr.3 la doctorat [86]. Se stabilește o astfel de ordine de comutare care să împiedice acumularea erorilor graduale.

Implementarea unor astfel de tehnici determină practic interconexiunile dintre ieșirea codorului termometric și *latch*-ul care furnizează semnalele de comandă ale comutatoarelor electronice ce controlează aria de surse unitare. Astfel, sursele de curent sunt numerotate după ordinea în care sunt comutate atunci când codul se modifică succesiv de la 0 la valoarea maximă.

Abordarea exhaustivă a acestei problematice, prin evaluarea tuturor secvențelor posibile este practic imposibilă. Chiar și pentru o arie de  $4 \times 4$  elemente unitare, numărul de combinații posibile este  $16!$ , adică aproximativ  $2,1 \cdot 10^{13}$ . Pentru o arie de 32 elemente, acest număr este  $32!$ , adică aproximativ  $2,6 \cdot 10^{35}$ . Din acest motiv, schemele clasice au fost deduse euristic, dar folosindu-se de simetria față de centrul ariei unitare (geometrie cu centru comun), preferându-se amplasarea elementelor în matrici pătratice.

Distribuția erorilor graduale în matrice poate fi aproximată prin dezvoltare în serie Taylor în jurul centrului de simetrie al ariei. Eroarea graduală ce afectează elementul poziționat pe coordonatele  $(x,y)$  se exprimă astfel:

$$\varepsilon(x, y) = a_0 + a_{11}x + a_{12}y + a_{21}x^2 + a_{22}y^2 + a_{23}xy + \dots \quad 3.18)$$

În mod general s-a considerat că termenii de ordin 1 (liniar) și 2 (pătratic) sunt suficienți pentru o foarte bună modelare a distribuției spațiale a erorilor graduale [1], [38] și sunt necorelați deoarece sunt generați de procese independente unul de celălalt [48], [87].

Astfel, **erorile graduale liniare,  $\varepsilon_l$** , sunt cauzate de variații ale grosimii oxidului de poartă rezultate în urma procesului de oxidare. Acest model liniarizat

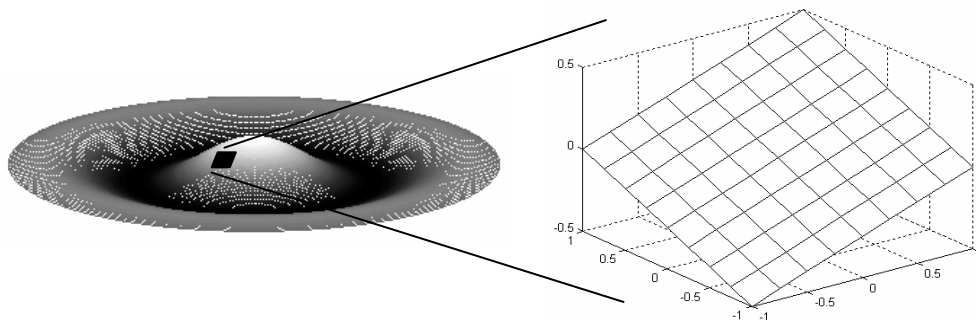


Fig.3.10 Liniarizarea pe mici porțiuni a erorii cu distribuție spațială circulară pe *wafer* apărută în urma procesului de oxidare

este posibil deoarece dimensiunile *wafer*-ului sunt mult mai mari decât ale cipului, distribuția spațială circulară de-a lungul *wafer*-ului a erorii graduale devenind liniară pe mici porțiuni, așa cum este sugerat în fig.3.10.

**Erorile graduale pătratice,  $\varepsilon_p$** , sunt cauzate în principal de gradientii de temperatură și de stresul mecanic al cipului din timpul procesului de încapsulare [87], [88]. Distribuția lor este indicată în fig.3.11.

În bibliografia citată, cele două tipuri de erori și aria de elemente unitare **se normalizează** pentru a facilita calculele și comparațiile între diferitele variante de scheme de comutare propuse. Atunci când se ia în considerare eroarea combinată, se preferă ca cele două erori să prezinte contribuții egale (50%), întrucât acest lucru corespunde cel mai bine situației reale în majoritatea tehnologiilor [38], [87]. Din acest motiv, diagramele din fig.3.10 și 3.11 prezintă maxime de 0,5. De asemenea, **erorile liniare  $\varepsilon_l$  se consideră simetric distribuite față de zero**, iar în cazul distribuției pătratice, **suma erorilor  $\varepsilon_p$  de valori pozitive se consideră egală cu modulul sumei erorilor  $\varepsilon_p$  de valori negative** (CNA are efectuată corecția de câștig la capătul scalei).

Ordinea de comutare stabilită prin algoritmi propuși rămâne valabilă și după scalarea valorilor acestor erori către cele din cazul real, respectiv după scalarea ariei de elemente unitare la dimensiunile reale.

Distribuția normalizată a erorii combinate  $\varepsilon_c$  este prezentată în fig.3.12.

Găsirea unui algoritm care să conducă la o secvență ce produce erori cumulate minime (INL minim) este însă mult îngreunată de faptul că înclinația planului de distribuție a erorilor liniare depinde de poziția cipului considerat în jurul centrului *waferei* și de distanța „r” față de el. Considerăm unghiul  $\theta$  făcut de raza r cu cu axa de referință în planul orizontal al *waferei*. Pentru elementul unitar poziționat pe coordonatele (x,y), eroarea cu distribuție liniară se scrie [87]:

$$\varepsilon_l(x,y) = g_l \cdot (\cos\theta \cdot x + \sin\theta \cdot y), \quad (3.19)$$

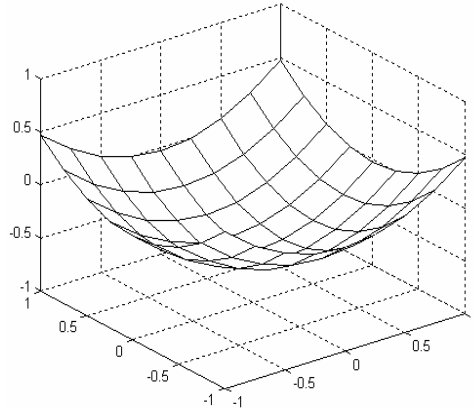


Fig.3.11 Distribuția erorii pătratice pe aria de surse de curent unitare

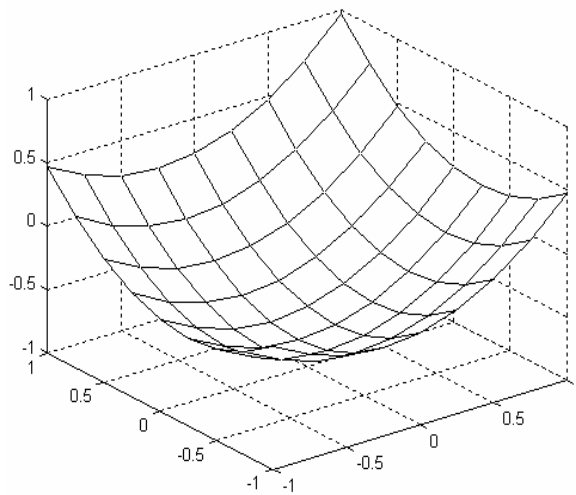


Fig.3.12 Distribuția normalizată a erorii combinate pe aria normalizată a surselor de curent unitare

în care  $g_l$  depinde de gradientii tehnologici rezultați prin procesul de oxidare.

Eroarea cu distribuție pătratică nu depinde de  $\theta$  și are forma [87]:

$$e_p(x,y) = g_p \cdot (x^2 + y^2) - a_0, \quad (3.20)$$

în care  $g_p$  depinde de gradientii imprimați prin solicitările termice și mecanice în etapa de fixare pe suport a plachetei de siliciu [88], iar  $a_0$  asigură egalitatea cu zero a sumei algebrice a acestor erori și depinde de  $g_p$  și de numărul de elemente  $N$  din arie. Eroarea combinată va fi așadar:

$$\varepsilon_c(x,y) = \varepsilon_l(x,y) + e_p(x,y), \quad (3.21)$$

iar eroarea de liniaritate integrală, după comutarea a  $k$  elemente din secvența considerată este:

$$INL_k = \sum_{i=1}^k \varepsilon_{c(i)}. \quad (3.22)$$

Ca și **observație foarte importantă**, este de menționat că distribuția liniară prezintă simetrie față de un punct (centrul ariei) iar distribuția pătratică prezintă simetrie față de o axă (axa perpendiculară pe arie în centrul său).

Până acum **algoritmii de căutare a secvenței optime** s-au bazat pe două categorii de metode:

a) În prima categorie s-a avut în vedere utilizarea geometriei cu centru comun pentru compensarea erorilor liniare și extinderea aplicării acestei metode în mod ierarhic pe fiecare din cele 4 subgrupuri simetrice de elemente unitare ale ariei de formă pătrată, dar întotdeauna elementele succesive erau selectate din fiecare zonă, pe rând câte o diagonală. Pentru limitarea (dar nu minimizarea) acumulării erorii pătratice, fiecare subgrupă prezenta un aranjament al elementelor care respecta geometria de centru comun dar era rotit cu 90, 180 sau 270 grade față de aranjamentul primei subgrupe. S-au obținut astfel geometrii cu centru comun de ordin II, adoptate în majoritatea lucrărilor citate. Subdivizarea în sub-subgrupuri (posibilă doar începând de la aria de  $8 \times 8$  elemente) conduce la obținerea geometriei de ordin III în care acumularea erorii pătratice este diminuată, fără ca fluctuația acumulării erorilor liniare să devină semnificativă [38].

Aceste metode cu caracter euristic erau ulterior verificate prin folosirea programelor de calcul și eventual ușor îmbunătățite prin rularea unui număr limitat de versiuni, derivate din ordinea de comutare a elementelor în subgrupuri, respectiv a subgrupurilor în grupurile de elemente.

b) A doua categorie de metode face apel la utilizarea unor calculatoare performante și stabilește o limită maxim admisibilă pentru eroarea acumulată (INL), plecând de la valoarea minimă ideală care este jumătate din cea mai mare eroare din arie [87]. Apoi se stabilesc perechi de elemente ce maximizează INL în limitele impuse, a căror ordine este testată succesiv, începând cu perechile de erori cu semne contrare. Programul rulează simultan pentru mai multe seturi de erori, corespunzătoare mai multor valori  $\theta$  cuprinse între 0 și 360 grade. Pentru micșorarea timpului de calcul buclele se întrerup atunci când într-un set condiția de încadrare în INL admisibil nu mai este îndeplinită. Deoarece programul nu este convergent în primul pas, se stabilesc iterativ limite admisibile mai mari pentru INL până la obținerea convergenței. Datorită timpului de calcul foarte mare, sunt puține șanse ca INL admisibil să fie stabilită în mod „inspirat” aproape de valoarea optimă. Un alt dezavantaj este acela că programul, lucrând cu seturi de matrici liniare (vectori), nu poate valorifica simetria distribuției individuale a erorilor liniare și pătratice.



Tinând cont de observațiile făcute mai sus, va fi propusă în continuare o metodă care minimizează simultan, la fiecare pas, atât eroarea liniară cât și cea pătratică. Metoda va uza de proprietățile de simetrie ale celor două tipuri de distribuții, în scopul obținerii unui compromis avantajos. Deoarece segmentul mai semnificativ al CNA prezentat în capitolul 2 este comandat de 5 biți, metoda va fi implementată pentru o arie de 32 elemente (cu un element nefolosit).

Comparația cu metodele prezentate în bibliografie, chiar dacă acestea utilizează arii de dimensiuni diferite, este posibilă deoarece atât aria cât și eroarea sunt normalizate.

Se adoptă astfel o arie de 6x6 elemente, ale căror colțuri nu vor fi ocupate cu surse unitare, pentru a rezulta 32 elemente, conform fig.3.13. Se împarte aria în patru zone sau grupuri de câte 8 elemente. Zonele sunt notate de la I la IV și sunt simetrice două câte două față de centrul comun. Compensarea perfectă a erorii liniare prin comutarea succesivă a elementelor simetrice față de centrul comun, câte unul din fiecare zonă (în ordinea în care au fost notate zonele), duce inevitabil la acumularea erorilor pătratice, indiferent de unghiul  $\theta$ .

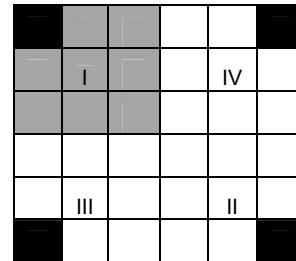


Fig.3.13 Aria de 32 elemente

Pentru păstrarea erorii liniare în limite cât mai mici, se impune ca fiecare set de 4 elemente, începând de la primul element, să conțină obligatoriu câte un element din fiecare zonă. Ordinea după care însă se selectează **poziția** următorului element din următoarea zonă va fi dată de un alt algoritm.

Tinând cont de simetria distribuției erorilor pătratice și de faptul că suma algebrică a tuturor erorilor pătratice din arie este zero, se deduce ușor că suma algebrică a erorilor pătratice din fiecare zonă de la I la IV este zero. În etapa 1, folosind un program scris în Matlab, se testează fiecare din cele  $8! = 40320$  combinații posibile în zona I (celelalte zone conțin seturi de erori identice, în absența erorii cu distribuție liniară) și se rețin cele aproximativ 50 secvențe distincte care, pentru orice  $k$  între 1 și 8, nu generează un INL mai mare decât INL global minim calculat prin program.

În etapa 2 se ordonează într-o matrice virtuală (4 linii, 8 coloane) valorile erorii combinate din fiecare locație pentru fiecare din cele 4 zone, după ordinea și implicit după poziția aferentă, rezultată în etapa 1. Dacă se consideră 8 valori echidistante ale unghiului  $\theta$  (între 0 și 360 grade), se obțin 8 seturi de matrici.

În etapa 3, pentru fiecare din cele 50 secvențe rezultate în etapa 1 se testează INL în cazul matricilor erorilor combinate aranjate în etapa 2, pentru fiecare  $k$  cuprins între 1 și 32 de-a lungul întregii arii. Regula după care se comută elementele este câte unul din fiecare zonă, dar fără a respecta neapărat succesiunea sugerată în figura 3.13. Prin program, regula (ordinea de selectare a zonelor din care se comută pe rând câte un element) se poate schimba la fiecare ciclu de patru comutări, în funcție de eroare integrală minimă obținută de-a lungul întregii secvențe.

Practic, se realizează o suprapunere a operațiilor de compensare a erorii liniare, respectiv a erorii pătratice. La final se selectează secvența care generează cel mai mic INL global pentru orice  $\theta$ .

Rezultatele obținute sunt prezentate în fig.3.14 iar secvența optimă de comutare în *layout* a elementelor unitare – în **fig.3.15**.

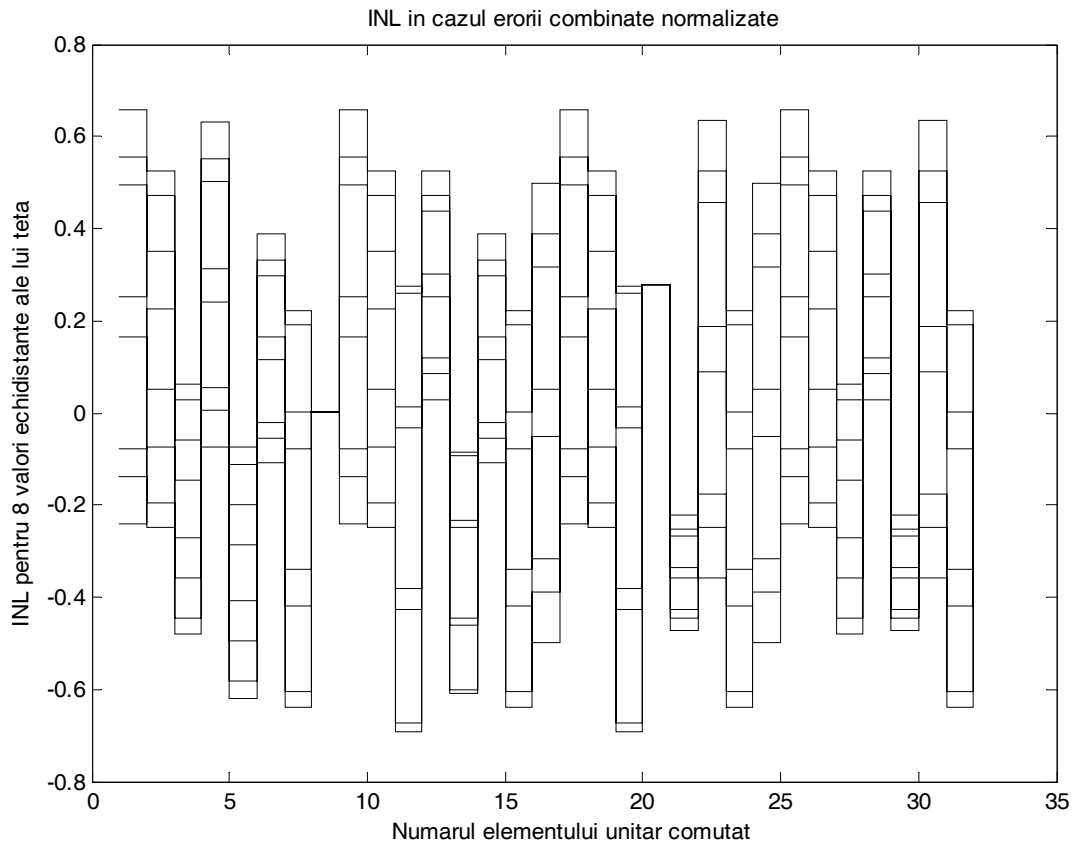


Fig.3.14 Variația INL pentru secvența optimă de comutare

După cum se poate constata din fig.3.14, INL este cuprins între aproximativ  $-0,65$  și  $+0,65$  indiferent care este unghiul  $\theta$ , adică indiferent care este amplasamentul cipului pe *wafers*. Această limită de eroare este cu doar 30% mai mare decât valoarea ideală a erorii minim posibile. În figura 3.15, în secvența optimă de comutare a surselor de curent unitare, al 32-lea element nu se mai folosește. Optimizarea secvenței de comutare fiind efectuată pentru un număr limitat de valori discrete ale unghiului  $\theta$ , este de interes cum variază INL maxim atunci când  $\theta$  variază cu pași mult mai mici între 0 și 360 grade pentru a se verifica dacă performanța obținută se poate garanta oricare ar fi amplasamentul cipului pe *wafers*.

	18	6	32	20	
12	15	1	3	23	10
24	27	29	5	25	14
8	11	13	21	9	30
28	31	17	19	7	26
	2	22	16	4	

Fig.3.15 Secvența optimă de comutare a surselor de curent unitare

Considerând ca bază de comparație lucrările foarte recente [38] și [89] în care se aplică metoda „Q3 Rotated Walk”, se poate constata în **fig.3.16** superioritatea soluției propuse în această teză, care prezintă o dependență mult mai

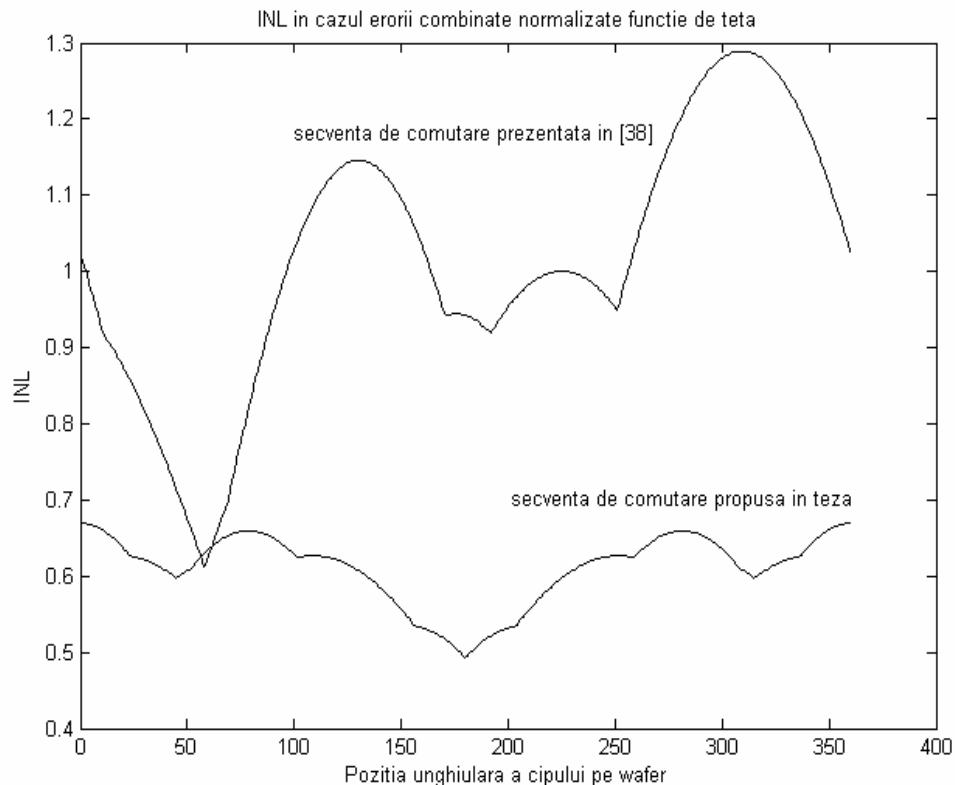


Fig.3.16 Dependența lui INL maxim, rezultat prin aplicarea secvenței de comutare a surselor de curent unitare, de poziția unghiulară a cipului pe wafer

redușă a erorii de acumulare de poziția cipului pe *wafer*. Practic  $(INL_{maxim})_{mediu}$  a scăzut de la 1,01 la 0,61, deci cu aproximativ 40%.

În plus, se constată prezența unui optim în jurul unghiului  $\theta=180^{\circ}$ . În acest caz însă matricea asociată de erori nu conține eroarea normalizată maximă ( $=1$ ).

Cu toate acestea, observația este extrem de utilă deoarece permite avansarea propunerii de a defini patru zone pe wafer corespunzătoare a patru sectoare de câte  $90^{\circ}$ . Pentru sectorul axat pe unghiul  $\theta=180^{\circ}$  ( $135^{\circ}\leq\theta\leq225^{\circ}$ ) se aplică secvența deja propusă în matricea din fig.3.15. Pentru celelalte trei sectoare se aplică secvențele rezultate prin rotirea aceleiași matrici cu  $90^{\circ}$ ,  $180^{\circ}$ , respectiv  $270^{\circ}$ .

Bineînțeles, la realizarea interconexiunilor dintre ieșirea codorului termometric și *latch*-ul care furnizează semnalele de comandă ale comutatoarelor electronice ce controlează aria de surse unitare, se vor utiliza măști diferite pentru fiecare sector de pe wafer, conform cu cele discutate mai sus. Eroarea rezultată este reprezentată în **fig.3.17** cu linie continuă și este comparată cu eroarea generată prin aplicarea aceleiași secvențe unice pe întreg waferul. Conform așteptărilor, pozițiile defavorabile pe wafer corespund unghiurilor  $\theta$  de  $45^{\circ}$ ,  $135^{\circ}$ ,  $225^{\circ}$  și  $315^{\circ}$  când matricea erorilor conține eroarea normalizată maximă egală cu 1. Acest lucru se poate constata și în fig.3.12 corespunzătoare lui  $\theta=45^{\circ}$ .

Pe ansamblu, metoda rotirii matricilor conduce, în medie, la o reducere suplimentară a  $(INL_{maxim})_{mediu}$  de la 0,61 la 0,54.

Pe baza informațiilor furnizate de diagramele din lucrarea [38] au putut fi făcute deducții cu privire la parametrii procesului tehnologic ce caracterizează

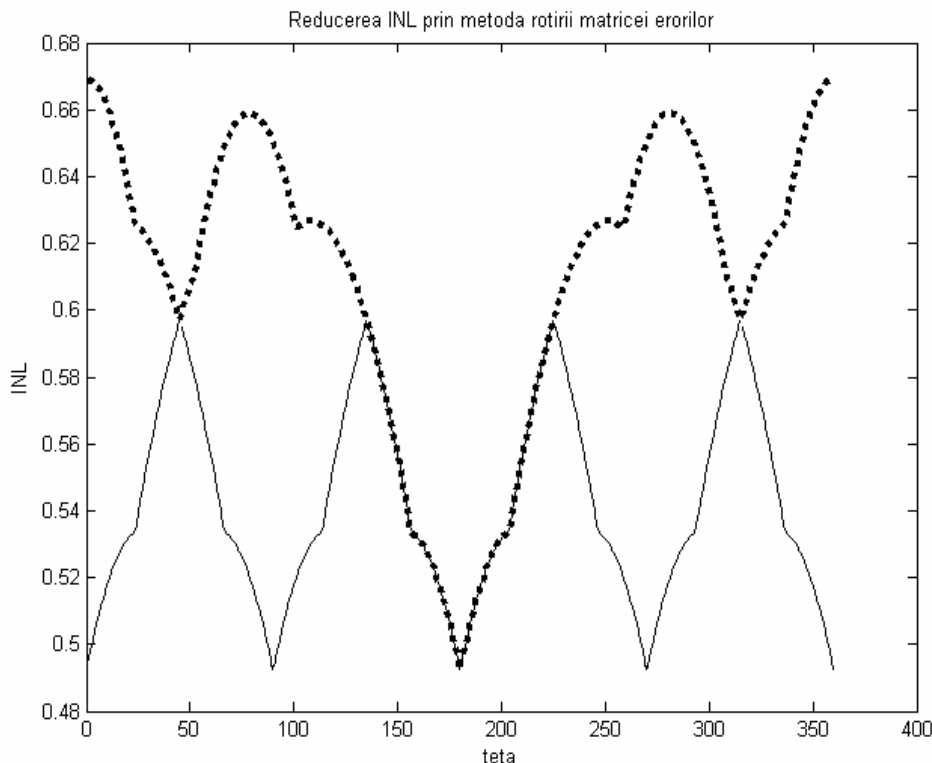


Fig.3.17 Reducerea INL prin metoda rotirii matricii erorilor

efectul de neîmperechere al elementelor unitare. S-a putut astfel stabili cu relativă precizie un factor de scalare de 10:1 între eroarea de împerechere normalizată și eroarea maximă de împerechere exprimată în unități LSB. Cu alte cuvinte, prin metoda concepută,  $INL_{maxim[LSB]} \approx (1/10)INL_{maxim_{Normalizat}} = 0,06LSB$ .

După cum se va vedea în capitolul următor, această performanță influențează nemijlocit și comportamentul dinamic al CNA prin reducerea armonicilor parazite din spectrul semnalului de ieșire al convertorului.

### 3.1.3 Reducerea efectului impedenței de ieșire limitate folosind secvențe de comutare speciale

Atunci când însă comportamentul dinamic (la înaltă frecvență) al convertorului numeric-analogic rămâne pe plan secund (cazul CNA de consum redus și preț scăzut folosite în rețele de senzori) se poate reduce complexitatea convertorului prin renunțarea la utilizarea cascodelelor în implementarea surselor de curent. Efectul impedenței mici de ieșire a surselor de curent poate fi compensat printr-o secvență specială de comutare a acestora.

Construind modelul matematic al convertorului propus în capitolul precedent și prezentând pentru sursa de curent unitară o rezistență de ieșire de valoare dată de relația (3.15), prin simulare Matlab s-a obținut diagrama din fig.3.18. Convertorul are inclusă corecția de câștig efectuată pentru capătul scalei.

Comparând fig.3.18 cu fig.3.5 se constată că practic s-a obținut aproximativ același rezultat, dar folosind un simulator de nivel comportamental mai scăzut decât al simulatorului OrCad. **Concluzia** este că o descriere corectă a modelului

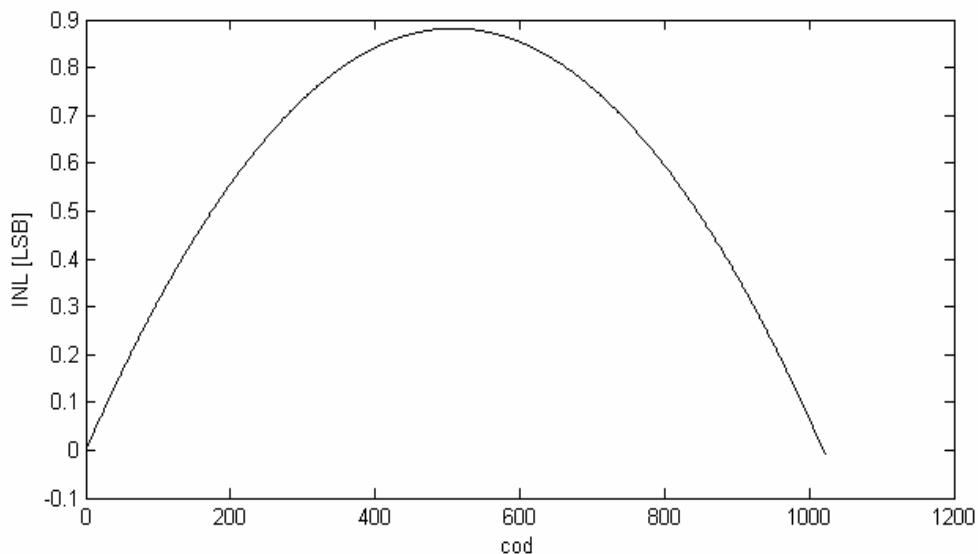


Fig.3.18 Simularea Matlab a efectului impedenței de ieșire limitate a CNA

matematic al convertorului permite obținerea unor rezultate relativ precise folosind simulatorul Matlab și cu avantaje nete în privința timpului de calcul.

În ce privește modul de conectare succesivă a elementelor unitare din aria considerată, contrar secvenței optime care minimizează INL, se găsesc la polul opus

două secvențe de comutare care permit acumularea maximă de eroare integrală fie către valori pozitive fie către valori negative. Deoarece avem ca scop reducerea INL de la valorile pozitive reprezentate în fig.3.18, cauzate de rezistența finită a surselor de curent unitare, este de interes evaluarea maximumului „negativ” generat prin conectarea sistematică și consecutivă a elementelor (**secvență minimală**) în ordinea crescândă a erorilor lor de ambele semne. Inițial nu se ia în considerare valoarea finită a rezistenței de ieșire a elementelor.

Erorile cu distribuție liniară care contribuie la acumulări negative pentru un anumit unghi  $\theta$ , vor contribui la acumulări pozitive pentru unghiul  $\theta+180^\circ$ . În concluzie ordinea de comutare va fi determinată doar de distribuția erorilor pătratice care nu depinde de unghiul  $\theta$ , erorile crescând începând din centrul ariei spre extremități. Efectuând evaluarea pentru opt seturi de matrici, corespunzătoare a opt valori echidistante ale unghiului  $\theta$ , se obțin diagramele din partea inferioară în **fig.3.19**.

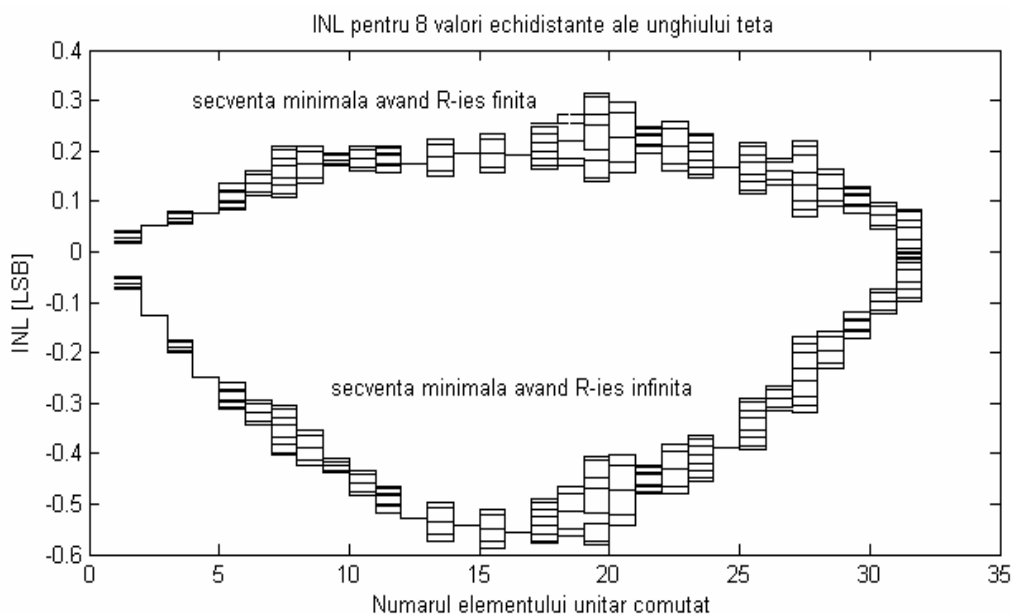


Fig.3.19 Seturile INL corespunzătoare secvenței minimale, cu R-ies finită și ideală

În a doua etapă, simularea se efectuează considerând fiecare element ca având o rezistență de ieșire finită dată de relația (3.15). Rezultatul combinației celor două comportamente neideale este reprezentat în fig.3.19 în partea superioară. Se poate constata că INL a scăzut de la 0,9 LSB (vezi fig. 3.18) la circa 0,3 LSB. În continuare, pentru înjumătățirea acestei erori se poate aplica aceeași metodă ca și cea al cărei efect este prezentat în fig.3.7, privind compensarea de *offset* a convertorului.

Deoarece în această metodă există o ordine prestabilită de conectare a elementelor, începând din centrul ariei, nu pot fi aplicate tehnici DEM (*dynamic element matching*) pentru îmbunătățirea comportamentului dinamic al CNA. Soluția oferită aici este însă foarte utilă în aplicații în care viteza convertorului nu joacă un rol esențial.

### 3.2 Măsurile pentru reducerea influenței erorilor de natură stohastică asupra preciziei convertorului

În acest paragraf se va face o analiză teoretică detaliată și se va verifica prin simulare felul în care precizia convertorului este influențată de **erorile stohastice de împerechere ale elementelor unitare** din structura CNA. Evaluarea acestor erori se va face prin aprecierea efectului lor asupra **deviației standard  $\sigma$**  a tensiunii maxime de ieșire a convertorului. În această situație, toate elementele unitare din arie contribuie cu erori individuale la efectul global.

Abordarea acestui aspect are la bază legile statistice privitoare la componente integrate, formulate de Pelgrom în 1989 [48], confirmate peste ani [49] și susținute de un număr de peste 250 citări bibliografice în baze de date ISI. Aceste legi se referă la procesul de generare a erorilor de împerechere care își au originea în distanța scurtă de corelație între evenimentele care le generează, în raport cu dimensiunile tranzistoarelor. În această categorie se includ fluctuații locale ale mobilității purtătorilor de sarcină, o anumită granularitate a oxidului de poartă etc.

Există însă și un proces de generare a erorilor de împerechere cauzat de distanța mare de corelație între evenimentele care le generează, raportată la dimensiunile tranzistoarelor [48], [87], [88]. Cu alte cuvinte, împerecherea componentelor este dependentă și de distanța între tranzistoare de-a lungul cipului și mai ales de-a lungul *wafer*-ului și își are originea în procesele de fabricație și oxidare a *wafer*-ului. Deși aceste procese sunt deterministice, cum poziția originală a cipului pe wafer devine necunoscută după încapsulare, ele sunt tratate de cele mai multe ori ca procese stohastice adiționale [61]. Parametrii lor sunt astfel, de multe ori, incluși în specificațiile de proces ce caracterizează comportamentul stohastic.

Obiectivul propus în acest paragraf este de a calcula și de a verifica prin

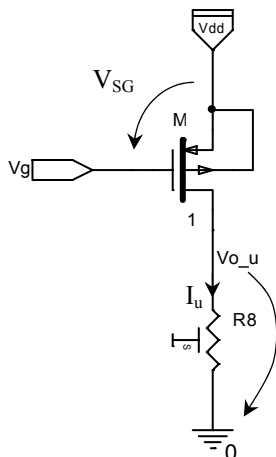


Fig.3.20 Sursa de current unitară

simulare deviația standard  $\sigma_M$  a tensiunii maxime de ieșire  $V_{oM}$  corespunzătoare codului maxim aplicat convertorului din fig.2.11. În acest cel mai defavorabil caz, toate sursele de curenți injectează curenți prin rezistențele  $R_8$  și  $R_9$  și deci toate tranzistoarele vor contribui cu erori stohastice de împerechere la valoarea așteptată a tensiunii de ieșire. Aceasta ne va furniza o importantă informație privind neliniaritatea integrală a CNA.

În primul rând se calculează deviația standard  $\sigma_o$  pentru cea mai mică tensiune de ieșire nenulă,  $V_{o-u}$  corespunzătoare rezoluției sale analogice. Această situație este prezentată în fig.3.20. Apoi, bazându-ne pe maniera în care tensiunea maximă de

ieșire este obținută și folosind proprietățile distribuțiilor normale (gaussiene) se va calcula  $\sigma_M$ .

Sursa de curenți unitară este realizată cu un tranzistor pMOS controlat de tensiunea  $V_{SG}$  asigurată prin mecanismul bandgap. Raportul de aspect al tranzistorului este  $W/L$ . Dimensiunile fizice ale rezistorului  $R_8$  sunt  $W_{R8}$  și respectiv

$L_{R8}$ . Pentru simplitate, au fost omise din fig.3.20 comutatorul de curent din drena tranzistorului pMOS, precum și ieșirea complementară.

Se poate scrie astfel:

$$V_{o\_u} = I_u \times R_8, \quad (3.23)$$

în care  $I_u$  este curentul prin tranzistorul M lucrând în regiunea de saturație:

$$I_u = \frac{\beta_u}{2} (V_{SG} - V_p)^2, \quad (3.24)$$

iar  $\beta_u$  și  $V_p$  sunt parametrul de transconductanță, respectiv tensiunea de prag a tranzistorului. Diferențiind relația (3.24) și folosindu-ne de expresia precizată pentru  $I_u$ , se obține eroarea absolută a curentului unitar [48]:

$$\Delta I_u = \Delta \beta_u \cdot \frac{I_u}{\beta_u} - \Delta V_p \cdot \frac{2I_u}{V_{SG} - V_p}. \quad (3.25)$$

În continuare, diferențiind relația (3.23) și folosindu-ne de relația (3.25) găsim prin normalizare eroarea relativă a tensiunii de ieșire „unitare”:

$$\frac{\Delta V_{o\_u}}{V_{o\_u}} = \frac{\Delta \beta_u}{\beta_u} - \frac{2}{V_{SG} - V_p} \times \Delta V_p + \frac{\Delta R_8}{R_8} \quad (3.26)$$

Considerând că  $\beta_u$ ,  $V_p$  și  $R_8$  prezintă distribuții normale (gaussiene), se poate scrie, conform [48]:

$$\sigma^2 \left( \frac{\Delta \beta_u}{\beta_u} \right) = \frac{A_\beta^2}{WL}; \quad \sigma^2 (\Delta V_p) = \frac{A_{Vp}^2}{WL}; \quad \sigma^2 \left( \frac{\Delta R_8}{R_8} \right) = \frac{A_R^2}{W_{R8} L_{R8}}. \quad (3.27)$$

Ecuatiile (3.27) exprimă varianța (dispersia) lui  $\beta_u$ ,  $V_p$  și  $R_8$  în funcție de parametrii de proces  $A_\beta$ ,  $A_{Vp}$  și  $A_R$ , precum și de aria dispozitivelor. Deoarece  $\beta_u$ ,  $V_p$  și  $R_8$  sunt mutual independente, varianța erorii relative a tensiunii de ieșire se scrie:

$$\sigma^2 \left( \frac{\Delta V_{o\_u}}{V_{o\_u}} \right) = \frac{A_\beta^2}{WL} + \frac{4}{(V_{SG} - V_{th})^2} \cdot \frac{A_{Vp}^2}{WL} + \frac{A_R^2}{W_{R8} L_{R8}}. \quad (3.28)$$

Acum se poate deduce formula practică ce ne furnizează deviația standard  $\sigma_0 = \sigma(\Delta V_{o\_u})$  a tensiunii de ieșire „unitare”:

$$\sigma_0 = V_{o\_u} \left( \frac{A_\beta^2}{WL} + \frac{2\beta_u' \cdot W}{L \cdot V_{o\_u}} \times \frac{A_{Vp}^2}{WL} + \frac{A_R^2}{W_{R8} L_{R8}} \right)^{\frac{1}{2}} \quad (3.29)$$

în care  $\beta_u'$  este transconductanța procesului. Această relație este mai generală decât cele furnizate de [48] și [68], întrucât se ține cont și de influența impreciziei



tehnologice a rezistorului conectat în nodul de ieșire al convertorului. Deoarece  $V_{o\_u}$  poate fi privită ca o tensiune sub-bandgap, conform [59],  $R_1$  din fig.2.2 și relația (2.12) și  $R_8$  satisfac relația:

$$\frac{R_1}{R_8} = \frac{V_{BG}}{V_{o\_u}} \times \frac{(W/L)_{\text{surse\_curent\_unitare}}}{(W/L)_{\text{sub-bandgap}}}, \quad (3.30)$$

în care  $V_{BG}$  este tensiunea bandgap iar  $(W/L)_{\text{sub\_bandgap}}$  este raportul de aspect al tranzistoarelor din fig.2.2.

În varianta propusă spre exemplificare în această lucrare s-a adoptat  $V_{o\_u}=0.5\text{mV}$ ,  $R_8=85\Omega$ ,  $W/L=250\text{u}/25\text{u}$  și  $W_{R8} \cdot L_{R8}=2W \cdot L$ . Din specificațiile procesului ( $0.35\mu\text{m}$  CMOS) dispunem de:  $A_\beta=1,13 \text{ \%} \cdot \mu\text{m}$ ,  $A_{VT}=10,87 \text{ mV} \cdot \mu\text{m}$ ,  $A_R=6,7\% \cdot \mu\text{m}$  și  $\beta'_u=67,4 \mu\text{A}/\text{V}^2$ . Astfel se obține deviația standard  $\sigma_o$ :

$$\sigma_o=0.5\text{mV} \times 10^{-3} \times (0.02+4.33+0.36)^{0.5} \cong 1.085\mu\text{V}. \quad (3.31)$$

Ca și în concluziile formulate în [48] se observă că termenul predominant de sub radical este al doilea, însă neapărat în condiția neprecizată de alți autori în literatură, ca aria rezistorului de ieșire (integrat) să fie suficient de mare (în cazul de față, cel puțin dublul ariei tranzistorului pMOS) [60]. Aceasta înseamnă că principala cauză care generează erori de împerechere stohastice rămâne fluctuația grosimii oxidului de poartă pe distanțe inferioare dimensiunilor tranzistorului.

În continuare, tensiunea maximă de ieșire a convertorului,  $V_{oM}$ , se măsoară de-a lungul rezistoarelor  $R_8$  și  $R_9$  în situația când toate sursele de curent unitare sunt conectate (fig.3.21). Pentru simplitate, s-au omis comutatoarele din drenele tranzistoarelor pMOS, precum și ieșirile complementare de curent.

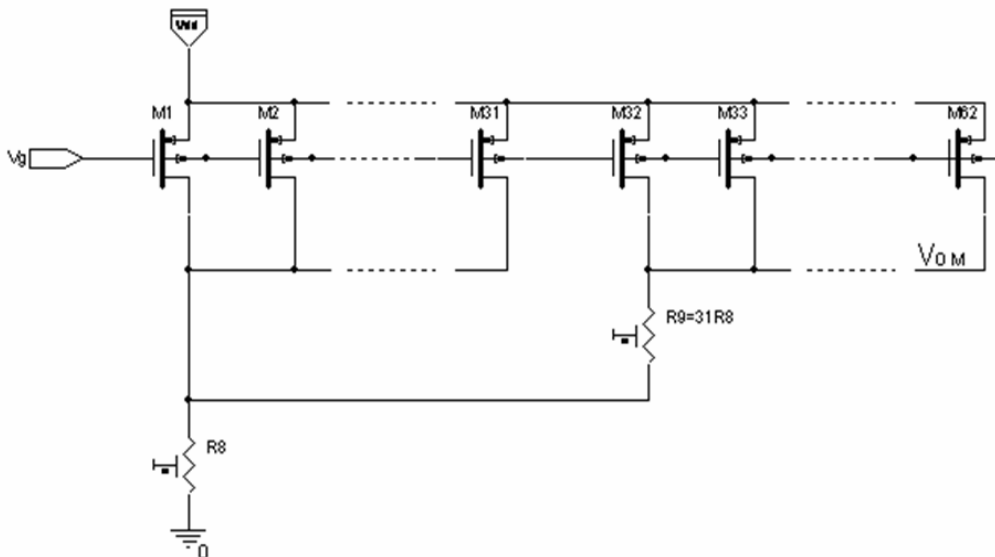


Fig.3.21 Conectarea simplificată a tuturor surselor de curent unitare din arie

$$V_{oM} = \sum_{j=1}^{62} I_{uj}R_8 + \sum_{k=32}^{62} I_{uk}R_9 . \tag{3.32}$$

Tinând cont că  $R_9=31R_8$ , pentru a păstra în limite acceptabile al treilea termen de sub radicalul din calculul (3.31) este neapărat necesar ca  $R_9$  să fie construită din 31 rezistențe egale ca valoare și care au aria egală cu a lui  $R_8$ . În acest fel  $V_{oM}$  devine:

$$\begin{aligned} V_{oM} &= \sum_{j=1}^{62} I_{uj}R_8 + \sum_{k=32}^{62} \left( I_{uk} \sum_{i=1}^{31} R_{8i} \right) \cong \sum_{j=1}^{62} I_{uj}R_8 + \sum_{k=32}^{62} (I_{uk} 31R_8) = \\ &= \sum_{j=1}^{62} V_{o\_uj} + \sum_{k=32}^{62} (31V_{o\_uk}) \end{aligned} \tag{3.33}$$

și toți cei 62+31 termeni sunt mutual independenți. Se știe că varianța unei sume de termeni independenți cu distribuție normală este suma varianțelor fiecărui termen. De asemenea, **varianța produsului** dintre un număr pozitiv și o mărime cu distribuție normală este dată de produsul dintre pătratul numărului și varianța mărimii respective. Astfel, varianța tensiunii  $V_{oM}$  se calculează:

$$\sigma_M^2 = 62\sigma_o^2 + 31 \times 31^2 \sigma_o^2 = 29853\sigma_o^2 ,$$

iar deviația standard  $\sigma_M$  a lui  $V_{oM}$  devine:

$$\sigma_M \cong 173 \sigma_o = 0.187mV.$$

Convertorul a fost simulat cu programul OrCAD folosind modelele PSPICE disponibile ale componentelor din tehnologia CMOS 0,35 $\mu$ m. În modele au fost incluși parametri speciali care au permis analiza de tip **Monte Carlo** a dispozitivelor active folosite ce prezintă eroare stohastică de împerechere. Analiza Monte Carlo a inclus 200 de rulări ale programului, iar rezultatele simulării sunt prezentate în fig.3.22.

După cum se observă în figură, deviația standard  $\sigma$  a tensiunii de ieșire maxime este de 0,18mV, deci este foarte aproape de valoarea calculată. În distribuția normală (gaussiană), în limitele de  $V_{oM} \pm \sigma$  sunt cuprinse 67% din cazuri

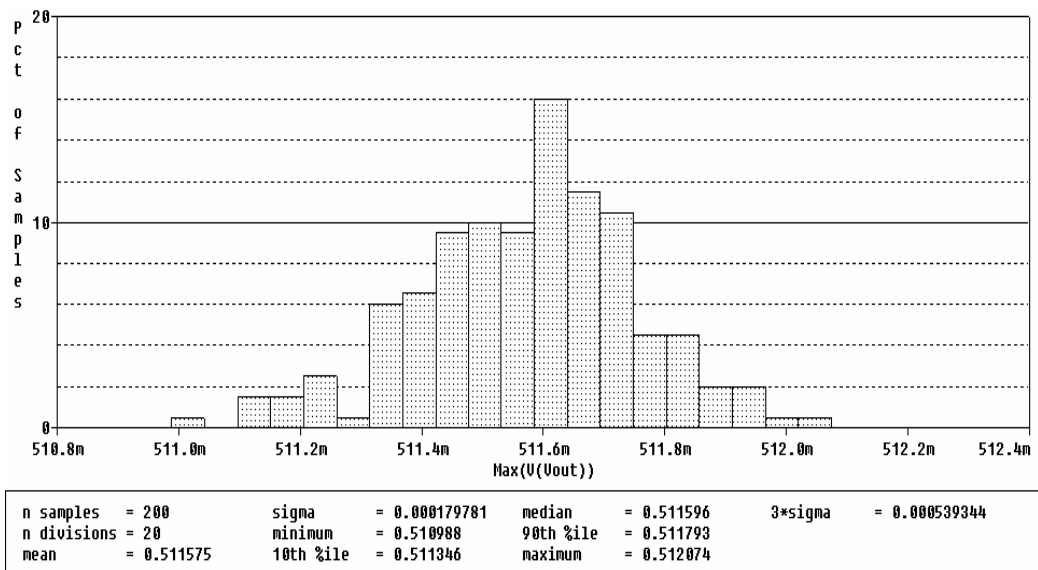


Fig.3.22 Rezultatele simulării Monte Carlo a CNA

(din cipuri). În limitele acceptate  $V_{OM} \pm 0,5\text{LSB}$  sunt cuprinse aproximativ 85% din cazuri. Conform rezultatelor simulării și proprietăților distribuțiilor normale, în 99,7% din implementările în siliciu, tensiunea de ieșire a convertorului se încadrează în limitele  $V_{OM} \pm 1\text{LSB}$  ( $V_{OM} \pm 3\sigma$ ).

O **precizare importantă** mai trebuie totuși făcută pentru a putea considera întru totul corectă dimensionarea tranzistoarelor din structura convertorului. Parametrii de proces care caracterizează comportamentul stohastic includ și erorile deterministice cauzate de gradienti (ele sunt incluse în cele de natură stohastică deoarece poziția originală a cipului pe wafer devine necunoscută după încapsulare). Ori, cum erorile graduale au contribuție comparabilă cu cele stohastice și au fost deja minimizate prin soluțiile propuse în paragraful precedent, calculele și **rezultatele simulărilor de mai sus sunt mai mult decât acoperitoare [61]**. Se poate spune, fără a greși prea mult, că încadrarea tensiunii de ieșire în limitele admisibile de  $V_{OM} \pm 0,5\text{LSB}$  poate fi peste 98%.

### 3.3 Concluzii la capitolul 3

Pentru aprecierea efectului erorilor cauzate de rezistența finită de ieșire a tranzistoarelor ce formează sursele de curent ale convertorului, în primul subparagraf din capitol a fost stabilit modelul electric al noului circuit (fig.3.2) ce pune în evidență influența codului de comandă asupra tensiunii de ieșire a CNA. Pe baza acestui model s-a demonstrat că eroarea de liniaritate integrală, INL, este aceeași cu a unui convertor ipotetic fără segmentare. De asemenea, s-a arătat că atunci când nu se folosesc cascode ci tranzistoare simple în construcția surselor de curent, eroarea integrală nu depinde de valoarea rezistenței de sarcină pentru structura propusă, indicând astfel posibilitatea scăderii semnificative a consumului de curent de la sursa de alimentare. În plus, au fost oferite soluții concrete pentru menținerea INL în limitele admisibile, simultan cu menținerea complexității reduse a convertorului. Pentru a se verifica încadrarea în parametrii statici, a fost concepută și folosită la simulare o schemă de test originală, care permite verificarea preciziei oricărui tip de convertor numeric-analogic ce poate fi modelat în mediul de proiectare OrCAD pe baza unei librării de componente specifice tehnologiei utilizate.

În subparagraful 3.1.2 a fost stabilit un algoritm original prin care se găsește matricea ce conține secvența optimă de comutare a tranzistoarelor-surse de curent unitare afectate de erori graduale, care minimizează la fiecare pas (cod) și indiferent de poziția cipului pe wafer, eroarea integrală a convertorului. Rezultatele obținute au fost net superioare celor raportate de lucrări foarte recente publicate în reviste IEEE. Tot aici, valorificând comportamentul mai favorabil din punct de vedere al valorii INL maxime pentru anumite unghiuri de dispunere a cipului pe wafer la aplicarea secvenței optime, a fost găsită o nouă metodă pentru reducerea în continuare a erorii integrale a CNA. Metoda a presupus subîmpărțirea waferului în patru sectoare egale și aplicarea a patru secvențe distincte, obținute prin rotirea matricei optime cu multipli de  $90^{\circ}$ .

În al treilea subparagraf s-a arătat cum pot fi reduse pretențiile asupra rezistenței de ieșire finite a surselor de curent unitare și deci cum pot fi relaxate specificațiile de proiectare privind precizia convertorului. Stabilind o secvență de comutare specială a tranzistoarelor din arie, tranzistoare afectate de erori de împerechere graduale, s-a putut compensa în proporție de circa 66% efectul impedanței de ieșire limitate a acestora.

În paragraful 2 s-a analizat efectul erorilor stohastice de împerechere a tranzistoarelor-surse de curent unitare asupra preciziei convertorului și s-au dedus noi relații ce caracterizează comportamentul său „statistic”. Aceste relații, cu grad de generalitate mai mare decât în referințele bibliografice, au permis dimensionarea corectă a elementelor convertorului numeric-analogic.

## Capitolul 4

# ANALIZA FUNCȚIONĂRII DINAMICE A CNA PROPUS ȘI SOLUȚII PENTRU ÎMBUNĂTĂȚIREA PERFORMANȚELOR

Analizele efectuate și soluțiile propuse în acest capitol vor viza găsirea **celui mai bun compromis** între performanța dinamică a convertorului ce constituie obiectul tezei și care prezintă ieșire nesimetrică, pe de o parte și obținerea unui cost mic de fabricație (simplitate) și a unui consum redus de la sursa de alimentare, pe de altă parte.

Astfel, în primul paragraf se va elabora modelul matematic al convertorului propus ce include ca sursă de eroare doar efectul impedanței de ieșire limitate a surselor de curent din structura sa. Va fi prezentat calculul raportului semnal pe zgomot și distorsiune, SINAD și al parametrului SFDR (gama dinamică efectivă a convertorului), valorile teoretice obținute fiind apoi confruntate și validate prin rezultatul simulărilor efectuate cu programul Matlab.

Tot aici se va argumenta posibilitatea de renunțare la configurația cascadă pentru sursele de curent ale convertorului, demonstrându-se că numărul de biți adoptat în exemplul de proiectare pentru structura propusă în teză se situează la limita la care încă se mai pot utiliza simple tranzistoare ca și surse de curent unitare.

În paragraful al doilea se va elabora modelul matematic al convertorului propus ce include doar efectul erorilor de împerechere. Apoi, folosind mediul Matlab se va crea modelul combinat ce include ambele tipuri de comportament neideal. Vor fi astfel evaluați în mod global prin calcul și simulare principalii parametri de regim dinamic ai convertorului analog-numeric: **SINAD**, **SFDR**, distorsiunea de intermodulație de ordin 3, **IMD3**, precum și numărul efectiv de biți ai convertorului, **ENOB**.

În paragraful al treilea se va pune în balanță relativa degradare a spectrului semnalului de ieșire (constatată în paragraful 2), cauzată de sursele de eroare menționate mai sus, agravante în contextul utilizării tipului de ieșire nesimetrică, cu posibilitatea aplicării unei metode originale de eliminare a glicierilor, ce obligă însă la adoptarea acestui tip de ieșire pentru CNA. Cu alte cuvinte, ce se va pierde prin neutilizarea cascodei, nici a ieșirii simetrice, se va câștiga prin eliminarea principalei cauze care poluează spectrul de ieșire [2], [8], [13], [14], [21], [41], [68].

### 4.1 Analiza influenței impedanței de ieșire limitate asupra comportamentului în regim dinamic al CNA

Chiar dacă CNA propus în această lucrare nu este dimensionat pentru funcționare la înaltă frecvență, analiza în regim dinamic este întotdeauna necesară și vizează **evaluarea deteriorării purității spectrale** a semnalului de ieșire al convertorului la aplicarea unei unde sinusoidale de intrare.

Practic, spectrul semnalului de ieșire este obținut prin aplicarea unei succesiuni de coduri binare corespunzătoare eșantioanelor unui semnal sinusoidal și este analizat în gama de frecvență de până la jumătate din frecvența de eșantionare. Deoarece această gamă diferă de la un convertor la altul, frecvența semnalului de test se normalizează la frecvența de eșantionare, analiza spectrală efectuându-se în domeniul  $0 \div 0,5$ .

Pentru convertorul cu impedanță de ieșire limitată care, pe lângă zgomotul de cuantizare, prezintă și armonici parazite ale semnalului de test, raportul semnal pe zgomot și distorsiune **SINAD**, la scară liniară, se definește (§1.2.2):

$$\text{SINAD}_L = \frac{P_1}{P_{er}} = \frac{P_1}{P_{zg,q} + P_\varepsilon} = \frac{P_1}{P_{zg,q} + \sum_{k=2}^{\infty} P_k} \quad (4.1)$$

în care  $P_1$  este puterea semnalului de test sinusoidal, iar  $P_{er}$  este puterea mediată în timp a erorii convertorului real, formată din puterea zgomotului de cuantizare  $P_{zg,q}$  considerat ca și zgomot alb și puterea totală a armonicilor nedorite,  $P_\varepsilon$ .

În capitolul precedent s-a demonstrat prin intermediul relațiilor (3.1)÷(3.7) că din punct de vedere al impedanței de ieșire, comportamentul convertorului segmentat este același cu al convertorului fără segmentare și rezistență de sarcină  $R'$ . Rescriind relația (3.7) folosind  $R'$  și considerând  $I_u \gg V_{DD}/R_u$  ( $I_u$  fiind curentul unitar iar  $R_u$  rezistența de ieșire a sursei de curent unitare) se obține:

$$V_o(X) \cong I_u R' \cdot \frac{X}{1 + \frac{R'}{R_u} \cdot X} = I_u R' \cdot \frac{X}{1 + \rho \cdot X} \quad (4.2)$$

în care  $X$  este valoarea zecimală a codului de comandă, iar  $\rho$  arată cât de mică este  $R'$  în raport cu  $R_u$ .

Eroarea care se comite la aplicarea codului  $X$  este:

$$\Delta V_o(X) = I_u R' X - I_u R' \cdot \frac{X}{1 + \rho \cdot X} = I_u R' \cdot \frac{\rho \cdot X^2}{1 + \rho \cdot X} \quad (4.3)$$

Folosind metoda descrisă în [68], puterea erorii generate la aplicarea codului  $X$  (și deci dependentă de  $X$  din cauza impedanței de ieșire finite) se obține prin compararea eșantionului real cu tensiunea ideală de la ieșirea unui CNA cu număr infinit de biți (cu variație liniară) și medierea pe perioada de eșantionare, conform relației (4.4):

$$\begin{aligned} P_{er}(X) &= \frac{1}{T_{es}} \int_{-\frac{T_{es}}{2}}^{\frac{T_{es}}{2}} [\Delta V_o(X) - (\frac{t}{T_{es}} I_u R')]^2 dt = \frac{R' I_u^2}{12} + R' I_u^2 \cdot \overline{\left( \frac{\rho \cdot X^2}{1 + \rho \cdot X} \right)^2} = \\ &= P_{zg,q} + P_\varepsilon(X) \end{aligned} \quad (4.4)$$

În relația (4.4) termenul care nu depinde de  $X$  a fost identificat ca fiind puterea zgomotului de cuantizare,  $P_{zg,q}$ .

În continuare se adoptă ca și **semnal de test** succesiunea de coduri de la ieșirea unui CAN ideal pe  $N$  biți, atacat cu o undă sinusoidală *full scale* de componentă continuă și amplitudine egale cu  $R'I_u \cdot \frac{X_{\max}}{2} \cong R'I_u \cdot 2^{N-1}$  și de

frecvență normalizată  $\frac{f}{f_{es}}$ . Valoarea în zecimal a codului „ $n$ ” din secvență este dată de expresia (4.5):

$$X(n) = 2^{N-1} + 2^{N-1} \sin\left(2\pi \cdot \frac{f}{f_{es}} \cdot n\right) + \varepsilon \quad (4.5)$$

în care  $\varepsilon$  este eroarea de cuantizare, care se consideră zgomot alb deoarece numărul de biți  $N$  al CNA adoptat este suficient de mare. Puterea  $P_1$  a semnalului de test este dată de relația (4.6):

$$P_1 = R'I_u^2 \cdot \frac{(2^{N-1})^2}{2} = R'I_u^2 \cdot 2^{2N-3}. \quad (4.6)$$

Pentru calculul lui  $P_\varepsilon$  și deci al lui  $P_{er}$ , necesare la calculul SINAD cu relația (4.1), se înlocuiește (4.5) în (4.4) (fără  $\varepsilon$  deoarece efectul ei major a fost luat deja în considerare) și se mediază  $P_{er}(X)$  pe o perioadă a semnalului de test, adică după un număr de eșantioane egal cu  $f_{es}/f$ . Conform metodei [68] se obține pentru acest convertor:

$$\text{SINAD}_L = \frac{2^{2N-3}}{\frac{1}{12} + 27\rho'^2 \cdot 2^{4N-7}}, \quad (4.7)$$

în care  $\rho'$  este dat de expresia (4.8):

$$\rho' = \frac{\rho}{1 + \rho \cdot 2^{N-1}}. \quad (4.8)$$

Exprimând SINAD în dB se obține:

$$\text{SINAD} \cong 6,02 \cdot N + 1,76 - 10 \lg(1 + 81\rho'^2 \cdot 2^{4N-5}) \text{ [dB]}. \quad (4.9)$$

Pentru un convertor cu impedanță de ieșire foarte mare, la care  $\rho' \approx \rho \rightarrow 0$ , ultimul termen din expresia (4.9) devine neglijabil iar zgomotul de cuantizare devine dominant, regăsind pentru SINAD expresia dată de relația (1.2). Pentru un astfel de convertor, dacă  $N=10$ , se obține  $\text{SINAD} \approx 61,78 \text{ dB}$ .

Reprezentarea SINAD funcție de raportul  $R'/R_u$  pentru un convertor pe 10 biți este prezentată în fig.4.1.

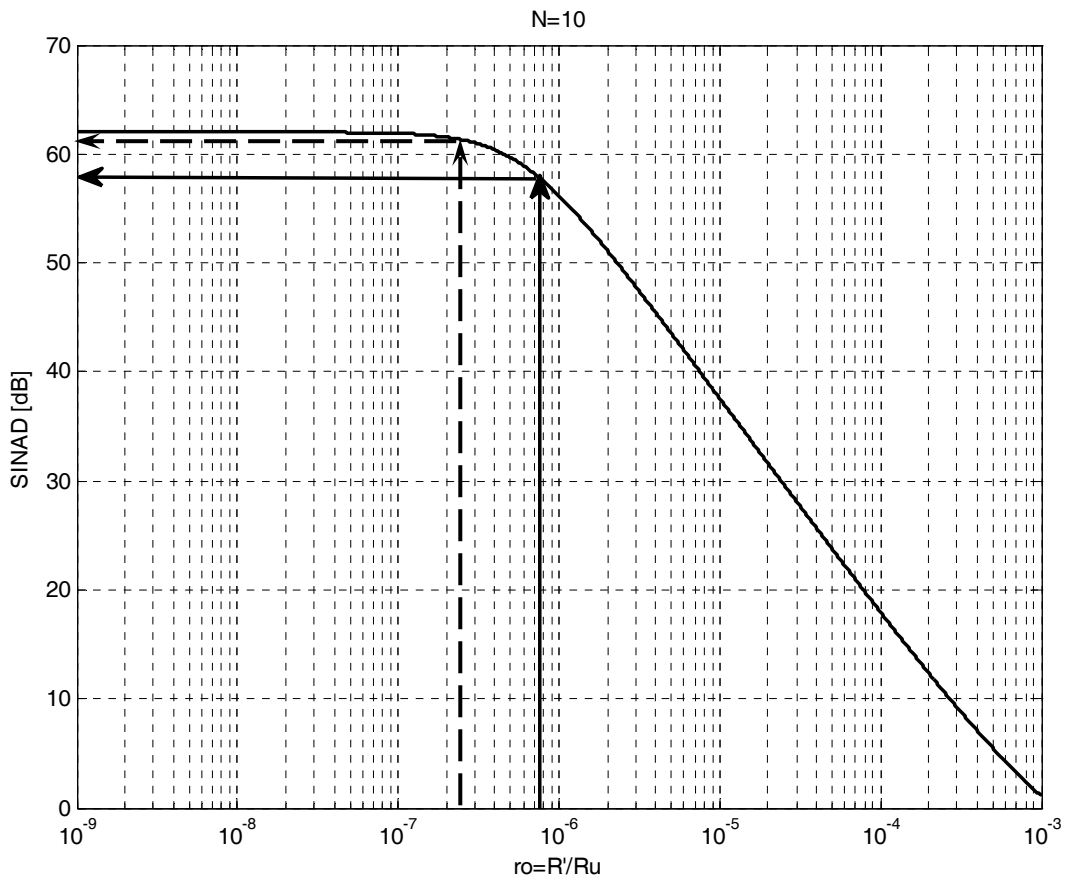


Fig.4.1 Dependența SINAD de raportul  $\rho=R'/R_u$  pentru un CNA pe 10 biți

Analizând relația (4.8) se constată că  $\rho'$  începe să difere de  $\rho$  abia atunci când factorul de la numitor se depărtează semnificativ de valoarea 1, fapt care se întâmplă pentru valori  $\rho > 10^{-4}$  (pentru  $N=10$ ) și care se manifestă pe diagrama din fig.4.1 printr-o abatere de la căderea liniară a SINAD în extremitatea sa dreaptă. În această zonă oricum valoarea SINAD nu mai prezintă interes și deci în relația (4.9) se poate considera  $\rho'=\rho$ .

Pentru convertorul propus în această lucrare, ce nu utilizează cascade pentru creșterea impedanței de ieșire (pentru care, potrivit valorilor adoptate spre exemplificare în paragraful 3.2,  $\rho=85\Omega/108M\Omega \approx 7,87 \cdot 10^{-7}$ ) se obține o pierdere de aproximativ 4,35dB în valoarea SINAD. Aceasta se poate constata și din fig.4.1, urmărind săgețile trasate cu linie continuă.



Înlocuind în relația (3.8) raportul  $R'/R_u$  cu  $\rho$ , se obține:

$$INL_{\rho} = \frac{\rho \cdot X_{\max}^2}{4} [\text{LSB}] \quad (4.10)$$

Dacă se aplică acestui convertor metoda de comandă a ariei de surse de curent unitare descrisă în paragraful 3.1.3, pe baza rezultatelor simulărilor din fig.3.18 și fig.3.19, INL se reduce de aproximativ trei ori. Rescriind relația (4.10) pentru acest caz se obține:

$$INL_{\text{ech}} = \frac{\rho_{\text{ech}} \cdot X_{\max}^2}{4} [\text{LSB}] \cong \frac{INL_{\rho}}{3} \quad (4.11)$$

Din relațiile (4.10) și (4.11) rezultă că  $\rho_{\text{ech}}$  este de circa trei ori mai mic decât  $\rho$ . Practic, din punct de vedere al influenței impedanței de ieșire asupra comportamentului convertorului, aplicarea metodei menționate este echivalentă cu o creștere virtuală de circa trei ori a impedanței de ieșire a surselor de curent unitare. În aceste condiții, folosind în relația (4.9) valoarea  $\rho_{\text{ech}}=2,62 \cdot 10^{-7}$  se obține pentru SINAD valoarea de 61dB, adică deprecierea acestuia față de cazul unui CNA ideal pe 10 biți este sub 1 dB. Acest lucru se poate constata și pe diagrama din fig.4.1 dacă se urmăresc săgețile cu linie întreruptă.

Parametrul SINAD ne furnizează o informație utilă cu privire la puterea totală a erorii pe care o manifestă un convertor numeric-analogic. În multe aplicații însă, este mai util de cunoscut felul în care această eroare este distribuită în domeniul frecvență și în special cât de mari sunt armonicile din spectrul semnalului de ieșire. Din acest motiv, analiza următoare va viza evaluarea și verificarea prin simulare a **parametrului SFDR** al convertorului care prezintă impedanță finită de ieșire. Analiza teoretică a fost efectuată folosind metoda matematică descrisă în [68].

Atacând convertorul, al cărui comportament este descris de relația (4.2), cu secvența descrisă de relația (4.5) în care neglijăm eroarea de cuantizare, se obține:

$$\begin{aligned} V_o(X) &= I_u R' \cdot \frac{2^{N-1} (1 + \sin \alpha)}{1 + \rho \cdot 2^{N-1} (1 + \sin \alpha)} = \\ &= V_{\text{oDC}} - K_{\text{AC}} \cdot \frac{1}{1 + 2^{N-1} \rho' \sin \alpha} \end{aligned} \quad (4.12)$$

unde  $\alpha = 2\pi \cdot \frac{f}{f_{\text{es}}} \cdot n$ , iar  $\rho'$  e dat de relația (4.8). Relația de mai sus a fost

prelucrată în așa fel încât să se separe componenta de curent continuu (primul termen, care nu depinde de  $\alpha$ ) de componenta de curent alternativ (al doilea termen). Deoarece în evaluarea SFDR contează doar raportul între puterea fundamentalei și puterea celei mai mari armonici, se va face abstracție de semnul și coeficientul  $K_{\text{AC}}$  al celui de-al doilea termen. Așadar, dezvoltând în serie Taylor

raportul  $\frac{1}{1 + 2^{N-1} \rho' \sin \alpha}$  și folosind relațiile trigonometrice care exprimă  $(\sin \alpha)^k$

în funcție de  $\sin(i\alpha)$  și  $\cos(i\alpha)$ , cu  $i=0\dots k$ , s-a constatat că amplitudinea armonicilor de rang din ce în ce mai mare este descrescătoare. Prin separarea fundamentalei de amplitudine relativă  $A_1$  și a următoarei armonici de amplitudine relativă  $A_2$ , se obține valoarea SFDR la scară liniară dată de relația [68]:

$$\text{SFDR}_L = \frac{P_1}{P_2} = \left( \frac{A_1}{A_2} \right)^2 = \left( \frac{1 + \sqrt{1 - (2^{N-1} \rho')^2}}{2^{N-1} \rho'} \right)^2 \quad (4.13)$$

Considerând și aici exemplul de proiectare folosit la evaluarea SINAD, cu  $N=10$ ,  $\rho' \approx \rho = 7,87 \cdot 10^{-7}$  și deci  $2^{N-1} \rho' < 1$ , se obține cu bună aproximație:

$$\text{SFDR}_L = \left( \frac{2}{2^{N-1} \rho} \right)^2. \quad (4.14)$$

Exprimând SFDR în dB se obține [68]:

$$\text{SFDR} = -20 \lg(\rho) - 6(N-2) \text{ [dB]}. \quad (4.15)$$

Reprezentarea SFDR funcție de raportul  $\rho = R'/R_u$  pentru un convertor pe 10 biți este prezentată în fig.4.2 cu linie punctată.

Relația (4.15) exprimă valoarea SFDR determinată exclusiv de influența impedanței de ieșire finită. Atunci însă când raportul  $\rho = R'/R_u$  este foarte mic, amplitudinea armonicilor importante coboară sub nivelul de zgomot și expresia SFDR dată aici nu mai poate fi valabilă. Din acest motiv au fost efectuate simulări Matlab prin care să se determine valoarea reală a SFDR pentru valori particulare ale lui  $\rho$  din zona de interes ( $\rho = i \cdot 10^{-7}$ , cu  $i=1 \div 10$ , respectiv  $i=20$  și  $i=0,1$ ). Rezultatele obținute au fost marcate cu cruciuliță pe diagrama din fig.4.2 și confirmă evoluția SFDR pentru valori mari ale lui  $\rho$  ( $> 10^{-6}$ ), dată de relația (4.15). În același timp este furnizată limita superioară a SFDR impusă de nivelul de zgomot, la circa 84dB, indiferent cât de mic este  $\rho$ .

Pentru obținerea spectrului de ieșire corespunzător comportamentului real al convertorului a fost generată și aplicată o succesiune de  $2^{13}=8196$  eșantioane. Numărul de eșantioane a fost ales a fi o putere a lui 2 pentru ușurarea calculelor transformatei Fourier rapide (FFT). Din același motiv, unda sinusoidală a fost „scalată” pentru a fi axată pe zero, evitându-se calculul componentei continue care nu prezintă interes aici. Pentru evitarea produșilor de intermodulație care pot cade în banda Nyquist, numărul de eșantioane ce acoperă o perioadă a semnalului de test și numărul total de eșantioane au fost alese ca și numere prime între ele, rezultând o frecvență normalizată a semnalului de test  $f_{\text{test}}=617/8192$ .

În scopul minimizării zgomotului spectral cauzat de lungimea finită a vectorilor de test în analiza FFT, au fost utilizate 32 secvențe de test (de câte 8192 eșantioane fiecare) și nu doar o singură secvență, ale căror rezultate au fost mediate, conform [38]; în fiecare din cele 32 secvențe, faza semnalului de test a fost generată aleator.

În fig.4.3.a, b, c și d sunt prezentate spectrele și valorile SFDR pentru  $\rho=0,1\cdot 10^{-7}$ ,  $\rho_{ech}=2,62\cdot 10^{-7}$ ,  $\rho=7,87\cdot 10^{-7}$ , respectiv  $\rho=20\cdot 10^{-7}$ .

Pentru  $\rho=7,87\cdot 10^{-7}$  (din exemplul de proiectare) și  $\rho_{ech}=2,62\cdot 10^{-7}$  (din exemplul de proiectare care folosește metoda prezentată în paragraful 3.1.3) valorile obținute au fost indicate și în fig.4.2 prin săgețile cu linie continuă groasă și respectiv subțire.

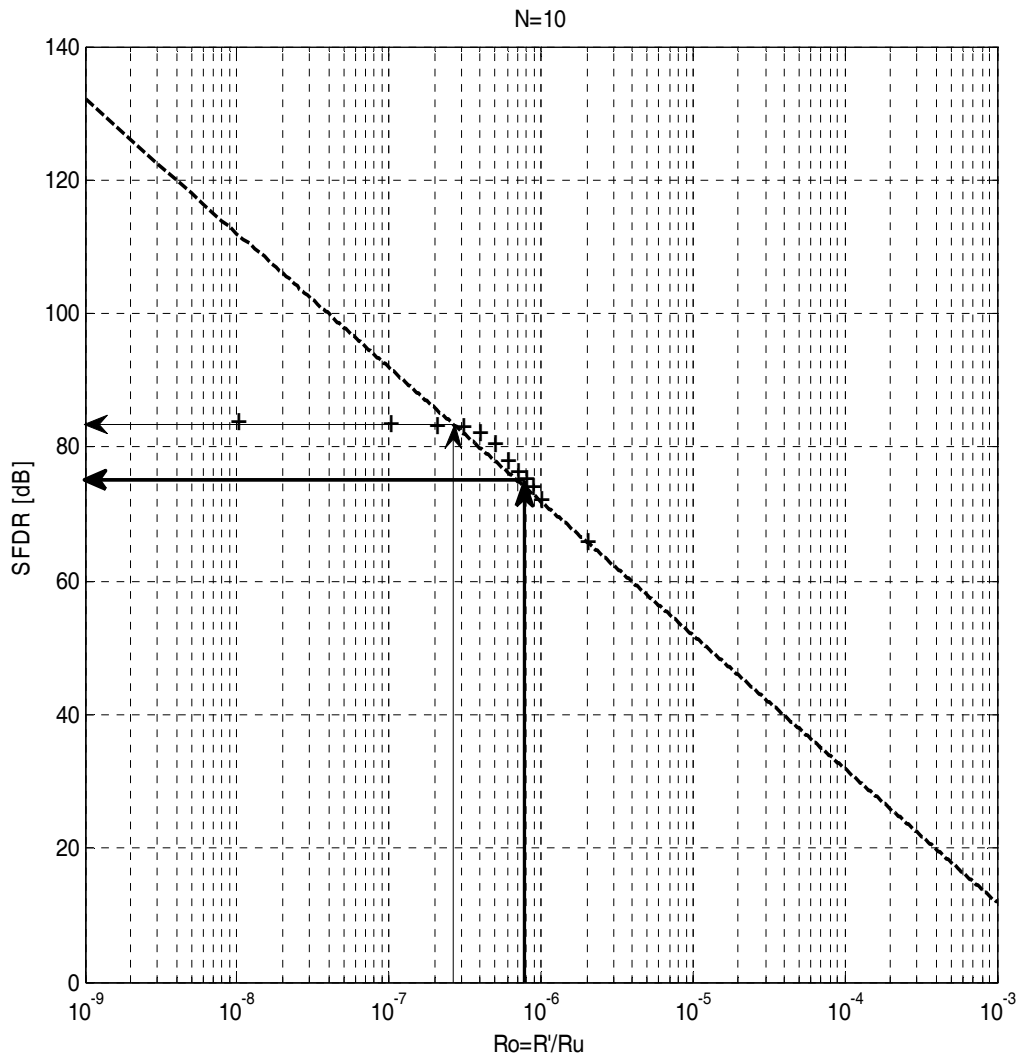
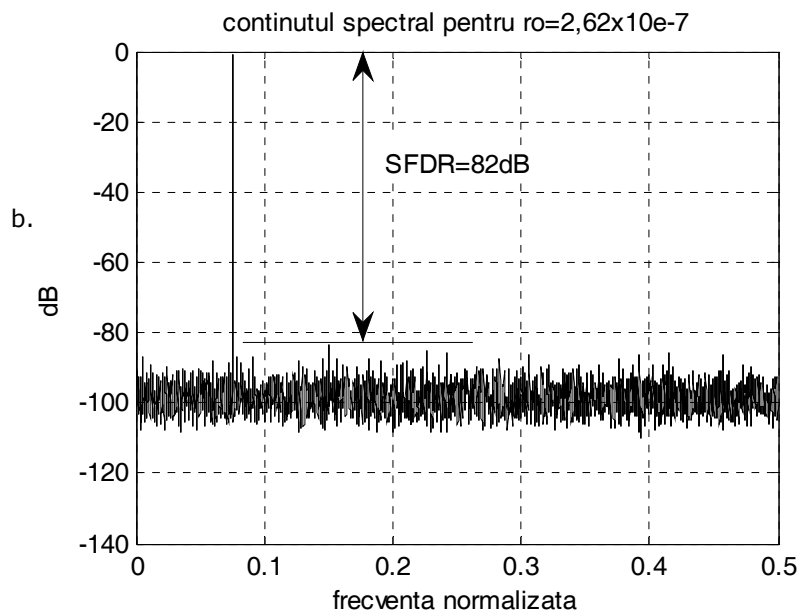
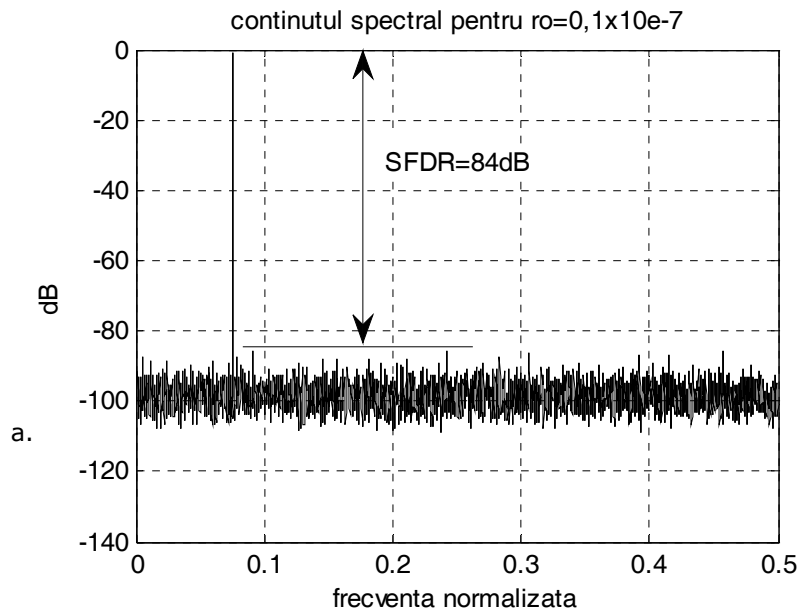


Fig.4.2 Dependența SFDR de impedanța de ieșire a surselor de curent unitare, prin intermediul lui  $\rho=R/R_u$



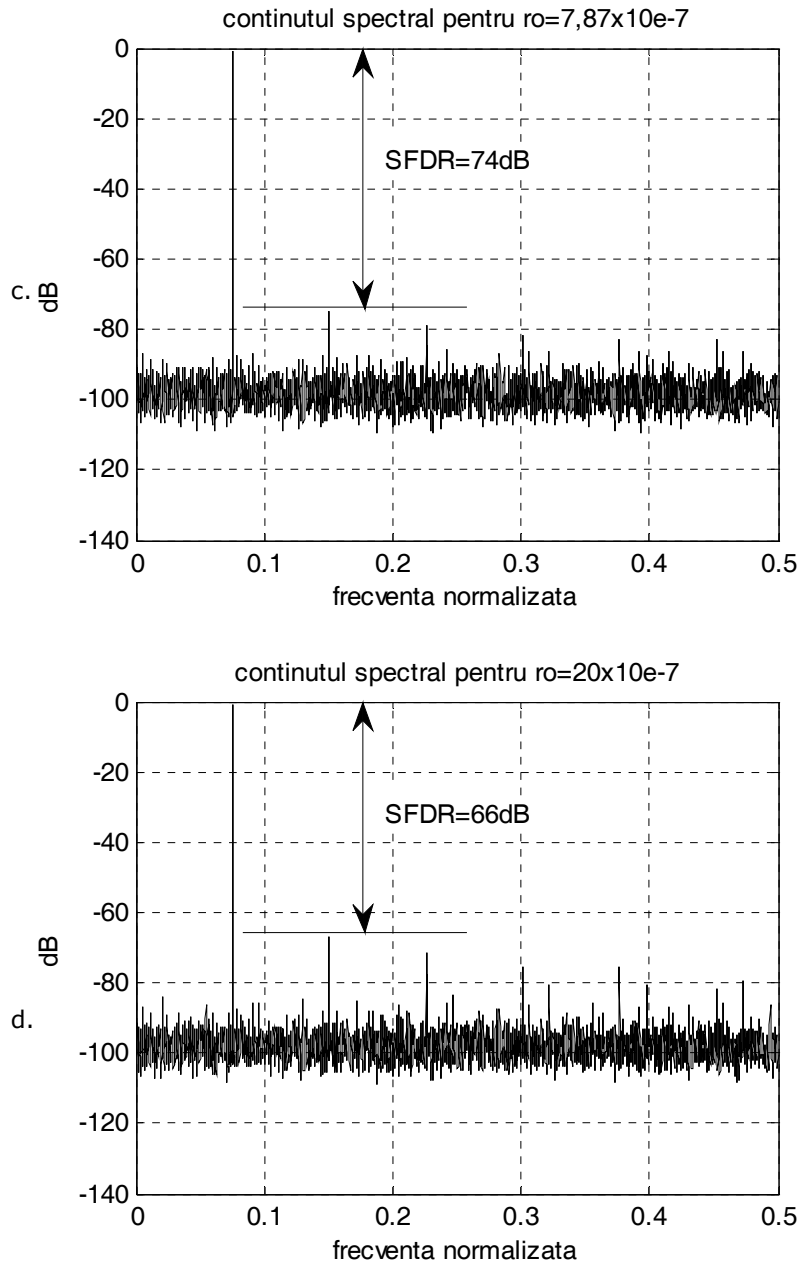


Fig.4.3 Spectrul semnalului de ieșire al CNA pentru: a)  $\rho=0,1 \cdot 10^{-7}$ , b)  $\rho_{ech}=2,62 \cdot 10^{-7}$ , c)  $\rho=7,87 \cdot 10^{-7}$ , d)  $\rho=20 \cdot 10^{-7}$

Analizând diagramele de mai sus, se constată că în fig.4.3.a. **armonica a doua** este practic inexistentă (este sub nivelul de zgomot), în timp ce în diagramele următoare, pe măsura creșterii valorii lui  $\rho$ , ea devine din ce în ce mai semnificativă, conducând la reducerea corespunzătoare a parametrului SFDR al convertorului.

Relativ la **limita nivelului de zgomot** (-84dB, conform fig.4.3.a), impedanța de ieșire obținută în exemplul de proiectare a condus la o pierdere de 10dB în valoarea SFDR (fig.4.3.c). Dacă însă se minimizează influența impedanței de ieșire folosind metoda descrisă în paragraful 3.1.3, atunci se pierde doar 2dB (fig.4.3.b).

Pe caracteristica reală a SFDR funcție de  $\rho$  din fig.4.2 acest caz corespunde aproximativ cotului caracteristicii. Se poate anticipa că, atât din punct de vedere al numărului de biți adoptat cât și al dimensiunii tranzistoarelor, acest convertor se situează la limita la care încă nu este obligatorie utilizarea cascodelelor în construcția surselor de curent unitare. Această ipoteză va fi verificată în cele ce urmează.

Examinând relația (4.15) se constată că fiecare bit suplimentar de precizie conduce la o scădere cu 6dB a valorii SFDR. Pe de altă parte, limita superioară pe caracteristica reală a SFDR, stabilită în principal de nivelul zgomotului de cuantizare, devine mai ridicată. Aceasta înseamnă că atingerea palierului marcat cu linie punctată îngroșată în fig.4.4 se va face pentru o valoare mult mai mică a lui  $\rho$ .

Caracteristica marcată cu linie continuă corespunde convertorului pe 10 biți, iar cea marcată cu linie punctată unui convertor pe 11 biți. Prin simulări ale SFDR pentru  $\rho$  foarte mic (din zona palierului), pentru CNA cu un număr de biți  $N=10 \div 14$  s-a constatat o scădere a nivelului de zgomot de fond cu circa 7,5dB pentru fiecare bit suplimentar de precizie.

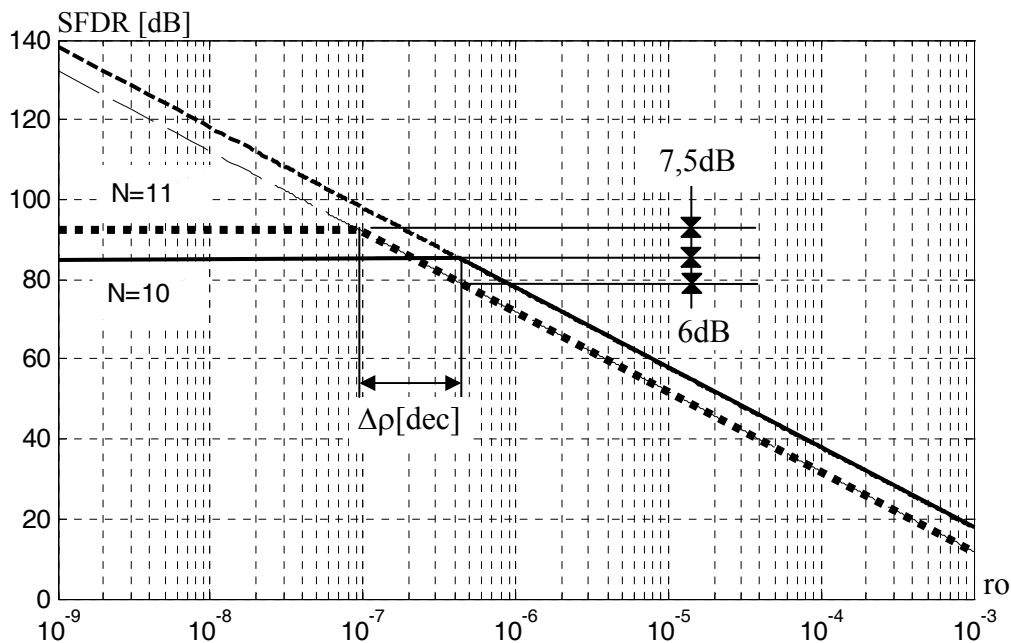


Fig.4.4 Reprezentarea SFDR în funcție de  $\rho=R/R_u$  pentru  $N=10$  și  $N=11$

Pentru ca SFDR al unui convertor cu un bit suplimentar de precizie să nu se deterioreze din cauza impedanței sale de ieșire finite, pretențiile asupra valorii acesteia cresc corespunzător la scăderea lui  $\rho$  cu  $\Delta\rho=(7,5\text{dB}+6\text{dB})/20\text{dB}=0,675$  decade. Cu alte cuvinte, impedanța de ieșire a sursei de curent unitare trebuie să crească de  $10^{0,675}=4,73$  ori. Conform cu relația (3.15), acest lucru presupune o creștere de același număr de ori a lungimii  $L$  a canalului tranzistoarelor, cu păstrarea raportului de aspect al acestora, ceea ce ar implica mai departe o creștere a ariei de 22,4 ori. Cresc astfel capacitățile parazite, timpul de stabilire și se deteriorează SFDR la frecvență mare mult mai rapid [68].

Dacă în relația (3.15) se păstrează  $L$  nemodificat și se scade curentul de drenă, atunci tensiunea de comandă a tranzistoarelor se apropie prea mult de tensiunea de prag fluctuantă stohastic și se accentuează neîmperecherea curenților unitari. În concluzie, singura soluție viabilă pentru convertoare cu  $N>10$  este așadar utilizarea cascodelelor în construcția surselor de curent unitare.

Până acum comportamentul dinamic al convertorului a fost analizat doar în gama frecvențelor joase și medii, la care efectul capacităților parazite ale tranzistoarelor pMOS nu este încă vizibil. O modelare mai fidelă a comportamentului convertorului la frecvență mare ia în considerare valoarea complexă a raportului  $\rho$ , dată de relația (4.16):

$$\rho_z = \frac{R'}{R_u \parallel \frac{1}{j\omega C_u}} = \frac{R'}{R_u} (1 + j\omega R_u C_u) = \rho(1 + j\omega\tau_u) \quad (4.16)$$

în care s-a neglijat capacitatea mult mai mică a lui  $R'$ , iar  $C_u=C_{ox}wL$ . Relația (4.16) arată că pentru frecvențe ale semnalului de test mai mari decât  $1/\tau_u$  raportul  $\rho$  crește iar SFDR, conform relației (4.15) ar scădea cu 20dB/decadă. Relația (4.15) însă, în contextul creșterii lui  $\rho$ , devine imprecisă deoarece trecerea de la relația (4.13) la relația (4.14) se bazează pe faptul că  $2^{N-1}\rho' < 1$  și că  $\rho=\rho'$ .

Comparând evoluția SFDR în funcție de frecvență pentru convertoare cu mod de lucru în curent prezentate în literatură, [12], [20], [31], [41], [43], [46], [47], [62], [63], [69], [71], s-a constatat o deteriorare a acestui parametru la frecvențe mari cu 15÷18dB/decadă.

O relație analitică ce descrie SFDR ca funcție de diverși parametri este totuși dificil de obținut din cauza complexității crescânde a formulelor. Analizele efectuate în acest paragraf nu acoperă, de exemplu, influența creșterii frecvenței de eșantionare sau a instabilității sale și nici influența zgomotului propriu al circuitului asupra valorii SFDR. Aceste studii pot constitui însă obiectul unor cercetări viitoare.

## 4.2 Influența erorilor de împerechere a tranzistoarelor asupra regimului dinamic al convertorului

Considerând numărul de biți al convertorului  $N$  ca fiind un număr par, iar segmentarea 50%, conform exemplului de proiectare, valoarea zecimală a codului aplicat convertorului este:

$$X = X' + 2^{\frac{N}{2}} X'', \quad (4.17)$$

în care  $X'$  este valoarea zecimală a segmentului de cod mai puțin semnificativ, iar  $X''$  a segmentului mai semnificativ. Cu notațiile din paragraful 3.3, tensiunea de ieșire a convertorului obținută prin aplicarea codului  $X$  se scrie:

$$V_o(X) = V_{o\_u} \cdot X' + V_{o\_u} \cdot 2^{\frac{N}{2}} X'', \quad (4.18)$$

în care  $V_{o\_u} = I_u R'$  și prezintă o deviație standard  $\sigma_o$ . S-au considerat toate sursele de curent din arie ca fiind **necorelate** și prezentând **distribuții normale**. Punând în evidență acest lucru,  $V_o(X)$  se rescrie:

$$V_o(X) = \sum_{j=1}^{\frac{N}{2}} (b_{X'j} \cdot V_{o\_uj}) + \sum_{k=1}^{\frac{N}{2}} \left( 2^{\frac{N}{2}} \cdot b_{X''k} \cdot V_{o\_uk} \right), \quad (4.19)$$

în care  $b_{X'j}$  și  $b_{X''k}$  sunt biții din partea mai puțin semnificativă, respectiv mai semnificativă a codului de comandă.

Ținând cont de proprietățile operării cu distribuții normale, **varianța** sau eroarea medie pătratică ce afectează tensiunea de ieșire a convertorului la aplicarea codului  $X$  va fi dată de relația **(4.20)**:

$$\sigma_{V_o}^2(X) = X' \cdot \sigma_o^2 + \left( 2^{\frac{N}{2}} \right)^2 \cdot X'' \cdot \sigma_o^2 = (X' + 2^N X'') \sigma_o^2. \quad (4.20)$$

Aplicând convertorului unda sinusoidală *full scale* descrisă de relația (4.5), de componentă medie și amplitudine egale cu  $V_{o\_u} \cdot 2^{N-1}$  și având puterea  $P_1$  dată de formula (4.6), se poate calcula parametrul **SINAD** al convertorului (la scară liniară) care prezintă erori de împerechere stohastice:

$$\text{SINAD}_L = \frac{P_1}{P_{er}} = \frac{P_1}{P_{zg,q} + P_\varepsilon}, \quad (4.21)$$

în care puterea semnalului de test și a zgomotului de cuantizare sunt deja cunoscute din (4.7), iar puterea mediată a erorii de împerechere,  $P_\varepsilon$ , se calculează plecând de la relația (4.20) cu:

$$P_\varepsilon = \frac{\overline{\sigma_{V_o}^2(X)}}{R'} = \frac{(\overline{X'} + 2^N \overline{X''}) \sigma_o^2}{R'}. \quad (4.22)$$



Considerând suficient de mare numărul de eșantioane din perioadă, sau numărul de perioade pe care se face medierea, atunci pentru convertorul cu segmentare 50% :

$$\overline{X'} = \overline{X''} = \frac{X'_{\max}}{2} = \frac{X''_{\max}}{2} \cong 2^{\frac{N}{2}-1}. \quad (4.23)$$

Înlocuind (4.23) în (4.22) și apoi (4.22) în (4.21) se obține:

$$\text{SINAD}_L = \frac{2^{2N-3}}{\frac{1}{12} + \sigma_o'^2 \cdot 2^{\frac{N}{2}-1} (1 + 2^N)} \cong \frac{2^{2N-3}}{\frac{1}{12} + \sigma_o'^2 \cdot 2^{\frac{3N}{2}-1}}. \quad (4.24)$$

în care  $\sigma_o' = \frac{\sigma_o}{V_{o\_u}}$  este deviația standard relativă a tensiunii de ieșire

unitare și deci a curentului unitar.

Exprimând SINAD în dB se obține:

$$\text{SINAD} \cong 6,02 \cdot N + 1,76 - 10 \lg(1 + 3\sigma_o'^2 2^{\frac{3N}{2}+1}) \text{ [dB]}. \quad (4.25)$$

Pentru un convertor cu împerechere foarte bună a elementelor unitare, ultimul termen din expresia (4.25) devine neglijabil iar zgomotul de cuantizare devine dominant, regăsind pentru SINAD expresia dată de relația (1.2). Pentru un astfel de convertor, dacă  $N=10$ , se cunoaște deja  $\text{SINAD} \approx 61,78\text{dB}$ .

Pentru convertorul fără segmentare de cod, expresia SINAD, conform [68] este:

$$\text{SINAD}_0 \cong 6,02 \cdot N + 1,76 - 10 \lg(1 + 3\sigma_o'^2 2^{N+1}) \text{ [dB]}. \quad (4.26)$$

Reprezentarea SINAD funcție de deviația standard relativă a curenților unitari,  $\sigma_o'$ , pentru un convertor pe 10 biți cu segmentare 5+5 biți (50%), este dată cu linie continuă în fig.4.5, iar cea a convertorului pe 10 biți fără segmentare, cu linie întreruptă.

Convertorul ce constituie obiectul acestui studiu a fost dimensionat conform calculelor din paragraful 3.3 pentru încadrarea în limitele admisibile ale erorilor sale statice cauzate de neîmperecherea stohastică. Acesta prezintă un  $\sigma_o' = 1\mu\text{V}/0,5\text{mV} = 2 \cdot 10^{-3}$ , ceea ce corespunde la o valoare SINAD de circa 60.2dB. Degradarea SINAD din cauza erorilor menționate este deci de circa 1,5dB.

Urmărind diagrama din fig. 4.5, aceeași valoare a SINAD, în cazul convertorului fără segmentare, s-ar fi obținut pentru  $\sigma_o' \approx 8 \cdot 10^{-3}$ . Conform relației (3.28), aria tranzistoarelor pMOS ar fi fost în acest caz de aproximativ patru ori mai mică (pentru aceeași valoare SINAD). Numărul tranzistoarelor utilizate ar fi fost însă mult mai mare ( $2^N - 1$ , față de  $2 \cdot 2^{N/2-1}$ ).

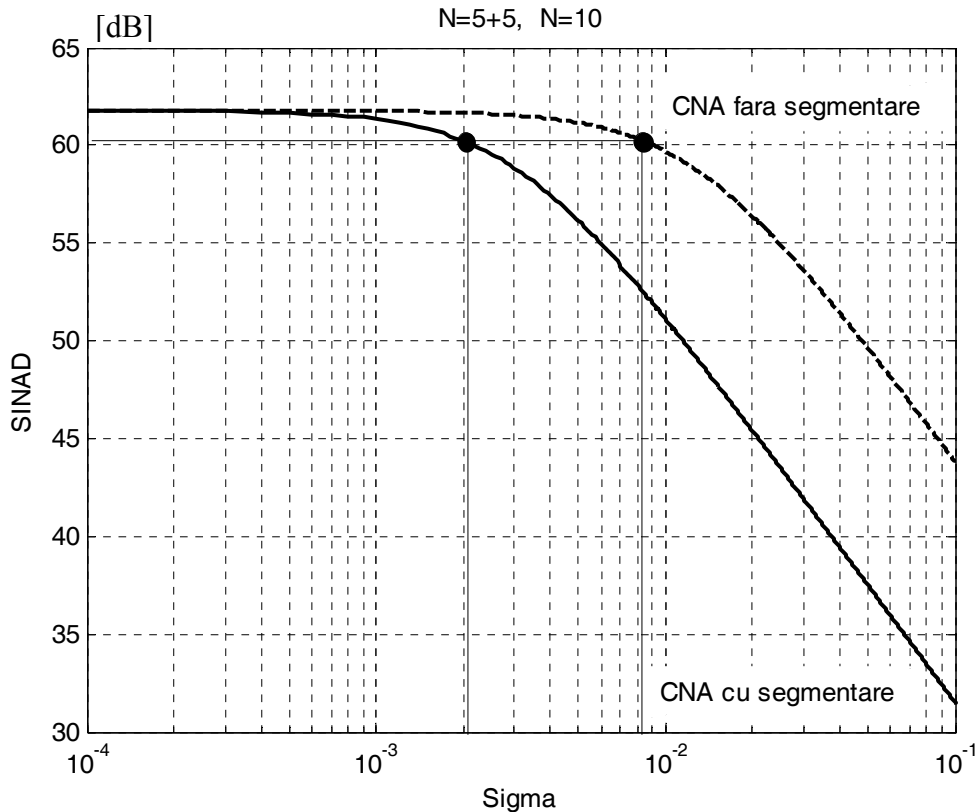


Fig.4.5 Depenența SINAD de neîmperecherea elementelor unitare

**Relativa supradimensionare** a elementelor unitare se explică prin aceea că, în modul specific de obținere a tensiunii de ieșire pentru convertorul propus, varianța echivalentă a părții din tensiunea de ieșire generată de segmentul mai semnificativ nu este proporțională cu numărul de rezistențe unitare folosite în acest segment, ci cu pătratul acestora (conform proprietăților de operare cu mărimi cu distribuții normale).

În ceea ce privește evaluarea SFDR funcție de erorile stohastice, o expresie analitică este destul de dificil de obținut. Ea ar trebui să plece de la descompunerea tensiunii de ieșire cvasisinusoidale (în trepte) într-un set de  $N$  trenuri de semnale dreptunghiulare, corespunzătoare aplicării separate a celor  $N$  biți ai codului de comandă. Contribuția bitului MSB în generarea spectrului de ieșire, bit ce produce un semnal dreptunghiular cu factor de umplere  $\frac{1}{2}$  (pentru semnal de test – sinus *full scale*) și de amplitudine afectată de eroare stohastică, este ușor de determinat. Evaluarea contribuțiilor spectrale ale celorlalți biți presupune însă un calcul extrem de laborios. Din acest motiv, mult mai practică este **evaluarea SFDR prin simulare Matlab**.

Pentru aceasta, s-a considerat ca punct de plecare structura matricei vectorilor de test folosită în paragraful 4.1, fără a lua în considerare influența

impedanței de ieșire limitate a convertorului. Au fost în schimb alocate elementelor unitare erori aleatoare în conformitate cu valoarea  $\sigma_0' = 2 \cdot 10^{-3}$  deterministice în conformitate cu profilul erorii generate prin aplicarea secvenței de conectare a surselor de curent, prezentată în fig.3.15. Erorile graduale (deterministice) au fost scalate în concordanță cu datele furnizate de lucrarea [38]. Profilul utilizat al erorii graduale este cel corespunzător unghiului de  $315^\circ$  de amplasare a cipului pe *wafer* pentru care în fig.3.16 s-a pus cel mai pregnant în evidență superioritatea performanței statice a schemei de comutare propusă în teză față de cea publicată în [38]. Ambele secvențe au fost aplicate pe structura propusă în teză, iar valorile SFDR obținute sunt evidențiate în fig.4.6.a și b.

Corespunzător datelor de intrare pentru cele două situații (eroare statică de mai bine de două ori mai mică în cazul secvenței proprii) s-a obținut o valoare a parametrului SFDR cu circa 8dB mai mare pentru schema de comutare propusă față de cea indicată în [38].

Precizăm că valorile SFDR pentru cele două cazuri au fost asemănătoare atunci când profilul erorii statice a fost generat pe baza unghiului de  $45^\circ$  de amplasare a cipului pe *wafer*. Trebuie astfel menționat că lucrarea [38] a raportat performanțe statice și dinamice ale convertorului ce au corespuns celui mai favorabil amplasament al cipului și nu celui mai defavorabil, așa cum în mod riguros s-a procedat în capitolul 3.

Tot pentru rigurozitate, trebuie menționat că secvența propusă în teză nu poate fi aplicată decât dacă se folosesc cascade în realizarea surselor de curent unitare deoarece, altfel, se vor combina efectele în privința SFDR constatate în fig.4.3.c și 4.6.a, pentru care deteriorarea acestui parametru este de neacceptat.

În același timp, nici metoda de randomizare dinamică folosită pentru creșterea SFDR prin medierea zgomotului spectral și publicată în [77] nu poate fi folosită deoarece se bazează pe permutarea circulară cvasialeatoare a aceleiași secvențe.

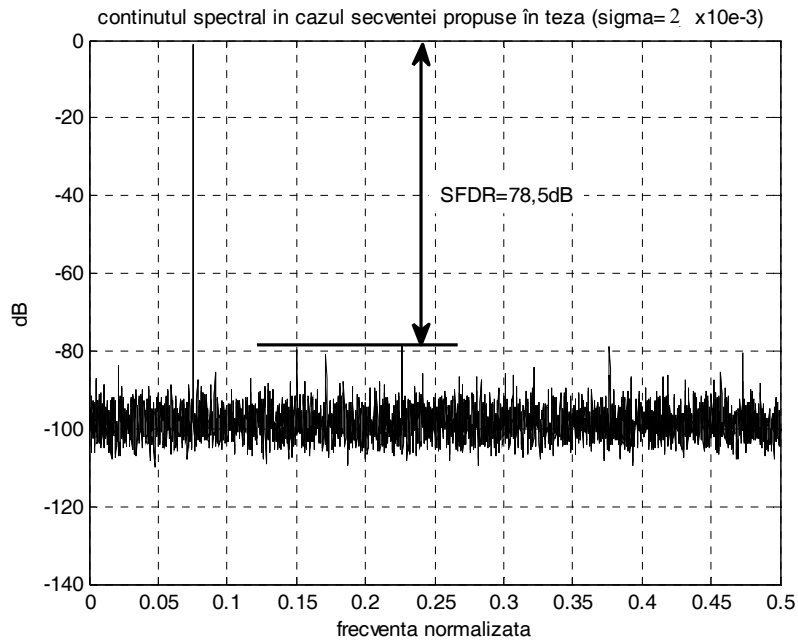
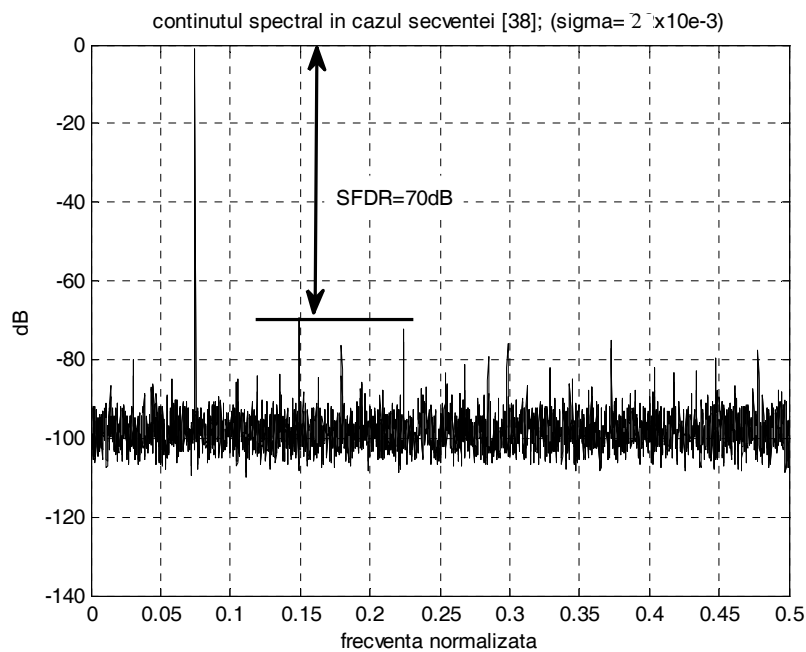
**a.****b.**

Fig.4.6. Reprezentarea spectrului semnalului de ieșire în cazul prezenței erorilor de împerechere stohastice ( $\sigma'_0 = 2 \cdot 10^{-3}$ ) și deterministice generate prin aplicarea secvenței de comutare a surselor de curent unitare propuse în teză (a.) respectiv în [38] (b.)

Mai avantajoasă, în cazul de față, este **utilizarea secvenței minimale** pentru creșterea virtuală a impedanței de ieșire a convertorului. În acest fel se combină efectele constatate în fig.4.3.b și 4.6.a. Rezultatul obținut este prezentat în fig.4.7 din care rezultă că SFDR=71dB.

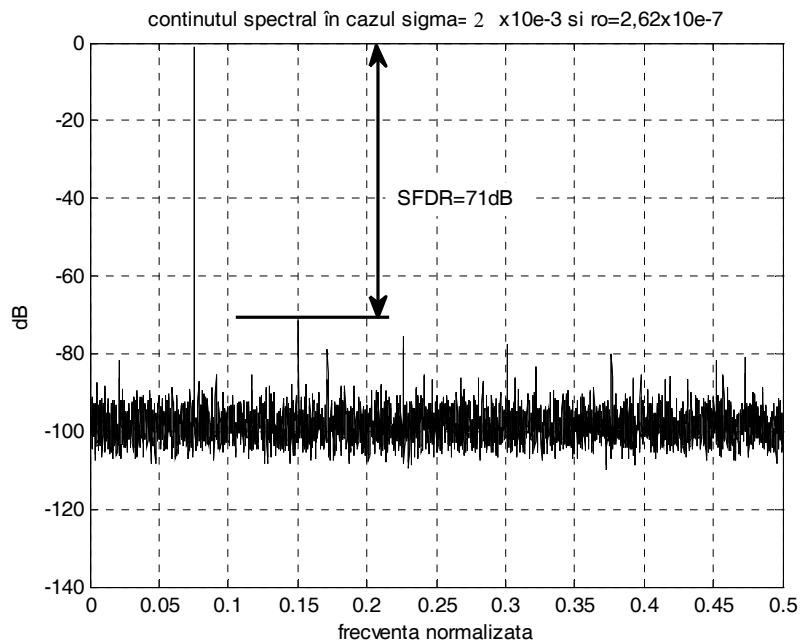


Fig.4.7 Evaluarea SFDR folosind secvența minimală de comutare a surselor de curent unitare cu impedanță de ieșire finită și afectate de eroare stohastică  $\sigma_o' = 0,2 \cdot 10^{-3}$

Pentru evaluarea distorsiunii de intermodulație de ordin 3 s-a aplicat pentru convertorul de mai sus (având incluse aceleași surse de neliniaritate) un semnal de test combinat de tip *dual-tone*. Frecvențele normalizate ale semnalelor componente au fost alese de valori  $f_1 = f_{\text{test}} = 617/8192$  și  $f_2 = (617+32)/8192$ , iar amplitudinea lor de valoare  $0,4 \cdot A_{\text{testSFDR}}$ . După cum se vede în fig.4.8, s-a obținut **IMD3** la -70dB.

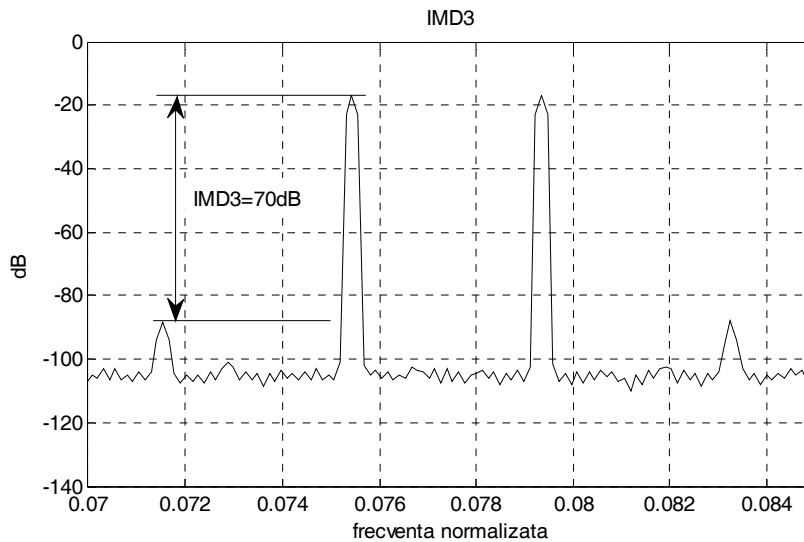


Fig.4.8 Evaluarea distorsiunii de intermodulație de ordin 3 pentru convertorul propus

Pentru stabilirea numărului efectiv de biți ai convertorului se consideră aditive pierderile în valoarea SINAD cauzate de impedența de ieșire finită și de erorile de împerechere deoarece sunt generate de procese independente. Pe baza relațiilor (4.9) și (4.26) au fost deja evaluate aceste pierderi la  $\Delta\text{SINAD}_{z_{\text{finit}}}=0,75\text{dB}$ , respectiv  $\Delta\text{SINAD}_{\varepsilon_{\text{imperechere}}}=1,5\text{dB}$ . În aceste condiții se obține:

$$\text{ENOB} = \frac{\text{SINAD}_{\text{ideal}} - \Delta\text{SINAD}_{z_{\text{finit}}} - \Delta\text{SINAD}_{\varepsilon_{\text{imperechere}}} - 1,76}{6,02} \cong 9,63. \quad (4.27)$$

Deși comparația cu un CNA ideal este ipotetică, **ENOB** arată cât de mult se apropie convertorul real de cel ideal prezentând același număr de biți la intrare.

### 4.3 Considerații privind adoptarea tipului de ieșire a convertorului. Reducerea glicierilor semnalului de ieșire.

Analizele efectuate în primele două paragrafe ale acestui capitol au fost orientate exclusiv pe utilizarea tipului de ieșire **nesimetrică** a convertorului numeric-analogic. Menționăm însă că prin utilizarea tipului de ieșire **simetrică**, conform studiului efectuat în [14] și a rezultatelor simulărilor furnizate de [68], **lățimea palierului reprezentării SFDR funcție de  $\rho$  ( $=R'/R_u$ ) din fig.4.2 crește cu peste o decadă**. Cu alte cuvinte, pretențiile în privința valorii impedenței de ieșire pentru menținerea pe palier și deci pentru evitarea deteriorării SFDR din această cauză, scad de peste zece ori. Pentru cazul concret al exemplului de

proiectare, acest lucru ar fi însemnat că nu s-ar fi pierdut cei 10dB în valoarea SFDR, remarcăți când se compară diagramele din fig.4.3.a și 4.3.c.

Continuând raționamentul, parametrul SFDR ar fi fost determinat preponderent de erorile de împerechere. Pentru minimizarea efectului erorilor graduale s-ar fi putut utiliza secvența de comutare a surselor de curent unitare dedusă în paragraful 3.1.2 (utilizarea secvenței minimale n-ar mai fi fost necesară) iar câștigul suplimentar în valoarea SFDR ar fi putut atinge 6-7dB. Reducerea mai departe a armonicilor a doua și a treia până aproape de nivelul zgomotului de fond ar fi fost de asemenea posibilă prin utilizarea metodei de randomizare dinamică descrisă de autor în [77], cu prețul însă al creșterii complexității convertorului.

Cu toate acestea s-a preferat adoptarea ieșirii nesimetrice, deoarece, așa cum se va vedea în continuare, această configurație permite utilizarea unei tehnici de circuit care conduce la reducerea drastică a **gliciuilor** la ieșirea convertorului.

În modelările matematice efectuate în prima parte a acestui capitol nu s-au luat în considerare întârzierile diferite la comutarea surselor de curent unitare către nodul de ieșire al convertorului. Crearea unui astfel de model este foarte complexă deoarece, pe lângă luarea în calcul a capacităților parazite ale tranzistoarelor pMOS, el trebuie să țină seama de *layout*-ul ariei de elemente unitare (de lungimea traseelor de legătură cu nodul de ieșire) și de modelul analogic al comutatoarelor de curent.

Acumularea/extragerea sarcinilor electrice în/din capacități parazite al căror număr se modifică și care suportă un salt de tensiune cu ocazia schimbării codului de comandă al convertorului generează impulsuri de curent semnificative prin rezistența de ieșire. Combinând acest efect cu imprecizia momentului conectării individuale a fiecărei surse unitare la aplicarea codului termometric (*bit-skew*), rezultă o anumită amplitudine, un anumit profil și o anumită durată a **gliciuului de ieșire**, deci o anumită energie a acestuia. Mediind energia gliciuilor de-a lungul unei perioade a semnalului de test, se poate determina deprecierea SINAD.

În același timp, modul repetitiv în care **gliciuile negative** apar în prima semiperioadă a semnalului de test cu fază zero, iar **gliciuile pozitive** în a doua semiperioadă (similar cu ce s-a obținut prin simularea din fig.2.12.a) generează și armonici de ordin inferior ce nu pot fi în consecință filtrate și deteriorează semnificativ parametrul SFDR al convertorului.

Analizele complexe efectuate în lucrările [2], [13], [14], [41], [68], indică **pierderi de până la 40dB în valoarea SFDR** pentru convertoare cu mod de lucru în curent de 10÷12 biți și de până la chiar 60dB [68] pentru convertoare de 14 biți.

Soluția adoptată pentru eliminarea acestui inconvenient major, publicată în [58] și utilizată mai departe și în [59], a fost introducerea unui al doilea amplificator operațional (pe lângă cel din sursa sub-bandgap) conectat așa cum se observă în **fig.4.9**.

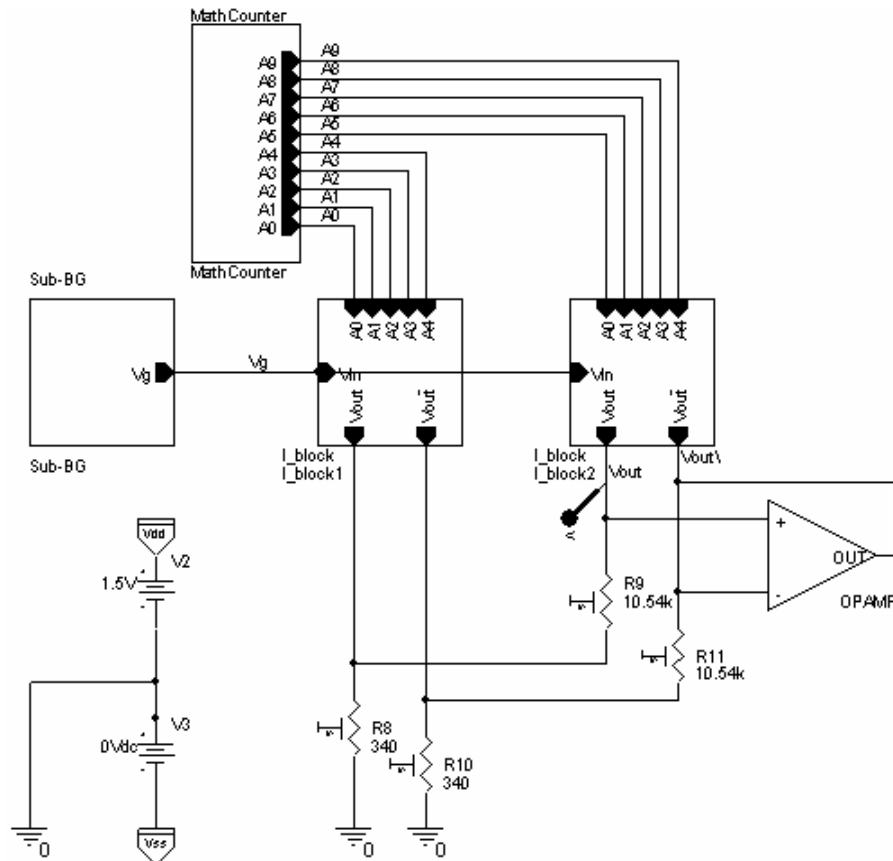


Fig.4.9 Schema bloc modificată a convertorului

Practic, amplificatorul operațional asigură egalizarea potențialelor de la ieșirile  $V_{out}$  și  $V_{out'}$ , preluând sau injectând curent suplimentar în rezistența R11. Deoarece energia glicierilor este concentrată pe un interval foarte scurt de timp, amplificatorul trebuie să fie foarte rapid, corecția sa trebuind fi făcută destul de aproape de limita de stabilitate a circuitului (cu rezervă de fază mică). Totuși, pentru a elimina acest risc, un compromis optim poate fi făcut dacă amplificatorul (ce lucrează oricum ca repetor) se proiectează cu tranzistoare de mici dimensiuni (capacități parazite mici) întrucât erorile sale statice (offsetul de tensiune la intrare) nu sunt atât de importante; cu alte cuvinte tensiunea de la ieșirea nefolosită  $V_{out'}$  poate să nu fie riguros identică cu cea de la ieșirea  $V_{out}$  a convertorului.

Ca urmare a soluției adoptate, rezultatele obținute prin simulare OrCAD, de înalt nivel comportamental, au fost evidente, după cum se poate constata din fig.4.10.



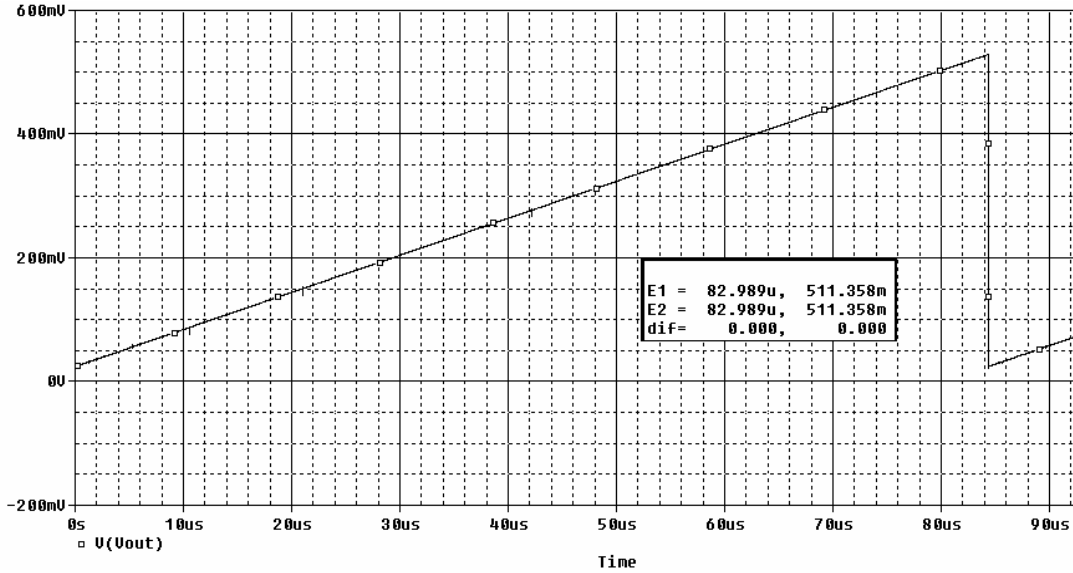


Fig.4.10.a Rezultatul simulării CNA pentru toate valorile posibile ale codului de comandă

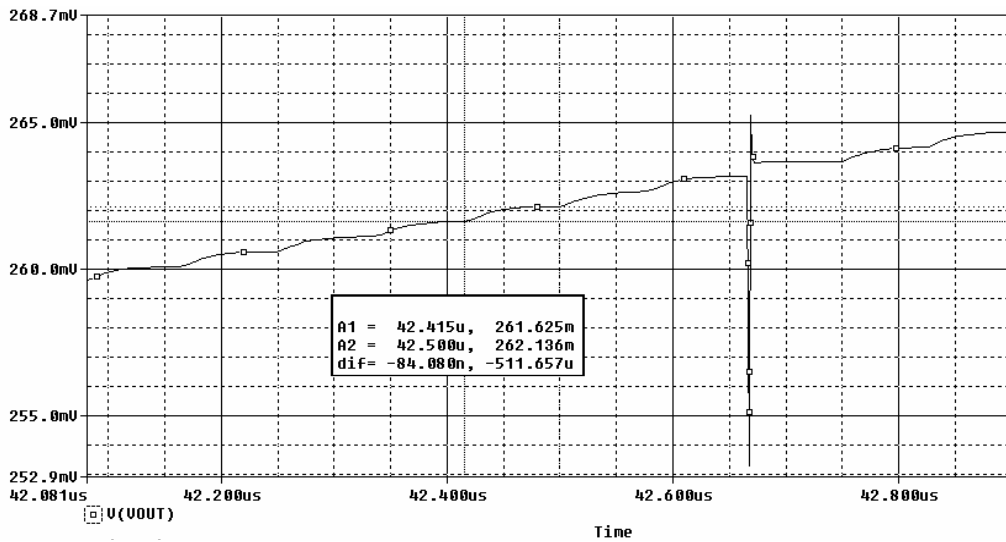


Fig.4.10.b Reprezentarea în detaliu a unuia dintre cele mai semnificative glieri de ieșire

Simularea a fost efectuată pentru valorile componentelor rezistive din circuitul de ieșire al convertorului marcate în schemă, ce sunt de patru ori mai mari (curenți unitari de patru ori mai mici) decât valorile adoptate în exemplele finale de proiectare. S-a procedat așa pentru ca sarcina electrică în exces de pe capacitățile parazite, rezultată la schimbarea codului de comandă, să poată crea vârfuri de tensiune vizibile pe diagrama din fig.4.10.a. Au fost luate în considerație toate

valorile posibile ale codului de comandă, pentru a surprinde toate gliciurile importante, generate în special la conectarea unei surse de curent unitare suplimentare din segmentul mai semnificativ, comandat cu cod termometric, simultan cu deconectarea celor 31 de surse din segmentul mai puțin semnificativ. Codorul termometric a fost inclus în blocul I\_block2 din fig.4.9.

După cum se observă în fig.4.10.b, amplitudinea gliciului semnificativ este de circa 10mV, dar aceasta coboară sub 3mV atunci când se folosesc valorile rezistive originale. Comparând acest rezultat cu cel obținut pentru convertorul comandat tot cu cod termometric în segmentul mai semnificativ dar fără amplificator operațional, reprezentat în fig.2.12.b, se constată o reducere de peste 20 de ori a amplitudinii gliciurilor.

Practic, parametrii de regim dinamic ai convertorului nu mai au cum să se deterioreze semnificativ din această cauză, iar compromisul privind utilizarea ieșirii nesimetrice este pe deplin justificat.

Pe diagramele precedente, cursoarele au fost folosite pentru a pune în evidență valoarea maximă a tensiunii de ieșire a convertorului (fig.4.10.a), respectiv rezoluția sa analogică și timpul de stabilire (fig.4.10.b) pentru salturi de 0,5mV. Acest timp (84ns în fig.4.10.b) coboară sub 33ns atunci când curenții unitari au valorile originale, de patru ori mai mari. Dacă se consideră saltul maxim de tensiune la ieșire, ce acoperă o gamă dinamică de trei decade (0,5mV÷0,5V), se obține timpul de stabilire maxim de circa 100ns, ceea ce permite o frecvență maximă de lucru a convertorului de aproximativ 10MHz.

Destinația cea mai potrivită în utilizarea convertorului o constituie sistemele și rețelele de senzori autonomi, dar poate viza și aplicații mai generale de rezoluție și viteză medie. Utilizarea în aplicații la frecvență foarte mare a convertorului propus este deasemenea posibilă prin micșorarea dimensiunilor tranzistoarelor-surse de curent unitare, urmând calea descrisă în capitolele 3 și 4, această redimensionare fiind însă însoțită evident de creșterea consumului circuitului.

**În perspectiva** apropiată, autorul dorește să aplice noua metodă de reducere a gliciurilor și pentru **cazul adoptării ieșirii de tip simetric** pentru convertor. Prin utilizarea a două grupuri distincte de surse de curent unitare comandate de același cod și a două amplificatoare operaționale s-a conturat deja posibilitatea implementării ieșirii complet diferențiale, fără a se dubla aria ocupată pe siliciu. Practic, se recuperează varianta de convertor discutată la începutul paragrafului 4.3 (pag.91), ce permite relaxarea pretențiilor privind valoarea minimă a impedanței de ieșire a surselor de curent, cu efect în scăderea semnificativă a dimensiunii tranzistoarelor utilizate, iar câștigul în valoarea SFDR ar putea atinge 10dB.

## 4.4 Concluzii la capitolul 4

Analizele efectuate și soluțiile propuse în acest capitol au vizat **găsirea celui mai bun compromis** între performanța dinamică a convertorului ce constituie obiectul tezei, pe de o parte și obținerea unui cost mic de fabricație (simplitate) și a unui consum redus de la sursa de alimentare.

Astfel, în primele două paragrafe au fost prezentate modelele matematice ale convertorului propus care iau în considerare influența individuală și apoi combinată a impedanței de ieșire limitate respectiv a erorilor de împerechere a tranzistoarelor MOS asupra principalilor parametri de regim dinamic ai unui CNA.

Pe baza celor demonstrate în paragraful 3.1.1 privind **comportamentul identic** al convertorului propus cu al unui convertor fără segmentare din punct de vedere al influenței impedenței de ieșire finite, s-a asigurat posibilitatea ca în partea de început a acestui capitol să se apeleze la o teorie cunoscută în literatură privind calculul parametrilor SINAD și SFDR. Deducerea lor a fost introdusă în teză pentru a contura un îndrumător de proiectare valabil și pentru alte tipuri de convertoare numeric-analogice.

Tot în primul paragraf, folosind mediul de programare și simulare Matlab, s-a demonstrat că dimensionarea surselor de curent efectuată în capitolul 3 precum și soluțiile adoptate conduc la rezultate acceptabile din punct de vedere al comportamentului dinamic al CNA. S-a evidențiat că relativa degradare a spectrului semnalului de ieșire cauzată de impedența de ieșire limitată este pe deplin compensată de scăderea semnificativă a consumului de curent al circuitului [46] și a complexității sale prin renunțarea la utilizarea cascodeilor în construcția surselor de curent unitare. În plus, s-a demonstrat că numărul de biți adoptat în exemplul de proiectare pentru structura propusă în teză se situează la limita la care încă se mai pot utiliza simple tranzistoare ca și surse de curent unitare.

În paragraful al doilea au fost făcute deducții teoretice care au permis calculul puterii erorii generate de neîmperecherea stohastică a elementelor unitare. A fost creat în Matlab modelul combinat al convertorului ce include cele două tipuri de comportamente neideale. Pe baza acestor demersuri precum și a rezultatelor obținute în primul paragraf, au putut fi evaluați parametrii SINAD și SFDR globali, distorsiunea de intermodulație de ordin 3, IMD3, precum și numărul efectiv de biți, ENOB, pentru convertorul proiectat.

Adoptarea, în paragraful al treilea a unei configurații de ieșire ce folosește un amplificator operațional simplu pe post de repetor și care obligă automat la utilizarea tipului de ieșire nesimetrică, a cărui ieșire absoarbe vârfurile de curent din momentul comutației surselor de curent, a condus la o **reducere drastică a glicierilor** semnalului de la ieșirea convertorului [58], [59]. Cu alte cuvinte, ce s-a pierdut prin neutilizarea cascodeilor, nici a ieșirii simetrice, s-a câștigat prin eliminarea principalei cauze care poluează spectrul de ieșire, conform evaluărilor raportate de surse bibliografice de referință, [2], [8], [13], [14], [21], [41], [68].

## Concluzii, contribuții și perspective

Principalul obiectiv propus în această lucrare l-a constituit crearea premizelor teoretice pentru integrarea în siliciu a unui convertor numeric-analogic de cel puțin 10 biți. În acest sens, a fost oferită o soluție proprie privind concepția unui CNA cu mod de lucru în curent - un convertor la frecvență Nyquist, cu arhitectură segmentată, fără întoarcere la zero și implementabil în tehnologie CMOS standard. Circuitul a fost astfel dimensionat încât să nu fie necesare operații suplimentare de autocalibrare sau *trimming* deoarece acestea presupun creșterea substanțială a prețului de fabricație a cipului, respectiv a testării acestuia.

Ținând cont de tendința actuală în fabricația de circuite integrate, subordonată cererii crescânde pe piață de sisteme electronice cu rețea distribuită autonomă de senzori și de echipamente electronice portabile, proiectarea convertorului a plecat de la ideea obținerii unei tensiuni de alimentare cât mai mici și a unui consum de curent cât mai redus de la aceasta.

Punând în balanță și aspectele legate de asigurarea unui bun comportament al circuitului atât în regim static cât și în regim dinamic, a rezultat o activitate de proiectare complexă în care a trebuit găsit optimul sau compromisul atunci când, cel mai adesea, indici diferiți de performanță ai convertorului se obțin prin măsuri contradictorii.

Întrunirea tuturor acestor deziderate a fost posibilă datorită unui șir de contribuții teoretice și aplicative, pe care autorul tezei le-a adus prin concepția și implementarea unor noi topologii de circuit, respectiv prin elaborarea unor noi metode de comandă a convertorului și de testare pe simulator. Aceste elemente de originalitate se regăsesc pe parcursul lucrării, fiind evidențiate în conformitate cu nota finală din paragraful introductiv. Principalele contribuții sunt sintetizate în cele ce urmează:

### A. Contribuții teoretice:

1. Concepția unei noi topologii de convertor numeric-analogic cu control în curent prin care conversia „tensiune de referință-curenți de ieșire” este implicită, circuitul propus rezultând ca o suprapunere între convertorul propriu-zis și referința de tensiune. Practic, printr-un mecanism original, se generează la ieșirea convertorului tensiuni sub-bandgap pentru orice combinație a codului său de comandă (paragraful 2.2, pag.33÷34).

2. Modalitatea de realizare a segmentării CNA și de stabilire a ponderii celor două segmente, bazată pe o configurație originală de conectare a două grupuri de surse de curent și a două rezistențe de ieșire al căror raport este realizabil cu precizie (paragraful 2.2, pag.34÷35, fig.2.4).

3. Demonstrarea, prin intermediul relațiilor (3.1÷3.8), a faptului că CNA propus prezintă același comportament cu un convertor fără segmentare și același număr de biți, din punct de vedere al influenței impedanței de ieșire limitate asupra erorii sale integrale, INL.

4. Demonstrarea faptului că, atunci când nu se folosesc cascode ci tranzistoare simple în construcția surselor de curent, eroarea integrală, pentru structura propusă, nu depinde de valoarea rezistenței de sarcină, indicând astfel posibilitatea scăderii semnificative a consumului de curent de la sursa de alimentare (relațiile 3.15÷3.17 și textul aferent).

5. Concepția unui algoritm original (paragraful 3.1.2, pag.63÷65) prin care se găsește matricea ce conține secvența optimă de comutare a tranzistoarelor-surse de curent unitare, dispuse în arii regulate pe *layout* și afectate de erori graduale, care minimizează la fiecare pas (cod) și indiferent de poziția cipului pe wafer, eroarea integrală a convertorului. Rezultatele obținute prin aplicarea acestui algoritm au fost net superioare celor raportate de lucrări foarte recente publicate în reviste IEEE.

6. Deducerea deviației standard a tensiunii maxime de ieșire a CNA propus, construit cu tranzistoare afectate de eroare de împerechere stohastică, și stabilirea condițiilor ce trebuie îndeplinite la dimensionarea componentelor integrate, pentru menținerea erorii integrale a convertorului în limitele admisibile (paragraful 3.2, pag.70-72).

7. Calculul puterii erorii generate de neîmperecherea stohastică a elementelor unitare și al raportului semnal pe zgomot și distorsiune SINAD pentru noul convertor (relațiile 4.19÷4.25 și textul aferent).

8. Introducerea unei tehnici de circuit prin care se obține reducerea drastică a gliciușilor de la ieșirea convertorului, eliminând astfel principala cauză care poluează spectrul semnalului de ieșire. Practic, la ieșirea CNA se realizează o configurație ce folosește un amplificator operațional simplu pe post de repetor care absoarbe vârfurile de curent din momentul comutației surselor de curent (paragraful 4.3).

#### **B. Contribuții aplicative:**

1. Elaborarea versiunii implementabile în tehnologie CMOS standard a unei surse de tensiune de referință de tip sub-bandgap cunoscută, realizată în tehnologie BiCMOS, versiune ce prezintă stabilitate cu temperatura a tensiunii de ieșire superioară schemei originale (doar 6,2ppm/K față de 7,5 ppm/K, pe intervalul 0-80°C – fig.2.2, fig.2.3 și textul aferent).

2. Proiectarea codorului termometric (prin care se comandă segmentul mai semnificativ al CNA propus) folosind porți logice intrinseci, cu maxim două intrări, din tehnologia CMOS, în locul circuitelor multiplexoare cu porți de transmisie din schemele clasice. Acest lucru a fost esențial pentru funcționarea cu tensiuni mici de alimentare (1,5V), tensiuni ce nu mai puteau asigura condițiile de lucru corecte tranzistoarelor ce se înseriau inerent de-a lungul mai multor niveluri logice (paragraful 2.3, fig.2.10 și textul aferent).

3. Concepția unei scheme de test originale (fig.3.4 și textul aferent), care permite verificarea preciziei oricărui tip de convertor numeric-analogic ce poate fi modelat într-un mediu de proiectare de înalt nivel comportamental (de exemplu OrCAD), pe baza unei librării de componente specifice tehnologiei utilizate. Circuitul face diferența între valoarea reală și valoarea ideală a tensiunii de ieșire a convertorului, la momente de timp corespunzătoare intrării certe în regim permanent a tensiunii sale de ieșire, pentru toate codurile de comandă posibile.

4. Găsirea unei metode practice de reducere suplimentară a erorii integrale a CNA (metoda rotirii matricilor), plecând de la o secvență optimă de comutare. Concret, valorificând comportamentul mai favorabil din punct de vedere al valorii INL maxime, obținută la anumite unghiuri de dispunere a cipului pe wafer, se subîmparte acesta în patru sectoare egale și se aplică patru secvențe de comutare distincte ce au fost generate prin rotirea matricei optime cu multipli de 90° (fig.3.17 și textul aferent).

5. Stabilirea unei secvențe de comutare speciale (secvența minimală) a tranzistoarelor-surse de curent, afectate de erori de împerechere graduale, ce permite compensarea în proporție de peste 50% a efectului impedanței de ieșire

limitate a acestora. Acest fapt echivalează cu o creștere virtuală a impedanței de ieșire, reducând pretențiile impuse lungimii minime a canalului și deci ariei minime a tranzistoarelor, relaxând astfel specificațiile de proiectare privind comportamentul dinamic al convertorului (paragraful 3.1.3).

6. Implementarea în Matlab a modelelor matematice ale convertorului propus afectat de erori induse de impedanța de ieșire finită, respectiv de erori de împerechere, ce au permis evaluarea gamei dinamice efective (SFDR) a CNA pentru aceste situații (fig.4.2, fig.4.3.a,b,c,d, 4.6.a,b și textul aferent).

7. Implementarea în Matlab a modelului matematic al convertorului propus afectat de eroare combinată (erori induse de impedanța de ieșire finită+erori de împerechere graduale și stohastice), ce a permis evaluarea parametrilor SFDR global și distorsiune de intermodulație de ordin 3, IMD3 (fig.4.7, 4.8 și textul aferent).

8. Într-o manieră generală, analizele și soluțiile prezentate pe tot parcursul capitolului 4 care au vizat găsirea celui mai bun compromis între performanța dinamică a convertorului ce constituie obiectul tezei, pe de o parte și obținerea unui cost mic de fabricație (simplitate) și a unui consum redus de la sursa de alimentare; demonstrarea faptului că numărul de biți adoptat în exemplul de proiectare (10) pentru structura propusă în teză permite renunțarea la utilizarea cascodelelor în construcția surselor de curent unitare, ce pot fi implementate cu simple tranzistoare pMOS.

În perspectiva apropiată, ca o continuare firească a cercetărilor ce au condus la elaborarea acestei lucrări, autorul dorește să aplice noua metodă de reducere a glicierilor și pentru cazul adoptării ieșirii de tip simetric pentru convertor. Prin utilizarea a două grupuri distincte de surse de curent unitare comandate de același cod și a două amplificatoare operaționale, s-a conturat deja posibilitatea implementării ieșirii complet diferențiale, fără a se dubla aria ocupată pe siliciu. Practic, se recuperează varianta de convertor discutată la începutul paragrafului 4.3 (pag.91), ce permite relaxarea pretențiilor privind valoarea minimă a impedanței de ieșire a surselor de curent, cu efect în scăderea semnificativă a dimensiunii tranzistoarelor utilizate, iar câștigul în valoarea SFDR ar putea atinge 10dB. Adoptarea ieșirii simetrice va permite aplicarea metodei de randomizare dinamică publicată de autor în [77] și care nu a mai fost introdusă în teză din motivele precizate la sfârșitul paragrafului 3.1.3. Se estimează că armonicile nedorite vor putea fi mediate dinamic pseudoaleator, respectiv redistribuite până sub nivelul zgomotului de fond din spectrul semnalului de ieșire al convertorului.

O altă direcție importantă de cercetare vizează reproiectarea convertorului pentru funcționarea la înaltă frecvență. Prin acceptarea unui consum de curent mai ridicat de la sursa de alimentare și deci prin creșterea valorii curenților unitari, se pot micșora suficient dimensiunile tranzistoarelor-surse de curent unitare care devin mai puțin vulnerabile la neîmperecherea stohastică.

Va fi de asemenea investigată varianta de convertor ce folosește cascode la implementarea surselor de curent și vor fi puse din nou în balanță performanța convertorului împreună cu consumul de curent de la sursa de alimentare și prețul de fabricație.

În funcție de evaluarea comparativă a rezultatelor teoretice obținute pentru fiecare din variantele menționate, în viitorul apropiat se va putea trece efectiv la realizarea *layout*-lui și implementarea în siliciu a convertorului numeric-analogic.

## Bibliografie

- [1] Andersson, K.O., *Modeling of the Influence of Graded Element Matching Errors in CMOS Current Steering DACs*, Proc. 17<sup>th</sup> NorChip Conference, Oslo, Norway, Nov. 1999.
- [2] Andersson, K.O., Vesterbaka, M., *Modeling of Glitches due to Rise/Fall Asymmetry in Current-Steering Digital-to-Analog Converters*, IEEE Transactions on Circuits and Systems, Vol.52, No.11, Nov. 2005, 2275-2264.
- [3] Andersson, N.U., Andersson, K.O., Vesterbacka, M., Wikner, J.J., *Models and implementation of a dynamic element matching DAC*, Analog Integrated Circuits and Signal Processing, Vol. 34 , Issue 1, January 2003, pp. 7 – 16.
- [4] Annema, A., Nauta, B., Langevelde, R., Tuinhout, H., *Analog Circuits in Ultra-Deep-Submicron CMOS*, IEEE Journal of Solid-State Circuits, Vol. 40, No. 1, Jan. 2005, pp.132-143.
- [5] Arias, J. & all, *A 32-mW 320-MHz Continuous-Time Complex Delta-Sigma ADC for Multi-Mode Wireless-LAN Receivers* IEEE Journal of Solid-State Circuits, Vol. 41, No. 2, Feb. 2006, pp. 339-351.
- [6] Baez-Villegas, D., Silva-Martinez, J., *Quasi Rail-to-Rail Very Low-Voltage OPAMP with a Single pMOS Input Differential Pair*, IEEE Transactions on Circuits and Systems, Vol.53, No.11 Nov. 2006, pp. 1175-1179.
- [7] Baker, R.J., *CMOS: Circuit Design, Layout, and Simulation*, 2nd Edition, Wiley-IEEE Press, 2007.
- [8] Balestrieri, E., Daponte, P., Rapuano, S., *Recent developments on DAC modelling, testing and standardization*, Measurement, No. 39 (2006), pp. 258–266.
- [9] Balestrieri, E., Rapuano, S., *DAC consistent terminology: static parameter definitions*, Measurement, No. 40 (2007), pp. 500–508.
- [10] Balestrieri, E., Rapuano, S., *Defining DAC performance in the frequency domain*, Measurement, No. 40 (2007), pp. 463–472.
- [11] Banba, H. & all, *A CMOS Bandgap Reference Circuit with Sub-1-V Operation*, IEEE JSSC, vol.34, no.5, May 1999, pp. 670-673.
- [12] Belcher, R.A., *A constant transition array switching method for improving SFDR and resolution in a segmented digital to analogue converter*, Measurement, No. 32 (2002), pp. 241–255.
- [13] Chen, T., Gielen, G.E., *The Analysis and Improvement of a Current-Steering DACs Dynamic SFDR-I: The Cell-Dependent Delay Differences*, IEEE Transactions on Circuits and Systems-I: Regular Papers, Vol.53, No.1, Jan. 2006, pp. 3-15.
- [14] Chen, T., Gielen, G.E., *The Analysis and Improvement of a Current-Steering DACs Dynamic SFDR-II: The Output-Dependent Delay Differences*, IEEE Transactions on Circuits and Systems-I: Regular Papers, Vol.54, No.2, Feb. 2007, pp. 268-278.
- [15] Chen, W., Bauwelinck, J., Ossieur, P., Qiu, X.Z., Vandewege, J., *A Current-Steering DAC Architecture with Novel Switching Scheme for GPON Burst-Mode Laser Drivers*, IEICE Transactions on Electronics, Vol. E90-C, No.4, April 2007, pp. 877-884.
- [16] Chiu, Y., Gray, P.R., Nikolic, B., *A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR*, IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, Dec. 2004, pp. 2139-2151.

- [17] Cho, J., Lee, H., *An 11b 70-MHz 1.2mm<sup>2</sup> 49-mW 0.18- $\mu$ m CMOS ADC with On-Chip Current/Voltage References*, IEEE Transactions on Circuits and Systems, Vol.52, No.10, Oct. 2005, pp. 1989-1995.
- [18] Choe, M., Baek, K., Teshorne, M., *A 1.6-GS/s 12-bit Return-to-Zero GaAs RF DAC for Multiple Nyquist Operation*, IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, Dec. 2005, pp. 2456-2468.
- [19] Colonna, V. & all, *A 0.22-mm<sup>2</sup> 7.25-mW per-Channel Audio Stereo-DAC With 97-dB DR and 39-dB SNR<sub>out</sub>*, IEEE Journal of Solid-State Circuits, Vol. 40, No. 7, July 2005, pp. 1491-1498.
- [20] Cong, Y., Geiger, R.L., *A 1.5-V 14-Bit 100-MS/s Self-Calibrated DAC*, IEEE Journal of Solid-State Circuits, Vol. 38, No. 12, Dec. 2003, pp. 2051-2060.
- [21] Daponte, P., *Introduction to special issue on DAC modelling and testing*, Measurement, No. 31 (2002), pp. 143-146.
- [22] Daponte, P., Michaeli, L., *ADC and DAC modelling and testing*, Measurement, No. 40 (2007), pp. 459-462.
- [23] Deveugele, J., Palmers, P., Steyaert, M.S.J., *Parallel-Path Digital-to-Analog Converters for Nyquist Signal Generation*, IEEE Journal of Solid-State Circuits, Vol. 39, No. 7, July 2004, pp. 1073-1082.
- [24] Deveugele, J., Steyaert, M.S.J., *A 10-bit 250-MS/s Binary-Weighted Current-Steering DAC*, IEEE Journal of Solid-State Circuits, Vol. 41, No. 2, Feb. 2006, pp. 320-329.
- [25] Drennan, P.G., *Understanding MOSFET Mismatch for Analog Design*, IEEE Journal of Solid-State Circuits, Vol. 38, No. 3, March 2003, pp. 450-456.
- [26] Fogleman, E., Welz, J., Galton, I., *An Audio ADC Delta-Sigma Modulator with 100-dB Peak SINAD and 102-dB DR Using a Second-Order Mismatch-Shaping DAC*, IEEE Journal of Solid-State Circuits, Vol. 36, No. 3, March 2001, pp. 339-348.
- [27] Friel, G.A., Hummels, D.M., Irons, F.H., *Measurement and compensation of digital-to-analog converter nonlinearity*, Measurement, No. 31 (2002), pp. 175-186.
- [28] Grace, C.R., Hurst, P.J., Lewis, S.H., *A 12-bit 80-MSample/s Pipelined ADC With Bootstrapped Digital Calibration*, IEEE Journal of Solid-State Circuits, Vol. 40, No. 5, May 2005, pp. 1038-1046.
- [29] Grasso, A.D., Mirabella, C.A., Pennisi, S., *CMOS current-steering DAC architectures based on the triple-tail cell*, International Journal of Circuit Theory and Applications, Published online in Wiley InterScience, DOI: 10.1002/cta.421 (www.interscience.wiley.com), 2007.
- [30] Huang, P.-H., Lin, H., Lin, Y.-T., *A Simple Subthreshold CMOS Voltage Reference Circuit with Channel-Length Modulation Compensation*, IEEE Transactions on Circuits and Systems, Vol.53, No.9, Sept., 2005, pp.882-885.
- [31] Hyde, J. & all, *A 300-MS/s 14-bit Digital-to-Analog Converter in Logic CMOS*, IEEE Journal of Solid-State Circuits, Vol. 38, No. 5, May 2003, pp. 734-740.
- [32] Jespers, P., *Converter performances*, Microelectronic Engineering, No. 54 (2000) pp. 85-101.
- [33] Jurca, L., Ciugudean, M., *Circuite integrate analogice*, Editura "Politehnica", Timișoara, 2004.
- [34] Kaplan, T.S., Jensen, J.F., Fields, C.H., Chang, M.F., *A 2-GS/s 3-bit  $\Delta\Sigma$ -Modulated DAC With Tunable Bandpass Mismatch Shaping*, IEEE Journal of Solid-State Circuits, Vol. 40, No. 3, March 2005, pp. 603-610.



- [35] Ker, M.-D., Chen, J.-S., *New Curvature-Compensation Technique for CMOS Bandgap Reference with Sub-1-V Operation*, IEEE Transactions on Circuits and Systems, Vol.53, No.8, Aug., 2006, pp. 667-671.
- [36] Kuo, C.-H., Tsai, J.-C., *A 2.5V 6.4mW 10-bit 140MS/s Digital-to-Analog Converter with Improved Current Mirror*, The 5th WSEAS IMCCAS 2005 International Conference, paper 495-166.
- [37] Kurosawa, N. & all, *Sampling clock jitter effects in digital-to-analog converters*, Measurement, Vol. 31, No. 3 (2002), pp. 187-199.
- [38] Lee, D.H., Lin, Y.H., Kuo, T.H., *Nyquist-Rate Current-Steering Digital-to-Analog Converters with Random Multiple Data-Weighted Averaging Technique and  $Q^N$  Rotated Walk Switching Scheme*, IEEE Transactions on Circuits and Systems – II: Express Briefs, Vol.53, No.11, November 2006, pp.1264-1268.
- [39] Leung, K.N., Mok, K.T., *A Sub-1-V 15-ppm/K CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device*, IEEE JSSC, vol.37, no.4, April, 2002, pp.526-530.
- [40] Lin, C. & Liu, B., *A New Successive Approximation Architecture for Low-Power Low-Cost CMOS A/D Converter*, IEEE Journal of Solid-State Circuits, Vol. 38, No. 1, Jan. 2003, pp. 54-62.
- [41] Luschas, S., Schreier, R., Lee, H., *Radio Frequency Digital-to-Analog Converter*, IEEE Journal of Solid-State Circuits, Vol. 39, No. 9, Sept. 2004, pp. 1462-1467.
- [42] Malcovati, P., Maloberti, F., *Curvature Compensated BiCMOS Bandgap with 1V Supply Voltage*, IEEE JSSC, vol.36, no.7, July 2001, pp. 1076-1081.
- [43] Manganaro, G., Kwak, S., Bugeja, A.R., *A Dual 10-b 200-MSPS Pipelined D/A Converter With DLL-Based Clock Synthesizer*, IEEE Journal of Solid-State Circuits, Vol. 39, No. 11, Nov. 2004, pp. 1829-1838.
- [44] Maranescu, V., Jurca, L., *Mathematical counter/converter for mixed analog and digital simulations*, Buletinul Științific al Universității "Politehnica" Timișoara, Tom 49(63), Fascicola 1-2, 2004.
- [45] McNeill, J., Coln, M.C.W., Larivee, B.J., *"Split ADC" Architecture for Deterministic Digital Background Calibration of a 16-bit 1-MS/s ADC*, IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, Dec. 2005, pp. 2437-2445.
- [46] Mercer, D.A., *Low-Power Approaches to High-Speed Current-Steering Digital-to-Analog Converters in 0.18- $\mu$ m CMOS*, IEEE Journal of Solid-State Circuits, Vol. 42, No. 8, Aug., 2007, pp. 1688-1698.
- [47] O'Sullivan, K., Gorman, C., Hennessy, M., Callaghan, V., *A 12-bit 320-MSample/s Current-Steering CMOS D/A Converter in 0.44  $\mu$ m<sup>2</sup>*, IEEE Journal of Solid-State Circuits, Vol. 39, No. 7, July 2004, pp. 1064-1072.
- [48] Pelgrom, M. J. & all, *Matching Properties of MOS Transistors*, IEEE JSSC, vol. SC-24, October 1989, pp.1433-1439.
- [49] Pelgrom, M. J., *A JSSC Classic Paper: Matching Properties of MOS Transistors*, SSCS, January 2005 Issue.
- [50] Rafeeqe, K.P.S., Vasudevan, V., *A New Technique for On-Chip Error Estimation and Reconfiguration of Current-Steering Digital-to-Analog Converters*, IEEE Transactions on Circuits and Systems, Vol.52, No.11, Nov. 2005, pp. 2348-2357.
- [51] Reekmans, S., De Maeyer, J., Rombouts, P., Weyten, L., *Quadrature Mismatch Shaping for Digital-to-Analog Converters*, IEEE Transactions on Circuits and Systems – I: Regular Papers, Vol.53, No.12, December 2006, pp.2529-2538.

- [52] Rincon-Mora, G.A., Allen, P.E., *A 1.1 V Current-Mode and Piecewise-Linear Curvature Corrected Bandgap Reference*, IEEE Journal of Solid-State Circuits, Vol. 33, No. 10, Oct. 1998, pp.1551-1554.
- [53] Siragusa, E. & Galton, I., *A Digitally Enhanced 1.8-V 15-bit 40-MSample/s CMOS Pipelined ADC*, IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, Dec. 2004, pp. 2126-2138.
- [54] Tan, N., Wikner, J.J., *A CMOS Digital-to-Analog Converter Chipset for Telecommunications*, IEEE Magazine of Circuits & Devices, vol. 13, no.5, Sept. 1997.
- [55] Tham, K.-M., Nagaraj, K., *A Low Supply Voltage High PSRR Voltage Reference in CMOS Process*, IEEE Journal of Solid-State Circuits, Vol. 30, No. 5, May, 1998, pp.586-590.
- [56] Tiilikainen, M.P., *A 14-bit 1.8-V 20-mW 1-mm<sup>2</sup> CMOS DAC*, IEEE Journal of Solid-State Circuits, Vol. 36, No. 7, July 2001, pp. 1144-1147.
- [57] Tomoroga, M.,** Jurca, L., Ciugudean, M., *Current-Steering Digital-to-Analog Converter/Programmable Sub-Bandgap Voltage Reference with Split Input Code*, Buletinul Științific al Universității "Politehnica" Timișoara, Tom 51(65), Fascicola 1, 2006, pp. 209-214.
- [58] Tomoroga, M.,** Jurca, L., Ciugudean, M., Toma, C., *Low Glitch Current-Steering DAC with Split Input Code*, Proceedings of the 6<sup>th</sup> WSEAS International Conference on Electronics, Hardware, Wireless and Optical Communications, Corfu Island, Greece, Feb.2007, pp. 40-45.
- [59] Tomoroga, M.,** Jurca, L., Ciugudean, M., Toma, C., *Low Voltage Low Glitch Current-Steering DAC Overlapping the Voltage Reference Circuit*, WSEAS Transactions on Circuits and Systems, Issue 3, Vol.6, March, 2007, pp. 273-280.
- [60] Tomoroga, M.,** Jurca, L., *Study of Matching Errors in Unit Element Approach of Current-Steering Segmented DAC Design*, Proceedings of the 6th WSEAS International Conference on System Science and Simulation in Engineering, Venice, Italy, November 2007, pp.115-120.
- [61] Tomoroga, M.,** *Study of Mismatching Errors in a Split-Code Current-Mode DAC*, Sesiunea de Comunicări Științifice "Doctor ETC" 2007, Editura „Politehnica”, ISBN: 978-973-625-494-9.
- [62] Van den Bosch, A., Borremans, M.A.F., Steyaert, M.S.J., Sansen, W., *A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter*, IEEE Journal of Solid-State Circuits, Vol. 36, No. 3, March 2001, pp. 315-324.
- [63] Vankka, J. & all, *A Digital Quadrature Modulator With On-Chip D/A Converter*, IEEE Journal of Solid-State Circuits, Vol. 38, No. 10, Oct. 2003, pp. 1635-1642.
- [64] Vankka, J. & all, *A Multicarrier GMSK Modulator With On-Chip D/A Converter for Base Stations*, IEEE Journal of Solid-State Circuits, Vol. 37, No. 10, Oct. 2002, pp. 1226-1234.
- [65] Wen, Y., Lee, K., *A current-mode BIST structure of DACs*, Measurement, No. 31 (2002), pp. 147-163.
- [66] Wikner, J.J., *A Chipset Consisting of 15 CMOS Wideband D/A Converters for Telecommunications. Design and Study*, Linköping University, Sweden, Nov. 1998.
- [67] Wikner, J.J., Gao, Y., Tan, N., *A 3.3V CMOS Oversampling D/A Converter for DMT-ADSL*, Linköping University, Sweden, Nov. 1998.
- [68] Wikner, J.J., *Studies on CMOS Digital-to-Analog Converters*, Dissertation No.667, Linköping University, Sweden, 2001.

- [69] Wikner, J.J., Tan, N., *Influences of Circuit Imperfections on the Performance of DACs*, Analog Integrated Circuits and Signal Processing, no 1, Jan. 1999.
- [70] Yang, B., *An 800-MHz Low-Power Direct Digital Frequency Synthesizer With an On-Chip D/A Converter*, IEEE Journal of Solid-State Circuits, Vol. 39, No. 5, May 2004, pp. 761-774.
- [71] Van den Bosch, A. & all, *Modeling and realisation of high accuracy, high speed current-steering CMOS D/A converters*, Measurement, No. 28 (2000), pp. 123-138.
- [72] Yang, C.K. & all, *A Serial-Link Transceiver Based on 8-GSamples/s A/D and D/A Converters in 0.25- $\mu$ m CMOS*, IEEE Journal of Solid-State Circuits, Vol. 36, No. 11, Nov. 2001, pp. 1684-1692.
- [73] van Beek, P.C.W., Doris, K., Hegt, J.A. and van Roermund, A.H.M., *Optimum Segmentation for High Speed Current Steering Digital-to-Analog Converters*, Proceedings, ProRISC, 2004, pp.465-473.
- [74] Dlugosz, R., Iniewski, K., *Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-To-Digital Converter for Wireless Sensor Networks*, VLSI Design Journal, Article ID 45269, Vol 2007, April, 2007, pp.1-12.
- [75] Doyle, J., *A CMOS Subbandgap Reference Circuit With 1-V Power Supply Voltage*, IEEE Journal of Solid-State Circuits, Vol.39, No.1, January 2004, pp.252-255.
- [76] Galton, I., *Spectral Shaping of Circuit Errors in Digital-to-Analog Converters*, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 44, No. 10, October 1997, pp. 808-817.
- [77]** Jurca, L., **Tomoroga, M.**, Volosencu, C. and Filip, I., *Improving Dynamic Performance of a Segmented Current-Steering Digital-to-Analog Converter*, Proceedings of the 8th WSEAS International Conference on Power Systems (PS '08), Santander, Spain, September 23-25, 2008, pp. 201-204.
- [78] Leung, K.N., Mok, P.K.T., Leung, C.Y., *A 2-V 23- $\mu$ A 5.3-ppm/ $^{\circ}$ C Curvature-Compensated CMOS Bandgap Voltage Reference*, IEEE Journal of Solid-State Circuits, Vol.33, No.3, March 2003, pp.561-564.
- [79] Luschas, S., Lee, H.S., *Output Impedance Requirements for DACs*, Proceedings of the 2003 International Symposium on Circuits and Systems, 2003. ISCAS '03, pp.861-864.
- [80] Nejati, B., Larson, L., *Power/Area Trade-Offs in Low-Power/Low-Area unary-R-2R CMOS Digital-to-Analog Converters*, IEEE International Symposium on Circuits and Systems, 2007. ISCAS 2007, pp.1473-1476.
- [81] Paul, A., Jeyakumar, A.E., Neelakantan, P.N., *Power Minimization Strategy in MOS Transistors Using Quasi-Floating-Gate*, WSEAS Transactions on Circuits and Systems, Issue 1, Vol.3, January 2004, pp.65-73.
- [82] Scott, M.D., Boser B.E. and Pister, K.S.J., *An Ultralow-Energy ADC for Smart Dust*, IEEE Journal of Solid-State Circuits, Vol. 38, No.7, July 2003, pp.1123-1129.
- [83] Zite, S.E., van Beek, P. C. W., Briaire, J., Hegt, J. A. and van Roermund, A. H. M., *Scaling a Digital-to-Analog Converter from CMOS18 to CMOS090*, Proceedings ProRISC 2005, pp.326-331.
- [84]** **Tomoroga, M.**, *Stadiul actual în realizarea convertoarelor digital-analogice în tehnologie CMOS*, Referat nr. 1 la Doctorat, UPT, 2005.
- [85]** **Tomoroga, M.**, *Arhitectura convertoarelor digital-analogice*, Referat nr. 2 la Doctorat, UPT, 2005.

- 
- [86] Tomoroga, M,** *Modelele convertoarelor numeric-analogice cu mod de lucru în current folosite în proiectare*, Referat nr. 3 la Doctorat, UPT, 2006.
- [87] Cong, Y., Geiger, R.L., *Switching Sequence Optimization for Gradient Error Compensation in Thermometer-Decoded DAC Arrays*, IEEE Transactions on Circuits and Systems – II: Analog and Digital Signal Processing, Vol.47, No.7, July 2000, pp.585-595.
- [88] Bastos, J., Steyaert, M.S.J., Pergoot, A., Sansen, W.M., *Influence of Die Attachment on MOS Transistor Matching*, IEEE Transactions on Semiconductor Manufacturing, Vol. 10, No. 2, May 1997, pp.209-218.
- [89] Lee, D.H., Kuo, T.H., Wen K.L., *Low-Cost 14-bit Current-Steering DAC With a Randomized Thermometer-Coding Method*, IEEE Transactions on Circuits and Systems – II: Express Briefs, Vol.56, No.2, February 2009, pp.137-141.